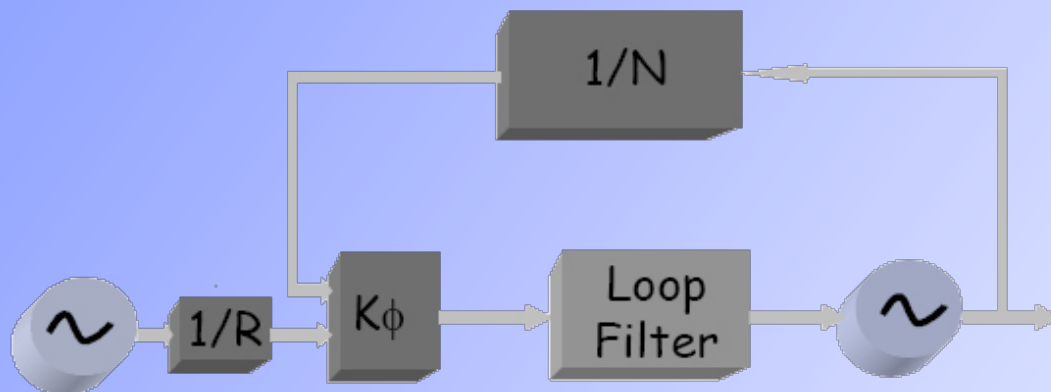


Τ.Ε.Ι. ΗΠΕΙΡΟΥ
Σχολή Διοίκησης και Οικονομίας
Τμήμα Τηλεπληροφορικής & Διοίκησης

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ

ΜΕΛΕΤΗ ΚΑΙ ΥΛΟΠΟΙΗΣΗ ΣΥΝΘΕΤΗ ΣΥΧΝΟΤΗΤΩΝ



ΠΑΠΠΑ ΑΝΤΙΓΟΝΗ

A.M.:3694

Επιβλέπων καθηγητής:
ΚΩΝΣΤΑΝΤΙΝΟΣ ΑΓΓΕΛΗΣ

Άρτα 2006

Μελέτη και Υλοποίηση Συνθέτη Συχνοτήτων

Παππά Αντιγόνη

Τμήμα Τηλεπληροφορικής και διοίκησης

Επιβλέπον καθηγητής

Κωνσταντίνος Αγγέλης

ΔΗΛΩΣΗ ΠΕΡΙ ΛΟΓΟΚΛΟΠΗΣ : Όλες οι πηγές οι οποίες συντέλεσαν στο να δημιουργηθεί αυτή η εργασία και οι οποίες ανήκουν σε άλλους, παρουσιάζονται στη βιβλιογραφία, στο τέλος της εργασίας.

Τα υπόλοιπα γραφόμενα είναι επινόηση των γραφόντων οι οποίοι φέρουν και την καθολική ευθύνη γι' αυτό το κείμενο και δηλώνουμε υπεύθυνα ότι δεν υπάρχει λογοκλοπή γι' αυτό το κείμενο.

Άρτα 2006

ΠΡΟΛΟΓΟΣ

Σκοπός της παρούσας πτυχιακής εργασίας είναι η σχεδίαση και υλοποίηση ενός συνθέτη συχνοτήτων που ελέγχεται από τον υπολογιστή. Η σχεδίαση βασίστηκε στην εξαιρετικά διαδεδομένη μέθοδο σύνθεσης υψηλών συχνοτήτων με βρόχο κλειδωμένης φάσης (phase locked loop, PLL).

Συγκεκριμένα το κεφάλαιο 1 παρουσιάζουμε μια γενική εισαγωγή στον συνθέτη συχνοτήτων, και που χρησιμοποιείται.

Το κεφάλαιο 2 παρουσιάζουμε βασικές έννοιες του συνθέτη συχνοτήτων. Αναλύουμε τον βρόχο κλειδωμένης φάσης (pll) και τον ταλαντωτή ελεγχόμενης τάσης(vco).

Στο κεφάλαιο 3 και πιο σημαντικό υλοποιούμε και αναλύουμε έναν συνθέτη υψηλών συχνοτήτων της οικογένειας ADF4360-7.

Ευχαριστίες

Θέλω να εκφράσω τις ευχαριστίες μου στους ανθρώπους που με βοήθησαν κατά την προετοιμασία της πτυχιακής μου εργασίας. Και συγκεκριμένα τον επιβλέπον καθηγητή κ. Κωνσταντίνο Αγγέλη για την συνεχή βοήθεια, παρότρυνση καθώς και τις επισημάνσεις του σε κάθε στάδιο περάτωσης αυτής της εργασίας.

Επίσης θέλω να ευχαριστήσω τους γονείς μου και τους φίλους μου για όλη τους την προσπάθεια όλα αυτά τα χρόνια που μου συμπαραστάθηκαν σε οποιοδήποτε πρόβλημα που παρουσιάστηκε. Χάρη στη δική τους προσπάθεια βρισκόμαι στην ευχάριστη αυτή στιγμή περάτωσης των σπουδών μου.

Άρτα, Οκτώμβριος 2006
ΠΑΠΠΑ ΑΝΤΙΓΟΝΗ

ΠΕΡΙΕΧΟΜΕΝΑ

Κεφαλαιο 1

<i>Εισαγωγή</i>	8
1.1 Εισαγωγή	9

Κεφαλαιο 2

<i>Θεωρία συνθέτη συχνοτήτων</i>	11
2.1 Εισαγωγή	12
2.2 Βρόχος κλειδωμένης φάσης (PLL)	12
2.3 Ταλαντωτής ελεγχόμενος από τάση (VCO)	16
2.4 Εφαρμογές PLL υψηλών συχνοτήτων	17

Κεφαλαιο 3

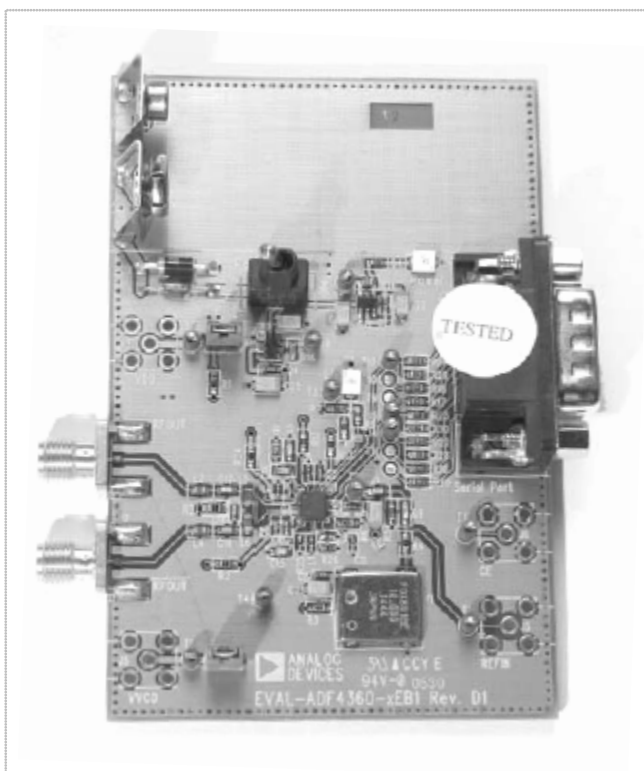
<i>Εφαρμογή</i>	18
3.1 Λειτουργία πλακέτας	19
3.1.1 Γενική περιγραφή	20
3.1.2 Περιγραφή υλικού	21
3.1.3 Εξωτερικές επιλογές επαγωγέων	23
3.1.4 Στάδιο εξόδου RF	24
3.1.5 ADI SimPLL	24
3.2 Προγραμματισμός πλακέτας	24
3.3 Λειτουργία VCO	26
3.3.1 Γενικά χαρακτηριστικά	26
3.3.2 Προδιαγραφές	28
3.3.3 Χαρακτηριστικά χρονισμού	30
3.3.4 Μέγιστες απόλυτες τιμές	31
3.3.5 Τυπικά χαρακτηριστικά απόδοσης	34
3.3.6 Περιγραφή κυκλωμάτων	35
3.3.7 Εφαρμογή	51

Κεφαλαίο 4

<i>Συμπέρασμα</i>	58
4.1 Συμπέρασμα	59
<i>Βιβλιογραφία</i>	60

1

ΕΙΣΑΓΩΓΗ

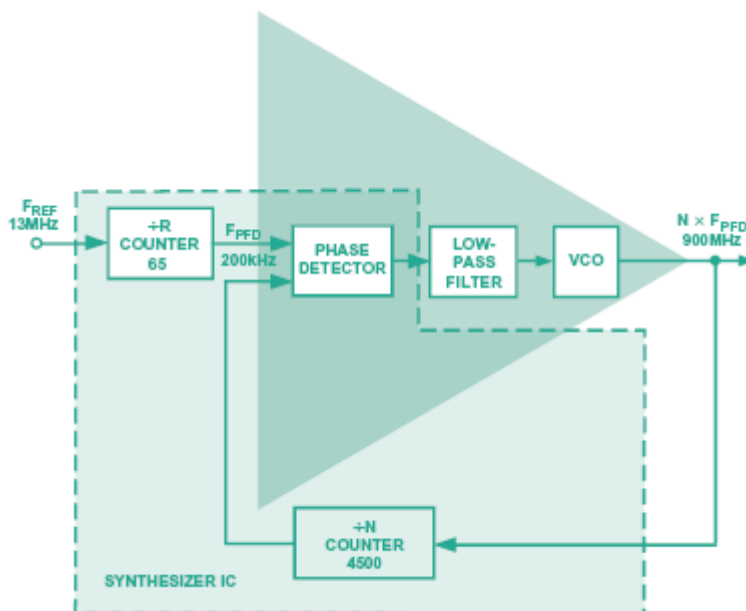


1.1 ΕΙΣΑΓΩΓΗ

1.1 ΕΙΣΑΓΩΓΗ

Ένας συνθέτης συχνοτήτων (*frequency synthesizer*) επιτρέπει στο σχεδιαστή να παραγάγει ποικίλες συχνότητες εξόδου ως πολλαπλάσια μιας ενιαίας συχνότητας αναφοράς. Η κύρια εφαρμογή είναι για την παραγωγή τοπικού ταλαντωτή (local oscillator -LO) σημάτων για την διακύμανση μεταλλαγής συχνότητας των RF σημάτων.

Ο συνθέτης εισάγει ένα βρόχο κλειδωμένης φάσης (*phase-locked loop-PLL*), όπου ένας ανιχνευτής φάσης/συχνότητας (phase/frequency detector- PFD) συγκρίνει μια ανατροφοδοτημένη συχνότητα με μια χαμηλή διαιρεμένη απόδοση της συχνότητας αναφοράς (σχήμα 1). Οι παλμοί ρεύματος PFD's εξόδου είναι φιλτραρισμένοι και ενσωματωμένοι για να παραγάγουν μια τάση. Αυτή η τάση οδηγεί έναν εξωτερικό ταλαντωτή ελεγχόμενης τάσης (voltage controlled oscillator-VCO) για να αυξήσει ή να μειώσει τη συχνότητα εξόδου ώστε να οδηγηθεί η μέση έξοδος του PFD κοντά στο μηδέν.

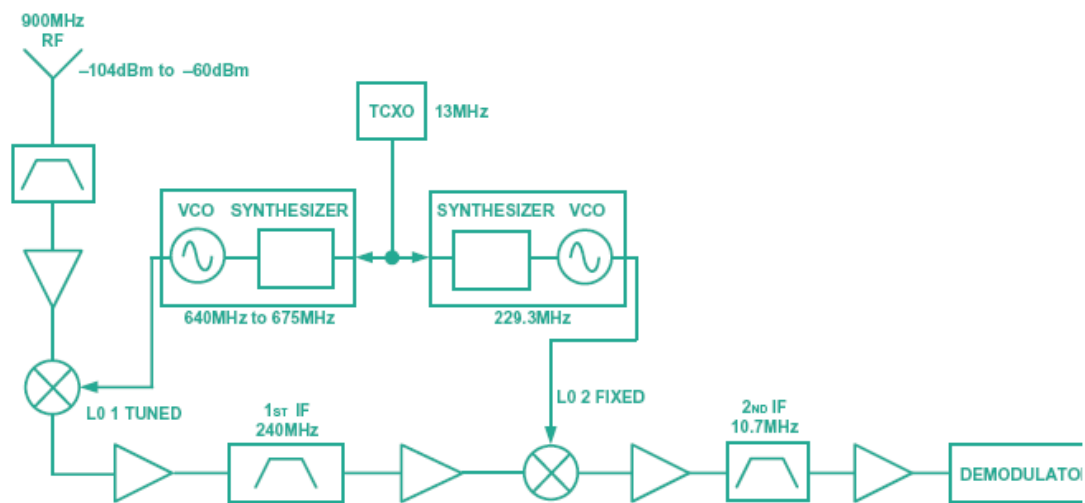


Σχήμα 1. Διάγραμμα ενός PLL.

Η συχνότητα είναι ανάλογη με την χρήση των μετρητών. Στο παράδειγμα που παρουσιάζεται, ένας ADF4xxx συνθέτης χρησιμοποιείται με ένα εξωτερικό φίλτρο και ένα VCO. Μια είσοδος αναφοράς (R) ο μετρητής μειώνει τη συχνότητα αναφοράς εισόδου (13 MHz σε αυτό το παράδειγμα) σε PFD συχνότητα ($F_{PFD} = F_{REF}/R$) και μια ανατροφοδότηση ο (N) μετρητής μειώνει τη συχνότητα εξόδου σε σύγκριση με την ανάλογη συχνότητα αναφοράς PFD. Στην ισορροπία, οι δύο συχνότητες είναι ίσες, και η συχνότητα εξόδου είναι $N \times F_{PFD}$. Ο μετρητής ανατροφοδότησης είναι ένα *dual-modulus prescaler type¹*, με A και B μετρητές ($N = BP + A$, όπου P είναι η τιμή prescale).

Το σχήμα 2 παρουσιάζει χαρακτηριστική εφαρμογή σε έναν υπερετερόδυνο δέκτη. Η βάση σταθμού και τηλεφωνικής συσκευής LOs είναι η πιο κοινή εφαρμογή, αλλά οι συνθέτες βρίσκονται επίσης στις γεννήτριες χρονιστών χαμηλής συχνότητας

(ADF4001), στα ασύρματα LANs (5.8 GHz), στα συστήματα ραντάρ, και στα συστήματα αποφυγής σύγκρουσης (ADF4106).

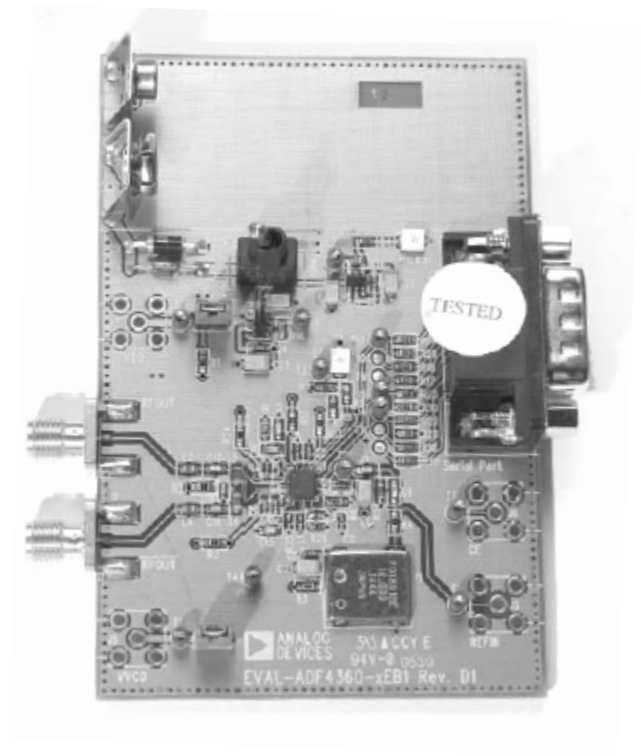


Σχήμα 2. Διπλός PLL που χρησιμοποιείτε για χαμηλή mix από το GSM RF στη βάση ζώνης

¹ Ο PRESCALER (Προδιαιρέτης) είναι ένας διαιρέτης συχνότητας που μπορεί να διαιρέσει την συχνότητα που λαμβάνει στην είσοδό του ÷2, ÷4, ÷8, ÷16, ÷32, ÷64, ÷128, ÷256. Αν στην είσοδο έχουμε π.χ. 1.000.000 Hz και ρυθμίσουμε τον λόγο διαίρεσης, ÷32, τότε στην έξοδο θα πάρουμε 31.250 Hz.

2

ΘΕΩΡΙΑ ΣΥΝΘΕΤΗ ΣΥΧΝΟΤΗΤΩΝ



- 2.1 ΕΙΣΑΓΩΓΗ
- 2.2 ΒΡΟΧΟΣ ΚΛΕΙΔΩΜΕΝΗΣ ΦΑΣΗΣ (PLL)
- 2.3 ΤΑΛΑΝΤΩΤΗΣ ΕΛΕΓΧΟΜΕΝΟΣ ΑΠΟ ΤΑΣΗ (VCO)
- 2.4 ΕΦΑΡΜΟΓΕΣ PLL ΥΨΗΛΩΝ ΣΥΧΝΟΤΗΤΩΝ

2.1 ΕΙΣΑΓΩΓΗ

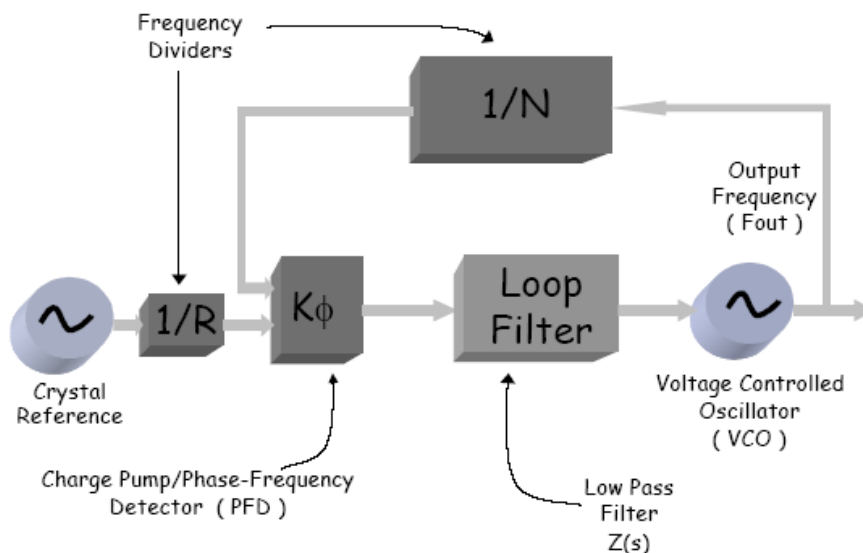
Η έμμεση σύνθεση συχνοτήτων είναι η δημοφιλέστερη σήμερα μέθοδος για τη σύνθεση υψηλών συχνοτήτων. Συναντάται στις περισσότερες σημερινές εμπορικές εφαρμογές, είτε πρόκειται για συσκευές ευρείας καταναλωτικής χρήσης, είτε για εξειδικευμένες εφαρμογές τηλεπικοινωνιών και ηλεκτρονικών υπολογιστών.

Οι βασικότερες αιτίες που οδηγούν τους σχεδιαστές να επιλέξουν αυτή τη μέθοδο είναι:

- ο φθηνός και εύκολος τρόπος υλοποίησης
- ο ελάχιστος όγκος κατασκευής
- η μικρή κατανάλωση
- η πολύ καλή ποιότητα του σήματος εξόδου (όταν η ταχύτητα σύγκλισης δεν είναι κρίσιμος παράγοντας στη σχεδίαση του συνθέτη)
- είναι εφικτή οποιαδήποτε διαμόρφωση της εξόδου

Με βάση τη μέθοδο αυτή η επιθυμητή συχνότητα παράγεται συγκρίνοντας μια σταθερή συχνότητα αναφοράς (reference frequency) με την τρέχουσα συχνότητα εξόδου. Ανάλογα με το αν συγκρίνουμε φάσεις ή συχνότητες έχουμε δύο βασικές υποκατηγορίες της μεθόδου, την σύνθεση συχνοτήτων με βρόχο κλειδωμένης φάσης και την σύνθεση συχνοτήτων με βρόχο κλειδωμένης συχνότητας.

Ένα PLL είναι ένα σύστημα ανατροφοδότησης που συνδυάζει έναν ταλαντωτή ελεγχόμενης τάσης και έναν συγκριτή φάσης που συνδέονται έτσι ώστε η συχνότητα ταλαντωτή (ή φάση) να ανιχνεύσει την ακριβείας εφαρμοσμένη συχνότητα ή φάση του διαμορφωμένου σήματος. Το PLL μπορεί να χρησιμοποιηθεί, παραδείγματος χάριν, για να παραγάγει σταθερά σήματα συχνότητας εξόδου από ένα σταθερό σήμα χαμηλής συχνότητας. Τα πρώτα PLL εφαρμόστηκαν στις αρχές της δεκαετίας του '30 από έναν γαλλικό μηχανικό, τον Bellescize. Εντούτοις, βρήκαν μόνο την ευρεία αποδοχή στην αγορά όταν ενσωματώθηκε το PLLs διατέθηκε σε σχετικά χαμηλό κόστος στα μέσα της δεκαετίας του '60.

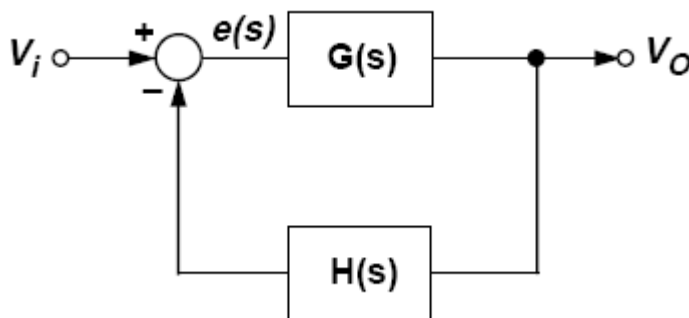


2.2 ΒΡΟΧΟΣ ΚΛΕΙΔΩΜΕΝΗΣ ΦΑΣΗΣ (PLL)

Ο βρόχος κλειδωμένης φάσης (*phase – locked loop, PLL*) χρησιμοποιείται συχνά στα κυκλώματα ανάκτησης χρονισμού συμβόλων και του φέροντος των ψηφιακών συστημάτων επικοινωνίας.

Ο PLL μπορεί να αναλυθεί γενικά ως σύστημα αρνητικής ανατροφοδότησης με μία αρχική απολαβή και ανατροφοδότηση.

Ένα απλό διάγραμμα της βασικής τάση του συστήματος αρνητικής ανατροφοδότησης παρουσιάζεται στο σχήμα 1.



Σχήμα 1. Τυποποιημένο πρότυπο συστημάτων ελέγχου αρνητικής ανατροφοδότησης.

Σε ένα PLL, το σήμα λάθους από το συγκριτή φάσης είναι η διαφορά μεταξύ της συχνότητας (ή της φάσης) εισόδου και του σήματος ανατροφοδότησης. Το σύστημα θα αναγκάσει το σήμα λάθους συχνότητας ή φάσης σε μηδέν στην σταθερή κατάσταση. Οι συνηθισμένες εξισώσεις για ένα σύστημα αρνητικής ανατροφοδότησης είναι:

$$\text{ForwardGain} = G(s), [s = j\omega = j2\pi f]$$

$$\text{LoopGain} = G(s) \times H(s)$$

$$\text{Closed-loopGain} = \frac{G(s)}{1 + G(s)H(s)}$$

Λόγω της ολοκλήρωσης στο βρόχο, στις χαμηλές συχνότητες η απολαβή σταθερής κατάστασης, $G(s)$, είναι υψηλή και

$$V_o / V_i, \text{Closed-loopGain} = \frac{1}{H}$$

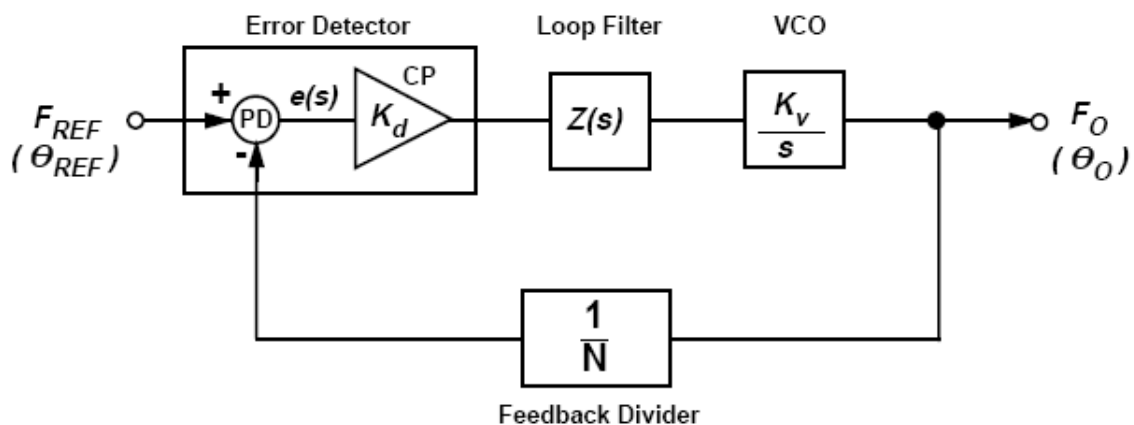
Το PLL αποτελείται από τα εξής δομικά μέρη :

- ⊙ Έναν ταλαντωτή ελεγχόμενο από τάση (*VCO*), του οποίου η συχνότητα εξόδου είναι ανάλογη της τάσης εισόδου.
- ⊙ Έναν ανιχνευτή φάσης (*phase detector*), που υλοποιείται από έναν πολλαπλασιαστή ή μία πύλη αποκλειστικού OR (*XOR*) και παράγει μια τάση εξόδου ανάλογη της διαφοράς φάσης των δύο εισόδων.

- ⊙ Ένα φίλτρο βρόχου (*loop filter*), το οποίο χρησιμοποιείται για να ελέγχει τη δυναμική συμπεριφορά του κυκλώματος ανάδρασης (ανατροφοδότησης) του VCO.
- ⊙ Και τον προγραμματισμένο διαιρέτη (*prescaler*) συχνότητας

Το PLL λειτουργεί συγκρίνοντας τη φάση του σήματος εισόδου με το σήμα που παράγει ο VCO και χρησιμοποιεί την τάση που δημιουργείται στον ανιχνευτή φάσης για να μεταβάλει τη συχνότητα και τη φάση του VCO, ώστε να “ταιριάζει” με της εισόδου. Το σύστημα φθάνει σε μια σταθερή κατάσταση όταν η μέση έξοδος του ανιχνευτή φάσης είναι μηδέν, που σημαίνει ότι ο VCO έχει “κλειδώσει” από πλευράς φάσης στο σήμα εισόδου. Όταν υπάρχουν ανιχνευτές βασισμένοι σε μίκτες, τότε δημιουργείται μία διαφορά φάσης 90° ανάμεσα στη φάση του σήματος εισόδου και τη φάση του VCO.

Εάν ένα γραμμικό στοιχείο όπως ένας πολλαπλασιαστής τεσσάρων τεταρτημόριων χρησιμοποιείται ως ανιχνευτής φάσης, και το φίλτρο βρόχων και το VCO είναι επίσης αναλογικά στοιχεία, αυτό καλείται ανάλογο ή γραμμικό (*linear*)PLL (LPLL).



Σχήμα 2. Βασικό πρότυπο φάση-κλειδώνο-βρόχων.

Αναφερόμενοι στο σχήμα 2, ένα σύστημα για ένα PLL για να παραγάγει τις υψηλότερες συχνότητες από την είσοδο, το VCO ταλαντεύεται σε μια γωνιακή συχνότητα ω_D . Ένα μέρος αυτού του σήματος συχνότητας/φάσης ανατροφοδοτείται στον ανιχνευτή λάθους, μέσω ενός διαιρέτη συχνότητας με μια αναλογία $1/N$. Αυτό διαιρεί τις χαμηλές συχνότητες τροφοδοτώντας σε μια είσοδο του ανιχνευτή λάθους. Η άλλη είσοδος σε αυτό το παράδειγμα είναι μια σταθερή συχνότητα/ φάση αναφοράς. Ο ανιχνευτής λάθους συγκρίνει τα σήματα απ τις 2 εισόδους. Όταν τα δύο σήματα εισόδων είναι ίσα στη φάση και τη συχνότητα, το λάθος θα είναι μηδέν και ο βρόχος λέγεται ότι είναι σε "κλειδωμένο" κατάσταση. Εάν εξετάζουμε απλά το σήμα λάθους, μπορούν να αναπτυχθούν οι ακόλουθες εξισώσεις:

$$e(s) = F_{REF} - \frac{F_0}{N}$$

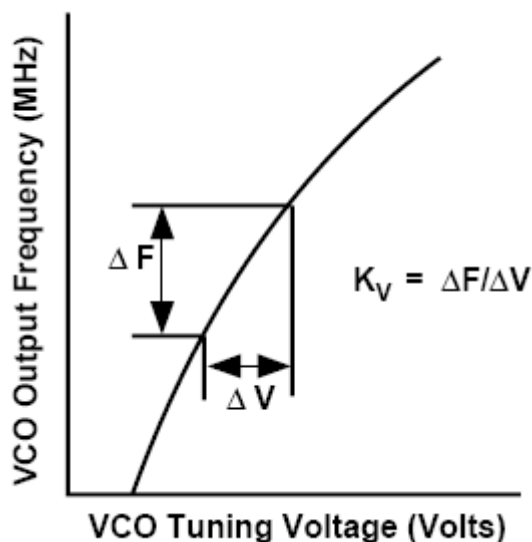
Όταν

$$e(s) = 0, \frac{F_0}{N} = F_{REF}$$

Κατά συνέπεια

$$F_0 = N \cdot F_{REF}$$

Στο εμπορεύσιμο PLLs, η φάση ανίχνευσης και το charge pump διαμορφώνουν μαζί το μπλόκ ανιχνευτών λάθους. Όταν $F_o \neq N F_{REF}$, ο ανιχνευτής λάθους επηρεάζει την έξοδο πηγής/εξασθένησης του τρέχοντος παλμού στο χαμηλής διέλευσης φίλτρο βρόχων. Αυτό εξομαλύνει τους τρέχοντες παλμούς σε μια τάση που οδηγεί στη συνέχεια το VCO. Η συχνότητα VCO θα αυξηθεί έπειτα ή θα μειωθεί ανάλογα με τις ανάγκες, από $K_V \Delta V$, όπου K_V είναι VCO ευαισθησία σε MHz/Volt και ΔV είναι η αλλαγή σε VCO τάση εισόδου. Θα συνεχιστεί αυτό έως ότου $e(s)$ είναι μηδέν και ο βρόχος είναι κλειδωμένος. Η charge pump και το VCO χρησιμεύουν έτσι ως ένας ολοκληρωτής, που επιδιώκει να αυξήσει ή να μειώσει τη συχνότητα εξόδου της στην τιμή που απαιτείται ώστε να αποκατασταθεί η εισαγωγή της (από τον ανιχνευτή φάσης) σε μηδέν.



Σχήμα 3. VCO λειτουργία μεταφοράς.

Η γενική λειτουργία μεταφοράς (CLG ή Closed Loop Gain) του PLL μπορεί να εκφραστεί απλά με τη χρησιμοποίηση της έκφρασης CLG για ένα αρνητικό σύστημα ανατροφοδότησης όπως δίνεται παρακάτω:

$$\frac{F_0}{F_{REF}} = \frac{ForwardGain}{1 + LoopGain}$$

$$ForwardGain, G = \frac{K_D K_V Z(s)}{s}$$

$$LoopGain, GH = \frac{K_D K_V Z(s)}{N_S}$$

Όταν η GH είναι πολύ μεγαλύτερη από 1, μπορούμε να πούμε ότι ο κλειστός βρόχος μεταφοράς λειτουργεί για το σύστημα PLL είναι N και έτσι

$$F_{OUT} = N \times F_{REF}$$

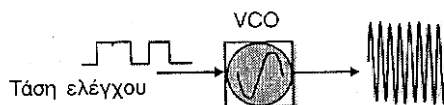
Το φίλτρο βρόχων είναι χαμηλής διέλευσης, χαρακτηριστικά με έναν ακροδέκτη. Η προσωρινή απόκριση του βρόχου εξαρτάται από:

1. το μέγεθος του ακροδέκτη,
2. το μέγεθος του charge pump,
3. η ευαισθησία VCO,
4. ο παράγοντας ανατροφοδότησης, N.

Όλα τα παραπάνω πρέπει να ληφθούν υπόψη κατά τον σχεδιασμό φίλτρου βρόχων. Επιπλέον, το φίλτρο πρέπει να σχεδιαστεί για να είναι σταθερό. Η 3-DB αποκοπής συχνότητας της απόκρισης καλείται συνήθως βρόχος εύρους ζώνης, BW. Μεγάλη απόκριση βρόχου εύρους ζώνης είναι πολύ γρήγορη στην προσωρινή απόκριση.

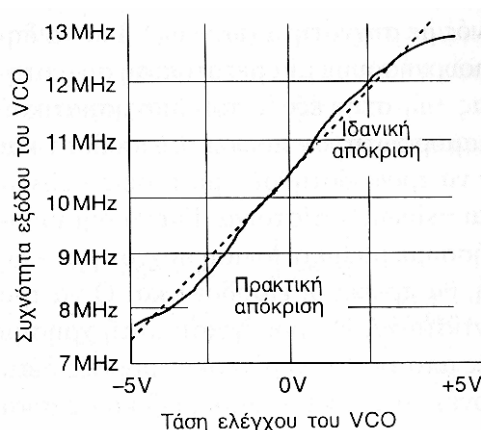
2.3 ΤΑΛΑΝΤΩΤΗΣ ΕΛΕΓΧΟΜΕΝΟΣ ΑΠΟ ΤΑΣΗ(VCO)

Ένας ταλαντωτής ελεγχόμενης από τάση (Voltage Controlled Oscillator-VCO) είναι ένα στοιχείο το οποίο παράγει μία ημιτονοειδή (και κάποιες φορές τετραγωνική) έξοδο με συχνότητα που είναι συνάρτηση μιας τάσης ελέγχου που εφαρμόζεται στην είσοδο.



Σχημα 4. Ταλαντωτής ελεγχόμενης τάσης

Παρακάτω είναι το διάγραμμα ενός τυπικού VCO που λειτουργεί σε συχνότητα γύρω στα 10 MHz, και δείχνει την συχνότητα εξόδου ως προς την τάση ελέγχου. Στην ιδανική περίπτωση VCO θα έδινε μεταβολές συχνότητας ευθέως ανάλογες της μεταβολής της τάσης εισόδου, όπως εικονίζεται με την ευθεία γραμμή. Στην πράξη όμως οι περισσότεροι VCO έχουν απόκριση που έχει το χαρακτηριστικό σχήμα του γράμματος “S” μια κεντρική περιοχή σχεδόν γραμμική και ακραίες περιοχές που εμφανίζουν αποκλίσεις από τη γραμμικότητα.



Σχημα 5. Διάγραμμα ενός τυπικού VCO

Το στοιχείο με την βοήθεια του οποίου μεταβάλλεται η συχνότητα ενός VCO υψηλών συχνοτήτων είναι μια δίοδος varactor, της οποίας η χωρητικότητα μεταβάλλεται με την εφαρμοζόμενη τάση. Η δίοδος αυτή χρησιμοποιείται σαν στοιχείο ενός συντονισμένου κυκλώματος L-C που τίθεται στο βρόχο ανάδρασης ενός ενισχυτή, οπότε σχηματίζει έναν ταλαντωτή ρυθμιζόμενο (δηλαδή ελεγχόμενο) με τη βοήθεια μιας τάσης. Το επαγωγικό τμήμα του κυκλώματος κατασκευάζεται στην πράξη από έναν κρύσταλλο χαλαζία (quartz), ο οποίος μπορεί να έχει εξαιρετικά υψηλό παράγοντα ποιότητας Q και επομένως να παράγει μια ακριβή και επαναλήψιμη συχνότητα ταλάντωσης. Αυτές οι διατάξεις ονομάζονται κρυσταλλικοί ταλαντωτές ελεγχόμενοι από τάση (VCXO).

2.4 ΕΦΑΡΜΟΓΕΣ PLL ΥΨΗΛΩΝ ΣΥΧΝΟΤΗΤΩΝ

Ο PLL επιτρέπει στις σταθερές υψηλές συχνότητες να είναι δημιουργημένες από μια χαμηλή συχνότητα αναφοράς. Οποιοδήποτε σύστημα αυτό απαιτεί σταθερή υψηλή συχνότητα συντονισμού που μπορεί να επωφεληθεί από την PLL τεχνική. Τα παραδείγματα αυτών των εφαρμογών περιλαμβάνουν τις ασύρματες βάσεις σταθμών, τα ασύρματα τηλέφωνα, τα pagers, τα CATV συστήματα, τα συστήματα αποκατάστασης χρονιστών και τα συστήματα παραγωγής. Ένα καλό παράδειγμα μιας εφαρμογής PLL είναι μία τηλεφωνική συσκευή GSM ή μια βάση σταθμού.

3

ΕΦΑΡΜΟΓΗ

EVAL-ADF4360-7EB1



3.1 ΛΕΙΤΟΥΡΓΙΑ ΠΛΑΚΕΤΑΣ

3.2 ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΠΛΑΚΕΤΑΣ

3.3 ΛΕΙΤΟΥΡΓΕΙΑ VCO

EVAL-ADF4360-7EB1

Ολοκληρωμένο N ακεραίου συνθέτη και VCO – συχνότητας εξόδου 350 MHz σε 1800MHz.

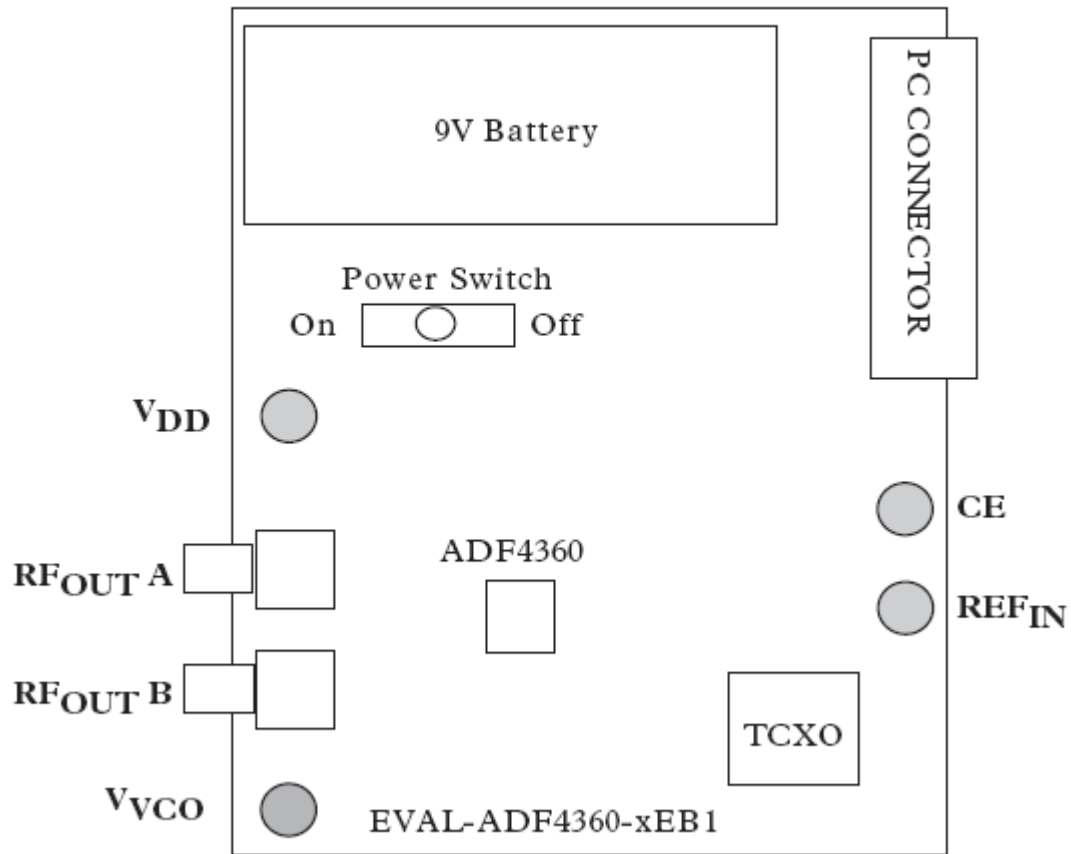
Το ADF4360-7 είναι μια συσκευή που λειτουργεί με ένα εξωτερικό πηνίο. Το EVAL-ADF4360-7EB1 ο πίνακας χρησιμοποιεί ένα πηνίο 3.9nH για να δώσει μια σειρά 800MHz σε 920MHz. Το πλήρες φάσμα συχνότητας των ADF4360-7 είναι 500MHz σε 2400MHz.

3.1 ΛΕΙΤΟΥΡΓΙΑ ΠΛΑΚΕΤΑΣ

3.1.1 Γενική περιγραφή

Το ADF4360-7EB1 Evaluation board σχεδιάστηκε για να επιτρέψει στον χρήστη να αξιολογήσει (υπολογίσει) την απόδοση του ADF4360-7 Frequency Synthesizers(συνθέτης συχνοτήτων) για PLL's (Phase Locked Loops- βρόγχος κλειδώματος φάσης). Το block διάγραμμα της πλακέτας παρουσιάζεται παρακάτω. Αυτό περιέχει το ADF4360-7, ένα συζευκτήρα PC, θετικό συζευκτήρα SMA για την ισχύς τροφοδοσίας, είσοδο αναφοράς, και εξόδους RF. Αυτό επίσης περιέχει ένα ολοκληρωμένο loop filter στο PLL. Ο eval board μπορεί να διαμορφωθεί ανάλογα με τις απαιτήσεις PLL του πελάτη . Ένα καλώδιο περιλαμβάνεται μαζί με την πλακέτα ώστε να συνδέσει την πλακέτα σε μία θύρα εκτυπωτή του PC για να επιτρέψει το προγραμματισμένο software. Το πακέτο περιέχει επίσης windows software για να επιτρέψει τον εύκολο προγραμματισμό του συνθέτη.

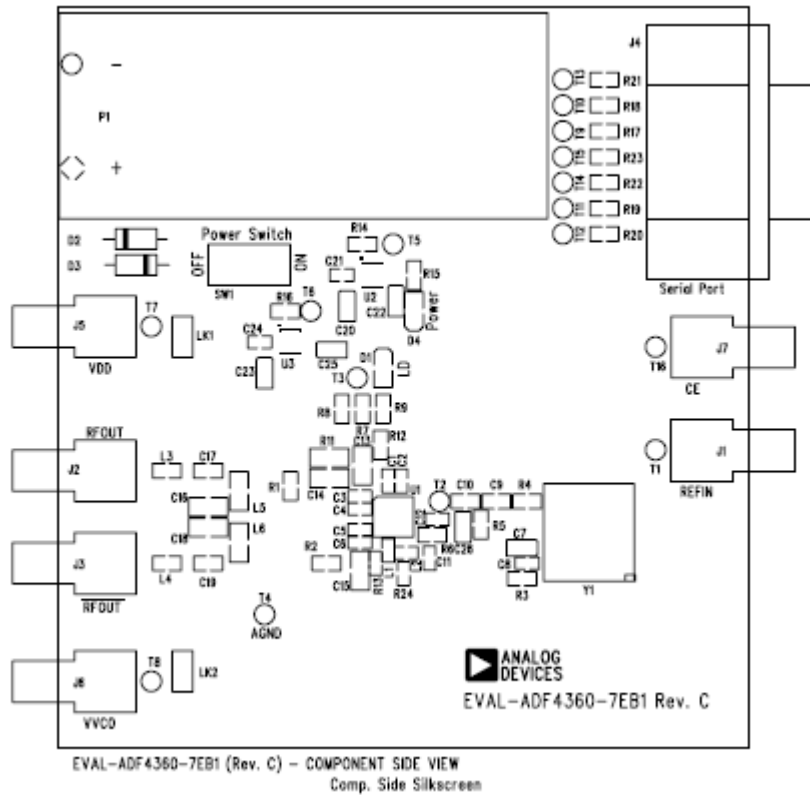
BLOCK DIAGRAM



Σχήμα. 1. Μπλοκ διάγραμμα πλακέτας EVAL-ADF4360-7EB1

3.1.2 Περιγραφή υλικού

Η evaluation board έχει σαν συνεπακόλουθο ένα καλώδιο για τη σύνδεση της θύρας εκτυπωτή στο PC. Η μεταξοτυπία (silk screen) και το διάγραμμα καλωδίου για τον evaluation board παρουσιάζεται παρακάτω.



Σχήμα 2. Evaluation Board Silkscreen

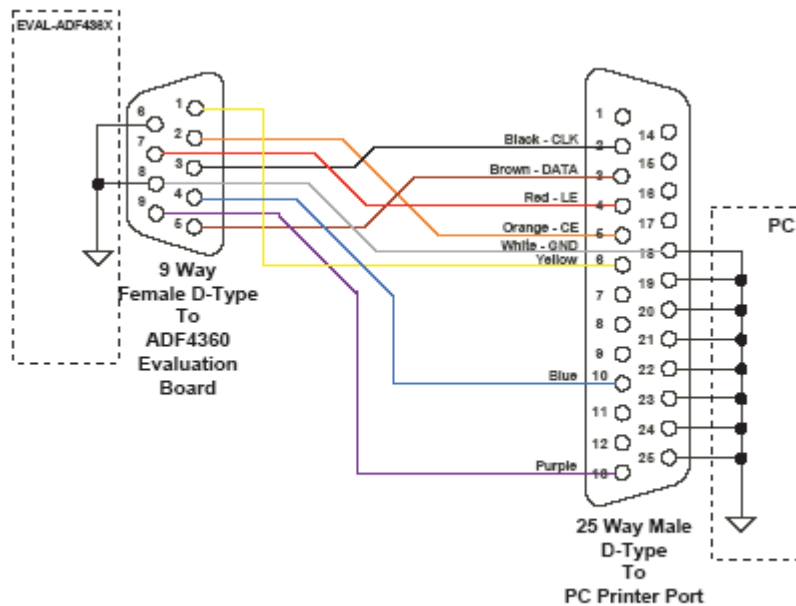
Η πλακέτα τροφοδοτείται από μια μπαταρία 9V. Όλα τα εξαρτήματα είναι απαραίτητα για την LO γεννήτρια τροφοδοσίας της πλακέτας. Μία 10 MHz TCXO από Fox παρέχει την απαραίτητη Reference Input. Αλλιώς μπορούμε να εφαρμόσουμε ένα σήμα External Reference συνδεδεμένο μέσω της SMA1. Ο PLL περιλαμβάνει το ADF4360-7 και ένα παθητικό loop filter. Οι έξοδοι VCO είναι διαθέσιμοι στην RFOUTA μέσω ενός τυποποιημένου συζευκτήρα SMA, επιπλέον η συμπληρωματική VCO έξοδος είναι διαθέσιμη από RFOUTB συμπληρωματικού συζευκτήρα.

Εάν ο χρήστης επιθυμεί μπορεί να χρησιμοποιήσει τη δικιά του ισχύς τροφοδοσίας και reference input, χρησιμοποιώντας τους συζευκτήρες SMA όπως παρουσιάζονται στη silkscreen και στο block διάγραμμα. Ο έλεγχος του Chip Enable pin μπορεί να πραγματοποιηθεί μέσω της εισόδου J7, και μετατοπίζοντας την R12. Πάνω στην πλακέτα είναι ένα παθητικό χαμηλοπερατό φίλτρο (Passive Low Pass Filter) τρίτης τάξης. Αυτό περιέχει τρεις πυκνωτές (C13, C14 & C15), επιπλέον δύο αντιστάσεις (R10 & R11). Στο χώρο αποθήκευσης Board, το αποτύπωμα για την R10 είναι εγκατεστημένο στην κάτω πλευρά της board. Όσο αφορά το σχέδιο του loop filter, αυτό είναι σχεδιασμένο για μια κεντρική συχνότητα στα 900MHz, και ένα διάστημα καναλιών 200kHz. Αυτών το bandwidth (εύρος ζώνης) είναι 10kHz.

Σε σχέδιο ενός φίλτρου για διαφορετική κατάσταση, παρακαλείται η χρήση ADIsimPLL.

Εάν η έκδοση μιας εκδοχής του ADIsimPLL που χρησιμοποιούμε δεν είναι διαμορφωμένη για το ADF4360-7, τότε μπορούμε να σχεδιάσουμε το φίλτρο βρόχων με

την επιλογή του ADF4106 σαν ένας συνθέτης και εισαγωγή όλων των άλλων κατάλληλων παραμέτρων από το ADF4360-7 datasheet. Αυτή η αντλία φόρτισης είναι μισή στο ADF4106.



ADF4360-x CABLE CONNECTIONS

Σχήμα 3. Διάγραμμα καλωδίων PC

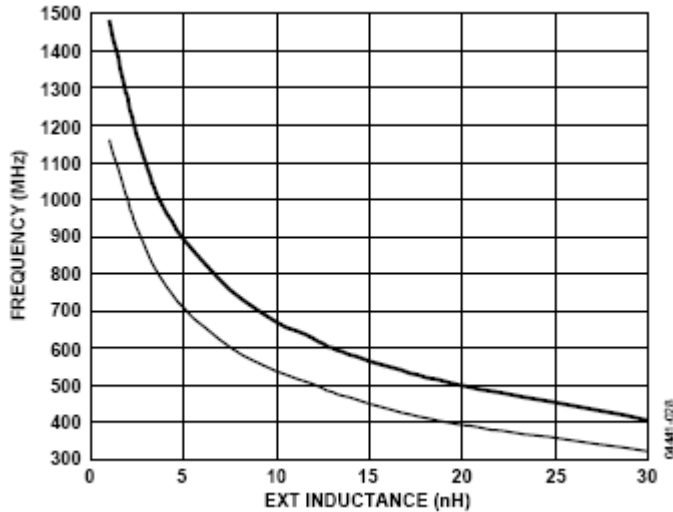
3.1.3 Εξωτερικές επιλογές επαγωγέων

Το ADF4360-7 χρησιμοποιεί εξωτερικούς επαγωγείς (πηνία) (L1 & L2) στην ρύθμιση του αποθηκευτικού κυκλώματος LC του VCO, η Eval board έχει ένα αποτύπωμα για την τοποθέτησή του. Ένας πυκνωτής των 3.9nH παρεμβάλεται στην πλακέτα που δίνει μια VCO κεντρική συχνότητα 900MHz. Για αυτή την τιμή του επαγωγέα και για άλλες μεγαλύτερες τιμές από 3.3nH, μία αντίσταση 470 Ohm σε παραλληλία με L1& L2 χρειάζεται να είναι συνδεδεμένη.



Εικόνα 1. εξωτερικοί επαγωγείς & αντιστάσεις για το αποθηκευτικό κύκλωμα του ADF4360-7.

Για να βρούμε το βέλτιστο φάσμα συχνότητας για ένα δεδομένο πηνίο, συμβουλευόμαστε τη γραφική παράσταση κατωτέρω. Απλά εξασφαλίζουμε ότι η επιθυμητή συχνότητα είναι μεταξύ των δύο γραμμών και καταγράφουμε τον κατάλληλο επαγωγέα που απαιτείται .



Σχήμα 4. Εξωτερική κεντρική συχνότητα ως προς την εξωτερική τιμή του επαγωγέα.

3.1.4 Στάδιο εξόδου RF

Το στάδιο εξόδου της πλακέτας επιτρέπει στο χρήστη να εισάγει ένα συντονισμένο φορτίο εάν επιθυμεί, αλλά επειδή το συντονισμένο φορτίο είναι συνήθως συχνότητα επιλεκτική, η πλακέτα είναι επικολλημένη με μία αντίσταση 50-Ohm στο V_{nc0}, επιπλέον ένα πυκνωτή dc-bypass. Εάν ο χρήστης επιθυμεί, η πλακέτα μπορεί να προσαρμοστεί με έναν επαγωγέα διακλαδώσεων V_{nc0}, επιπλέον μία σειρά LC για να βελτιστοποιήσει τη ισχύς εξόδου.

3.1.5 ADI SimPLL

Ένα αντίγραφο του ADI simPLL συμπεριλαμβάνεται επίσης στο σετ eval CD. Σχέδια αυτών των πακέτων λογισμικού, προσομοιώνει και αναλύει όλη την περιοχή συχνοτήτων και περιοχή απόκρισης. Μπορούμε να το χρησιμοποιήσουμε για να σχεδιάσουμε ένα κατάλληλο φίλτρο για το PLL. Διάφορες παθητικές και ενεργές αρχιτεκτονικές φίλτρων είναι επιτρεπτές .

3.2 ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΠΛΑΚΕΤΑΣ

Επιλέγουμε την συχνότητα εξόδου RF VCO , και το παράθυρο συχνότητας εξόδου θα εμφανιστεί. Εισάγουμε την επιθυμητή συχνότητα εξόδου (σε MHz) και επίσης την επιθυμητή συχνότητα PFD (σε kHz) και πατάμε OK. Επιλέγουμε τη συχνότητα αναφοράς και εισάγουμε την επιθυμητή συχνότητα σε MHz, επιλέγουμε πάλι OK.

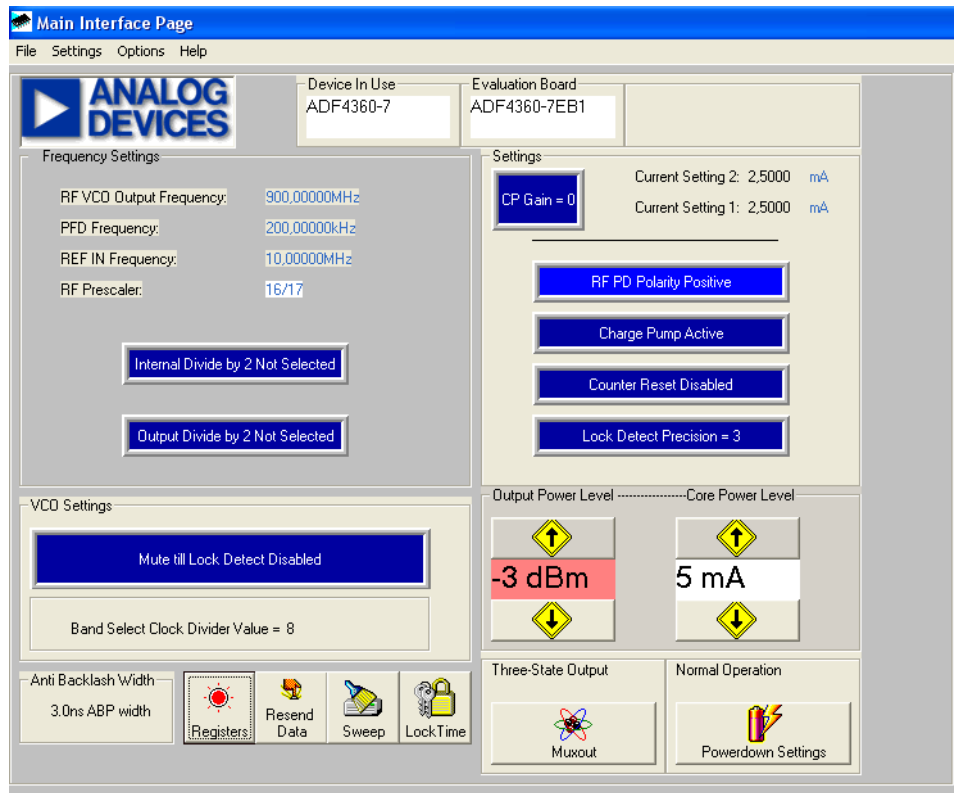
Κάνουμε Click στον Prescaler (προδιαίρετη), και το παράθυρο Prescaler θα εμφανιστεί. Παίρνουμε το δείκτη, και διαλέγουμε την κατάλληλη ρύθμιση (πατάμε πάλι OK).

Επιλέγουμε την αντλία φόρτισης ρεύματος ρύθμιση 2 ή αντλία φόρτισης ρεύματος ρύθμιση 1 και το τρέχον παράθυρο ρύθμισης θα εμφανιστεί. παίρνουμε το δείκτη για να θέσουμε τη ρύθμιση της αντλίας φόρτισης ρεύματος στην κατάλληλη ρύθμιση βασισμένη στο σχέδιο βρόχων.

Θα είναι απαραίτητο να ρυθμίσουμε την πηγή ρεύματος και την έξοδο ισχύος ώστε να δίνει ιδανική λειτουργία. Αυτές οι ρυθμίσεις είναι ακριβώς καταγραμμένες στο παρακάτω παράθυρο.

Ενεργοποιούμε το πλήκτρο πολικότητας RF PD ώστε η πολικότητα του RF PD bit να είναι θετικό.

Το στοιχείο θα πρέπει να είναι τώρα εγκατεστημένο, και άλλα χαρακτηριστικά μπορούν τώρα να ελεγχθούν απ τον χρήστη. Για να ελέγξουμε τα περιεχόμενα που είναι καταγραμμένα σε κάθε καταχωρητή, τα πλήκτρα καταχωρητών μπορούν να επιλεγούν παρακάτω. Όπως είναι προκαθορισμένα τα στοιχεία, η σωστή σειρά του καταχωρητή εγγραφής είναι ο μετρητής R, η ασφάλεια λειτουργίας και τέλος ο μετρητής ασφάλειας N.



Εικόνα 2. Λογισμικό προγραμματισμού πλακέτας

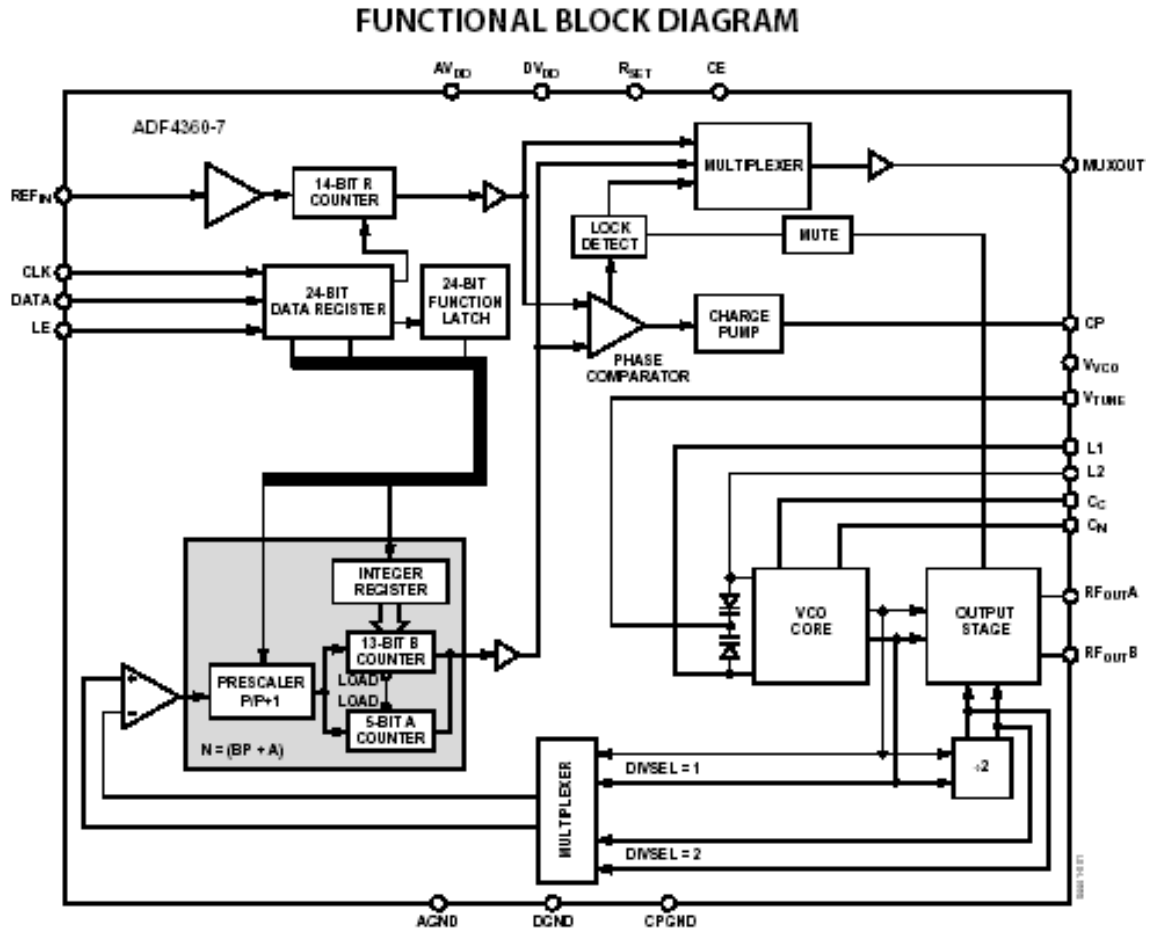
3.3 ΛΕΙΤΟΥΡΓΙΑ VCO

Integrated Synthesizer and VCO ADF4360-7

3.3.1 Γενικά χαρακτηριστικά

Το ADF4360-7 είναι ένας ολοκληρωμένος συνθέτης N-ακεραίων και ταλαντωτής ελεγχόμενης τάσης (voltage controlled oscillator -VCO). Η κεντρική συχνότητα του ADF4360-7 ρυθμίζεται από τα εξωτερικά πηνία. Αυτό επιτρέπει ένα φάσμα συχνοτήτων μεταξύ 350 MHz και 1800 MHz. Επιπλέον, ένας διαχωρισμός στα 2 είναι διαθέσιμος, με τον οποίο ο χρήστης λαμβάνει μια έξοδο RF μεταξύ 175 MHz και 900 MHz.

Ο έλεγχος όλων των ολοκληρωμένων κυκλωμάτων είναι μέσω μιας απλής διασύνδεσης 3-καλωδίων. Η συσκευή λειτουργεί με μια παροχή ηλεκτρικού ρεύματος που κυμαίνεται από 3,0 V έως 3,6 V και μπορεί να τροφοδοτηθεί χαμηλά όταν δεν είναι σε χρήση.



Σχημα 5. Διάγραμμα λειτουργίας ολοκληρωμένου ADF4360-7

3.3.2 Προδιαγραφές

$AV_{DD} = DV_{DD} = V_{VCO} = 3.3 \text{ V} \pm 10\%$; $AGND = DGND = 0 \text{ V}$; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Πίνακας 1.

Parameter	B Version	Unit	Conditions/Comments
REF_{IN} CHARACTERISTICS			
REF _{IN} Input Frequency	10/250	MHz min/max	For $f < 10 \text{ MHz}$, use a dc-coupled CMOS-compatible square wave, slew rate $> 21 \text{ V}/\mu\text{s}$.
REF _{IN} Input Sensitivity	$0.7/AV_{DD}$	V p-p min/max	AC-coupled.
REF _{IN} Input Capacitance	0 to AV_{DD}	V max	CMOS compatible.
REF _{IN} Input Current	± 60	μA max	
PHASE DETECTOR			
Phase Detector Frequency ²	8	MHz max	
CHARGE PUMP			
I _{CP} Sink/Source ³			With $R_{SET} = 4.7 \text{ k}\Omega$.
High Value	2.5	mA typ	
Low Value	0.312	mA typ	
R _{SET} Range	2.7/10	k Ω	
I _{CP} Three-State Leakage Current	0.2	nA typ	
Sink and Source Current Matching	2	% typ	$1.25 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$.
I _{CP} vs. V _{CP}	1.5	% typ	$1.25 \text{ V} \leq V_{CP} \leq 2.5 \text{ V}$.
I _{CP} vs. Temperature	2	% typ	$V_{CP} = 2.0 \text{ V}$.
LOGIC INPUTS			
V _{INH} , Input High Voltage	1.5	V min	
V _{INL} , Input Low Voltage	0.6	V max	
I _{INH} /I _{INL} , Input Current	± 1	μA max	
C _{IN} , Input Capacitance	3.0	pF max	
LOGIC OUTPUTS			
V _{OH} , Output High Voltage	$DV_{DD} - 0.4$	V min	CMOS output chosen.
I _{OH} , Output High Current	500	μA max	
V _{OL} , Output Low Voltage	0.4	V max	$I_{OL} = 500 \mu\text{A}$.

POWER SUPPLIES			
V_{DD}	3.0/3.6	V min/V max	
DV_{DD}		V_{DD}	
V_{VCO}		V_{DD}	
AI_{DD}^4	10	mA typ	
DI_{DD4}	2.5	mA typ	
$I_{VCO4}^{,5}$	14.0	mA typ	$I_{CORE} = 5$ mA.
I_{RFOUT4}	3.5 to 11.0	mA typ	RF output stage is programmable.
Low Power Sleep Mode	7	μ A typ	
RF OUTPUT CHARACTERISTICS₅			
Maximum VCO Output Frequency	1800	MHz	$I_{CORE} = 5$ mA. Depending on L. See the Choosing the Correct Inductance Value section.
Minimum VCO Output Frequency	350	MHz	
VCO Output Frequency	490/585	MHz min/max	L1, L2 = 13 nH. See the Choosing the Correct Inductance Value section for other frequency values.
VCO Frequency Range	1.2	Ratio	F_{MAX}/F_{MIN}
VCO Sensitivity	12	MHz/V typ	L1, L2 = 13 nH. See the Choosing the Correct Inductance Value section for other sensitivity values.
Lock Time ⁶	400	μ s typ	To within 10 Hz of final frequency.
Frequency Pushing (Open Loop)	6	MHz/V typ	
Frequency Pulling (Open Loop)	15	kHz typ	Into 2.00 VSWR load.
Harmonic Content (Second)	-19	dBc typ	
Harmonic Content (Third)	-9	dBc typ	
Output Powers ⁷	-14/-5	dBm typ	Programmable in 3 dB steps. See Table 7.
Output Power Variation	± 3	dB typ	For tuned loads, see Output Matching section.
VCO Tuning Range	1.25/2.5	V min/max	
NOISE CHARACTERISTICS₅			
VCO Phase-Noise Performance ⁸	-116	dBc/Hz typ	@ 100 kHz offset from carrier.
	-138	dBc/Hz typ	@ 1 MHz offset from carrier.
	-144	dBc/Hz typ	@ 3 MHz offset from carrier.
	-148	dBc/Hz typ	@ 10 MHz offset from carrier.
Synthesizer Phase-Noise Floor ⁹	-172	dBc/Hz typ	@ 25 kHz PFD frequency.
	-163	dBc/Hz typ	@ 200 kHz PFD frequency.
	-147	dBc/Hz typ	@ 8 MHz PFD frequency.
In-Band Phase Noise ^{10,11}	-92	dBc/Hz typ	@ 1 kHz offset from carrier.
RMS Integrated Phase Error ¹²	0.3	Degrees typ	100 Hz to 100 kHz.

Spurious Signals due to PFD Frequency ^{11,13}	-70	dBc typ
Level of Unlocked Signal with MTLN Enabled	-44	dBm typ

¹ Operating temperature range is -40°C to +85°C.

² Guaranteed by design. Sample tested to ensure compliance.

³ I_{CP} is internally modified to maintain constant loop gain over the frequency range.

⁴ $T_A = 25^\circ\text{C}$; $AV_{DD} = DV_{DD} = V_{VCO} = 3.3\text{ V}$; $P = 32$.

⁵ Unless otherwise stated, these characteristics are guaranteed for VCO core power = 5 mA. L1, L2 = 13 nH, 470 Ω resistors to GND in parallel with L1, L2.

⁶ Jumping from 490 MHz to 585 MHz. PFD frequency = 200 kHz; loop bandwidth = 10 kHz.

⁷ Using 50 Ω resistors to V_{VCO} , into a 50 Ω load. For tuned loads, see the Output M section.

⁸ The noise of the VCO is measured in open-loop conditions.

⁹ The synthesizer phase-noise floor is estimated by measuring the in-band phase noise at the output of the VCO and subtracting 20 log N (where N is the N divider value).

¹⁰ The phase noise is measured with the EVAL-ADF4360-xEB1 Evaluation Board and the HP 8562E Spectrum Analyzer. The Spectrum Analyzer provides the REF_{IN} for the synthesizer; offset frequency = 1 kHz.

¹¹ $f_{REFIN} = 10\text{ MHz}$; $f_{PFD} = 200\text{ kHz}$; $N = 2500$; loop B/W = 10 kHz.

¹² $f_{REFIN} = 10\text{ MHz}$; $f_{PFD} = 1\text{ MHz}$; $N = 500$; loop B/W = 25 kHz.

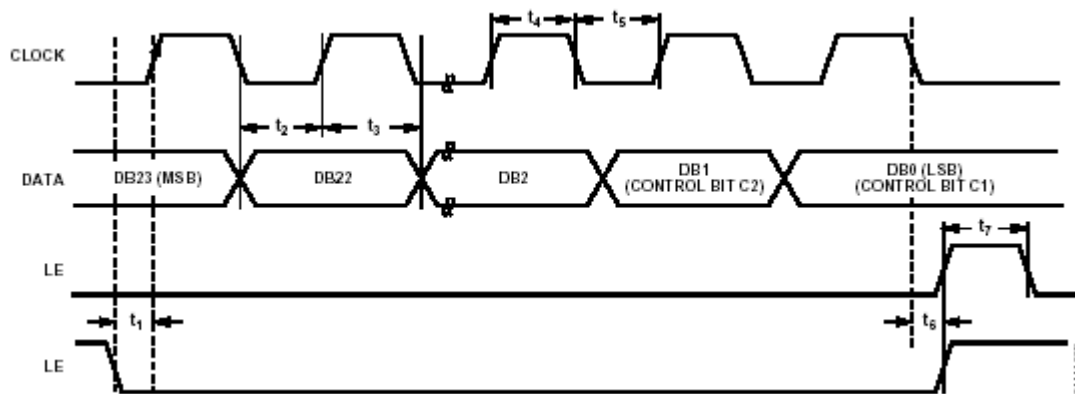
¹³ The spurious signals are measured with the EVAL-ADF4360-xEB1 Evaluation Board and the HP 8562E Spectrum Analyzer. The Spectrum Analyzer provides the REF_{IN} for the synthesizer; $f_{REFOUT} = 10\text{ MHz}$ @ 0 dBm.

3.3.3 Χαρακτηριστικά χρονισμού

$AV_{DD} = DV_{DD} = V_{VCO} = 3.3\text{ V} \pm 10\%$; $AGND = DGND = 0\text{ V}$; 1.8 V and 3 V logic levels used; $T_A = T_{MIN}$ to T_{MAX} , unless otherwise noted.

Πίνακας 2.

Parameter	Limit at T_{MIN} to T_{MAX} (B Version)	Unit	Test Conditions/Comments
t_1	20	ns min	LE Setup Time
t_2	10	ns min	DATA to CLOCK Setup Time
t_3	10	ns min	DATA to CLOCK Hold Time
t_4	25	ns min	CLOCK High Duration
t_5	25	ns min	CLOCK Low Duration
t_6	10	ns min	CLOCK to LE Setup Time
t_7	20	ns min	LE Pulse Width



Σχήμα 6. Διαγραμμα χρονισμού

3.3.4 Μεγιστες απολυτες τιμες

TA = 25°C, unless otherwise noted.

Πίνακας 3.

Parameter	Rating
V_{DD} to GND ¹	-0.3 V to +3.9 V
V_{DD} to V_{DD}	-0.3 V to +0.3 V
V_{VCO} to GND	-0.3 V to +3.9 V
V_{VCO} to V_{DD}	-0.3 V to +0.3 V
Digital I/O Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
Analog I/O Voltage to GND	-0.3 V to $V_{DD} + 0.3$ V
REF_{IN} to GND	-0.3 V to $V_{DD} + 0.3$ V
Operating Temperature Range	
Maximum Junction Temperature	150°C
CSP θ_{JA} Thermal Impedance	
Paddle Soldered	50°C/W
Paddle Not Soldered	88°C/W
Lead Temperature, Soldering	
Vapor Phase (60 sec)	215°C
Infrared (15 sec)	220°C

Τάση παραπάνω από εκείνες που απαριθμούνται κάτω από τις απόλυτες μέγιστες εκτιμήσεις μπορεί να προκαλέσει μόνιμη ζημία στη συσκευή. Ο λειτουργικός χειρισμός της συσκευής σε αυτούς ή οποιουδήποτε άλλους όρους επάνω από εκείνους που απαριθμούνται στα λειτουργικά τμήματα αυτής της προδιαγραφής δεν είναι υπονοούμενη. Η έκθεση στους απόλυτους μέγιστους όρους εκτίμησης για εκτεταμένες περιόδους μπορεί να έχει επιπτώσεις στην αξιοπιστία των συσκευών. Αυτή η συσκευή είναι ένας υψηλός απόδοσης RF ενσωματωμένος σε κύκλωμα με εναν ESD, εκτιμώμενο σε <1 kV, και είναι ESD ευαίσθητος. Οι κατάλληλες προφυλάξεις πρέπει να ληφθούν για το χειρισμό και τη συναρμολόγηση.

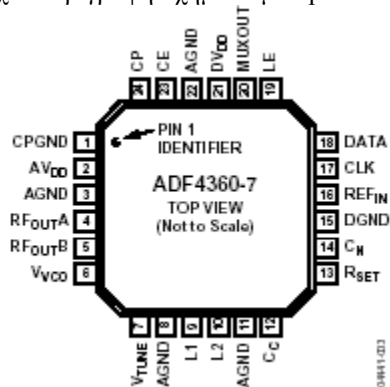
ΜΕΤΡΗΣΗ TRANSISTOR

12543 (CMOS) and 700 (Bipolar-διπολικό)

ΕΥΑΙΣΘΗΣΙΑ ESD

ESD (electrostatic discharge-σε ηλεκτροστατική εκφόρτιση) ευαίσθητη συσκευή. Ηλεκτροστατικά φορτία όσο 4000 V εύκολα συσσωρεύονται στον ανθρώπινο οργανισμό και στον εξοπλισμό δοκιμής και μπορεί να εκφορτιστεί χωρίς ανίχνευση. Αν και αυτό το προϊόν χαρακτηρίζεται από την χρήση ESD κυκλωμάτων προστασίας, η μόνιμη ζημία μπορεί να εμφανιστεί στις συσκευές που υποβάλλονται στις υψηλές ενεργειακές ηλεκτροστατικές απαλλαγές. Επομένως, κατάλληλη ESD προφύλαξη συστήνεται για να αποφευχθεί η υποβάθμιση απόδοσης ή η απώλεια λειτουργίας.

Σχ.7 Περιγραφή σχηματισμού pin και λειτουργία



Πίνακας 4. Pin function description

Pin No.	Mnemonic	Function
1	CPGND	Charge Pump Ground. This is the ground return path for the charge pump.
2	AV _{DD}	Analog Power Supply. This ranges from 3.0 V to 3.6 V. Decoupling capacitors to the analog ground plane should be placed as close as possible to this pin. AV _{DD} must have the same value as DV _{DD} .
3, 8, 11, 22	AGND	Analog Ground. This is the ground return path of the prescaler and VCO.
4	RF _{OUT} A	VCO Output. The output level is programmable from -5 dBm to -14 dBm. See the Output Matching section for a description of the various output stages.
5	RF _{OUT} B	VCO Complementary Output. The output level is programmable from -5 dBm to -14 dBm. See the Output Matching section for a description of the various output stages.
6	V _{VCO}	Power Supply for the VCO. This ranges from 3.0 V to 3.6 V. Decoupling capacitors to the analog ground plane should be placed as close as possible to this pin. V _{VCO} must have the same value as AV _{DD} .
7	V _{TUNE}	Control Input to the VCO. This voltage determines the output frequency and is derived from filtering the CP output voltage.
9	L1	An external inductor to AGND should be connected to this pin to set the ADF4360-7 output frequency. L1 and L2 need to be the same value. For inductances greater than 3.3 nH, a 470 Ω resistor should be added in parallel to AGND.
10	L2	An external inductor to AGND should be connected to this pin to set the ADF4360-7 output frequency. L1 and L2 need to be the same value. For inductances greater than 3.3 nH, a 470 Ω resistor should be added in parallel to AGND.
12	C _C	Internal Compensation Node. This pin must be decoupled to ground with a 10 nF capacitor.
13	R _{SET}	Connecting a resistor between this pin and CPGND sets the maximum charge pump output current for the synthesizer. The nominal voltage potential at the R _{SET} pin is 0.6 V. The relationship between I _{CP} and R _{SET} is $I_{CPmax} = \frac{11.75}{R_{SET}}$ where R _{SET} = 4.7 kΩ, and I _{CPmax} = 2.5 mA.
14	C _N	Internal Compensation Node. This pin must be decoupled to V _{VCO} with a 10 μF capacitor.
15	DGND	Digital Ground.
16	REF _{IN}	Reference Input. This is a CMOS input with a nominal threshold of V _{DD} /2 and a dc equivalent input resistance of 100 kΩ (see Figure 16). This input can be driven from a TTL or CMOS crystal oscillator, or it can be ac-coupled.
17	CLK	Serial Clock Input. This serial clock is used to clock in the serial data to the registers. The data is latched into the 24-bit shift register on the CLK rising edge. This input is a high impedance CMOS input.
18	DATA	Serial Data Input. The serial data is loaded MSB first with the two LSBs being the control bits. This input is a high impedance CMOS input.
19	LE	Load Enable, CMOS Input. When LE goes high, the data stored in the shift registers is loaded into one of the four latches, and the relevant latch is selected using the control bits.
20	MUXOUT	This multiplexer output allows either the lock detect, the scaled RF, or the scaled reference frequency to be accessed externally.
21	DV _{DD}	Digital Power Supply. This ranges from 3.0 V to 3.6 V. Decoupling capacitors to the digital ground plane should be placed as close as possible to this pin. DV _{DD} must have the same value as AV _{DD} .
23	CE	Chip Enable. A logic low on this pin powers down the device and puts the charge pump into three-state mode. Taking the pin high powers up the device depending on the status of the power-down bits.
24	CP	Charge Pump Output. When enabled, this provides ± I _{CP} to the external loop filter, which in turn drives the internal VCO.

3.3.5 Τυπικά χαρακτηριστικά απόδοσης

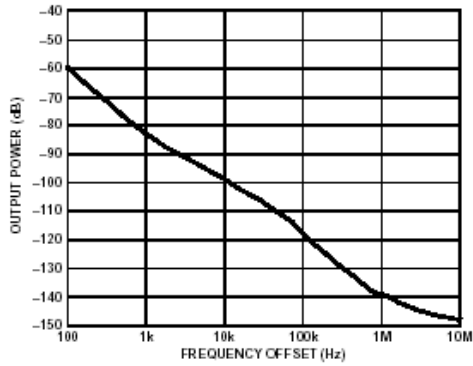


Figure 4. Open-Loop VCO Phase Noise, L1, L2 = 13 nH

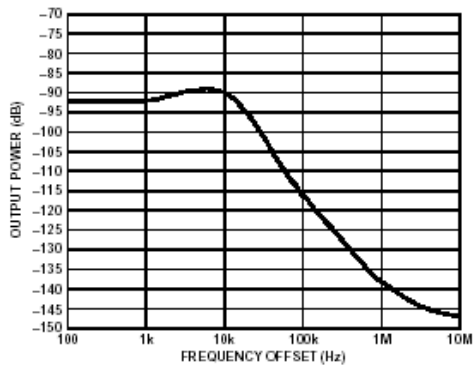


Figure 5. VCO Phase Noise, 500 MHz, 200 kHz PFD, 10 kHz Loop Bandwidth

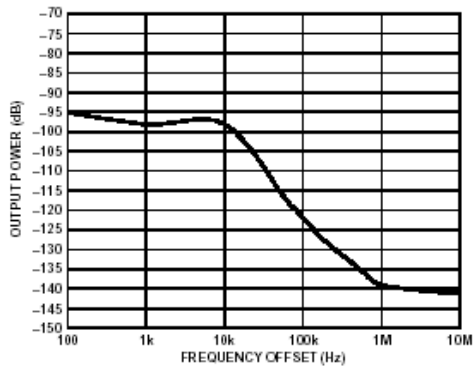


Figure 6. VCO Phase Noise, 250 MHz, Divide-by-2 Enabled 200 kHz PFD, 10 kHz Loop Bandwidth

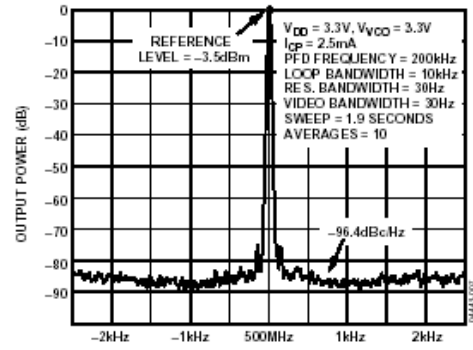


Figure 7. Close-In Phase Noise at 500 MHz (200 kHz Channel Spacing)

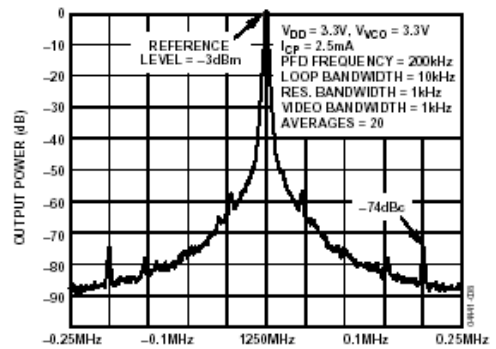


Figure 8. Reference Spurs at 500 MHz (200 kHz Channel Spacing, 10 kHz Loop Bandwidth)

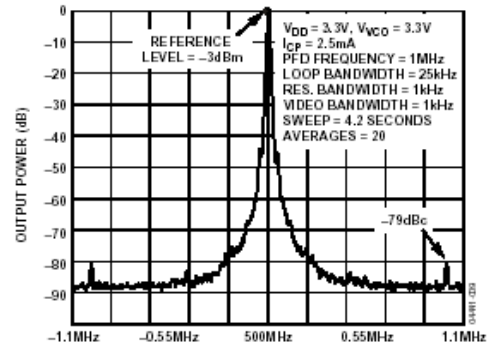


Figure 9. Reference Spurs at 500 MHz (1 MHz Channel Spacing, 25 kHz Loop Bandwidth)

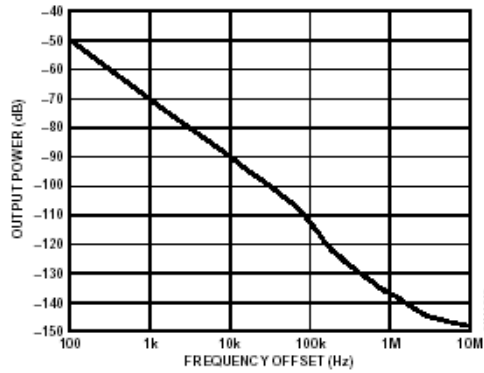


Figure 10. Open-Loop VCO Phase Noise, L1 and L2 = 1.0nH

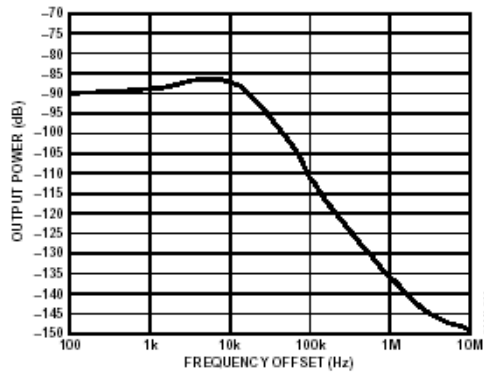


Figure 11. VCO Phase Noise, 1250 MHz, 200 kHz PFD, 10 kHz Loop Bandwidth

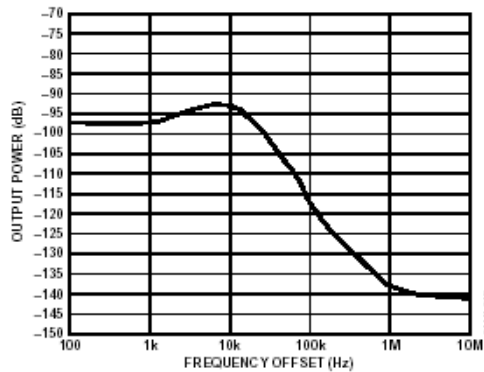


Figure 12. VCO Phase Noise, 625 MHz, Divide-by-2 Enabled 200 kHz PFD, 10 kHz Loop Bandwidth

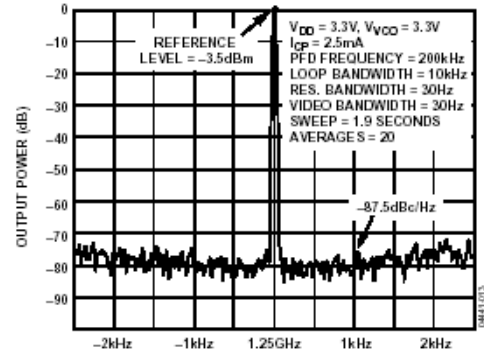


Figure 13. Close-In Phase Noise at 1250 MHz (200 kHz Channel Spacing)

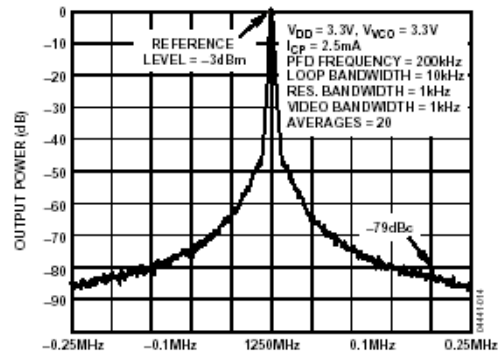


Figure 14. Reference Spurs at 1250 MHz (200 kHz Channel Spacing, 10 kHz Loop Bandwidth)

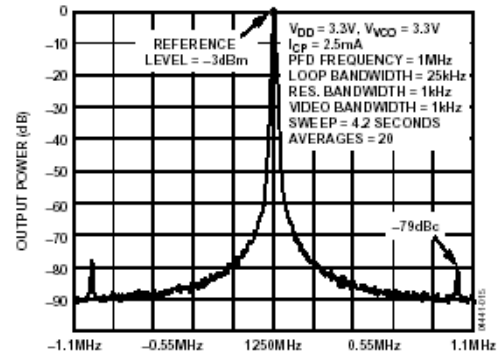
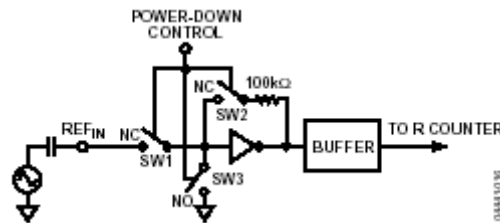


Figure 15. Reference Spurs at 1250 MHz (1 MHz Channel Spacing, 25 kHz Loop Bandwidth)

3.3.6 Περιγραφή κυκλωμάτων

ΤΜΗΜΑ ΕΙΣΟΔΟΥ ΑΝΑΦΟΡΑΣ

Το στάδιο(βαθμίδα ηλεκτρονικής συσκευής) εισόδου παρουσιάζεται στην εικόνα 16. Οι διακόπτες SW1 και SW2 κανονικά είναι κλειστοί. Ο SW3 κανονικά είναι ανοιχτός. Όταν power-down αρχίζει, SW3 είναι κλεισμένος, και SW1 και SW2 είναι ανοιγμένοι. Αυτό εξασφαλίζει ότι δεν υπάρχει κανένα φορτίο REFIN pin στο power-down.



Σχήμα 9. Στάδιο αναφοράς εισόδου

ΠΡΟΔΙΑΙΡΕΤΗΣ (P/P + 1)

Ο διπλός συντελεστής προδιαίρετη (P/P + 1), μαζί με τον A και B μετρητές, επιτρέπει τη μεγάλη αναλογία κατανομής, N, για να πραγματοποιηθεί ($N = BP + A$). Ο διπλός συντελεστής προδιαίρετη, λειτουργία επιπέδου CML, παίρνει το ρολόι από το VCO και το διαιρεί σε μια εφικτή χαμηλή συχνότητα για CMOS A και B μετρητές. Ο προδιαίρετης μπορεί να προγραμματιστεί. Μπορεί να τεθεί στο λογισμικό σε 8/9 ή 16/17 και είναι βασισμένος σε έναν σύγχρονο 4/5 πυρήνα(τηνίου). Μια τιμή των 32/33 μπορεί να είναι προγραμματισμένη αλλά δεν είναι χρήσιμη σε αυτό το μέρος. Υπάρχει μία ελάχιστη αναλογία κατανομής πιθανή για τις ευρέως συνεχόμενες συχνότητες εξόδου; αυτό το ελάχιστο είναι καθορισμένο μέσω P, η τιμή του προδιαίρετη, και είναι ορισμένο από ($P^2 - P$).

A ΚΑΙ B ΜΕΤΡΗΤΕΣ

Οι A και B CMOS μετρητές σε συνδυασμό με τον διπλό συντελεστή προδιαίρετη παρέχει(αφήνει) ένα ευρύ φάσμα ανάλογης κατανομής στην ανατροφοδότηση του PLL μετρητή. Οι μετρητές καθορίζονται σε λειτουργία όταν η έξοδος του προδιαίρετη είναι 300 MHz ή μικρότερη. Άρα, με συχνότητα VCO των 2.5 GHz, με τιμή προδιαίρετη 16/17 είναι αποτελεσματικό, αλλά μία τιμή των 8/9 δεν είναι αποτελεσματικό. Στις θεμελιώδεις VCO συχνότητες μικρότερες από 700 MHz, μια τιμή του 8/9 είναι καλύτερη.

Pulse Swallow Function (παλμός αποδεχόμενης λειτουργίας)

Οι A και B μετρητές, σε σύνδεση με το dual-modulus prescaler, πετυχαίνει κατάλληλα να παράγει τις συχνότητες εξόδου αυτή είναι χωρισμένη μόνο από τη συχνότητα αναφοράς που κατανέμεται με το R.

Η εξίσωση της συχνότητας VCO είναι:

$$f_{VCO} = [(P \times B) + A] \times f_{REFIN} / R$$

όπου:

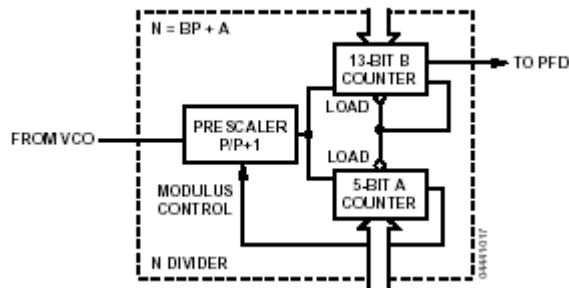
f_{VCO} είναι η συχνότητα εξόδου του VCO.

P είναι η προεπιλεγμένη ρύθμιση του dual-modulus prescaler (8/9 or 16/17).

B είναι ο προεπιλεγμένος λόγος διαίρεσης του διαδικού 13-bit counter (3 σε 8191).

A είναι ο προεπιλεγμένος λόγος διαίρεσης του διαδικού 5-bit swallow counter (0 σε 31).

f_{REFIN} είναι η εξωτερική reference frequency oscillator-ταλαντωτή.



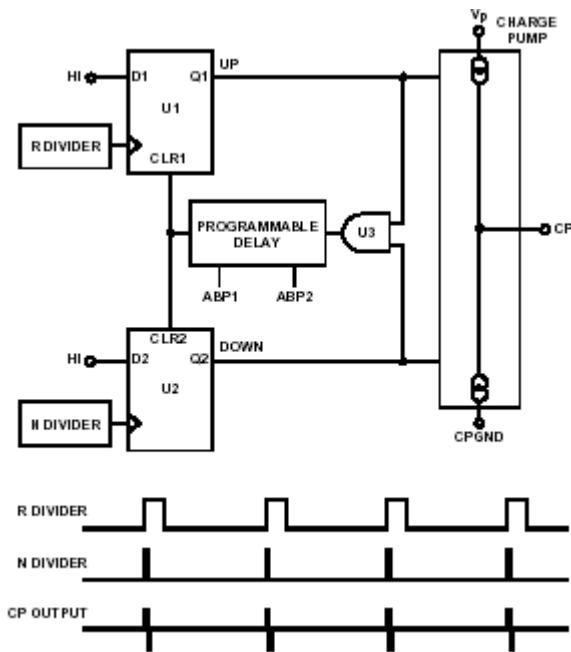
Σχήμα 10. Α και B μετρητές

R COUNTER

The 14-bit R counter παρέχει τη συχνότητα αναφοράς εισόδου που πρέπει να κατανεμηθεί σε χαμηλή λειτουργία του clock αναφοράς της φάσης συχνότητας του φωρατή (phase frequency detector - PFD). Ο λόγος διαίρεσης από 1 σε 16,383 είναι επιτρεπόμενο.

PFD AND CHARGE PUMP

Το PFD παίρνει είσοδο από τον R και N μετρητή ($N = BP + A$) και παράγει μία αναλογική έξοδο στη φάση και στη συχνότητα διαφορετική μεταξύ αυτών. Το σχήμα 11 είναι ένα απλοποιημένο σχήμα. Το PFD περιλαμβάνει ένα προγραμματίσιμο στοιχείο καθυστέρησης το οποίο ελέγχει το πλάτος του antibacklash παλμού. Αυτός ο παλμός εξασφαλίζει ότι δεν υπάρχει νεκρή ζώνη στη λειτουργία μεταφοράς του PFD και ελαχιστοποιεί το θόρυβο φάσης. Και την παρασατική αναφορά. Μέσω του μετρητή R με Δυο διαδικα ψηφία, ABP2 και ABP1, ελέγχουμε το πλάτος του παλμού. (βλ. πίνακα 9).



Σχήμα 11. απλοποιημένο σχήμα PFD και συγχρονισμός (in lock)

MUXOUT AND LOCK DETECT

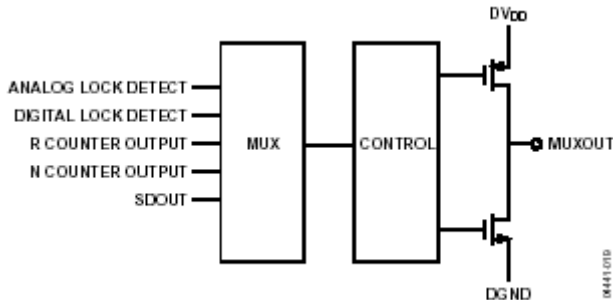
Η έξοδος πολυπλέκτη στην οικογένεια ADF4360 επιτρέπει στον χρήστη την πρόσβαση σε διάφορα εσωτερικά σημεία του ολοκληρωμένου. Η κατάσταση του MUXOUT είναι ελεγχόμενη από M3, M2, και M1 στη λειτουργία latch. Ο πλήρης πίνακας αληθείας παρουσιάζεται στον πίνακα 7. το σχήμα 12 παρουσιάζει το τμήμα MUXOUT σε μορφή block διαγράμματος.

Lock Detect

MUXOUT μπορεί να προγραμματιστεί για δύο τύπους του lock detect: Ψηφιακό και αναλογικό. Το Ψηφιακό lock detect είναι ενεργό υψηλά. Όταν το LDP στον κλειδωμένο R μετρητή είναι σε κατάσταση λειτουργίας 0, το digital lock detect είναι σε υψηλή κατάσταση λειτουργίας, όταν το σφάλμα φάσης σε τρεις συνεχόμενες φάσεις ανίχνευσης ο κύκλος είναι μικρότερος από 15 ns.

Με το LDP σε κατάσταση λειτουργίας 1, 5 συνεχόμενοι κύκλοι μικρότεροι από 15 ns σφάλμα φάσης είναι απαιτούμενο σε κατάσταση λειτουργίας του lock detect. Αυτό παραμένει σε υψηλή κατάσταση λειτουργίας μέχρι να ανιχνευτεί ένα σφάλμα φάσης μεγαλύτερο από 25 ns σε κάθε επόμενο PD κύκλο.

Το N-channel open-drain analog lock detect πρέπει να λειτουργεί με μία εξωτερική pull-up αντίσταση των 10 kΩ ονομαστική. Όταν ένα κλειδίωμα έχει ανιχνευτεί, αυτή η έξοδος είναι υψηλή με στενό παλμό low-going.



Σχήμα 12. MUXOUT Circuit

INPUT SHIFT REGISTER

Το ADF4360 της οικογένειας περιέχει ένα ψηφιακό τμήμα 24-bit ρυθμιζόμενης εισόδου, ένα 14-bit R μετρητή, και ένα 18-bit N μετρητή που περιλαμβάνεται από ένα 5 bit A μετρητή και ένα 13-bit B μετρητή. Τα δεδομένα είναι χρονισμένα στον 24-bit καταχωρητή ολισθητή σε καθένα ανοδικό μέτωπο (παλμού) του CLK. Τα δεδομένα είναι χρονισμένα στο MSB πρώτα. Τα δεδομένα μεταφέρονται από το καταχωρητή ολισθητή σε ένα από 4 ασφάλειες του ανοδικού μετώπου(παλμού) LE. Ο προορισμός ασφάλισης είναι προσδιορισμένος από την κατάσταση των 2 bits ελέγχου (C2, C1) στον καταχωρητή ολισθητή. Αυτά είναι 2 LSBs(least significant bit), DB1 και DB0.

Ο πίνακας αληθείας για αυτά τα bits φαίνεται στον πίνακα 5. ο πίνακας 6 δείχνει μία περίληψη πως είναι προγραμματισμένο το μάνδαλο(ασφάλεια-συγκράτηση). Το σημείωμα αυτό δοκιμαστικής κατάστασης μανδαλωτή είναι χρησιμοποιημένο για εργαστηριακή δοκιμή και δεν πρέπει να προγραμματίζεται από το χρήστη.

Πίνακας 5

Control Bits		Data Latch
C2	C1	
0	0	Control Latch
0	1	R Counter
1	0	N Counter (A and B)
1	1	Test Mode Latch

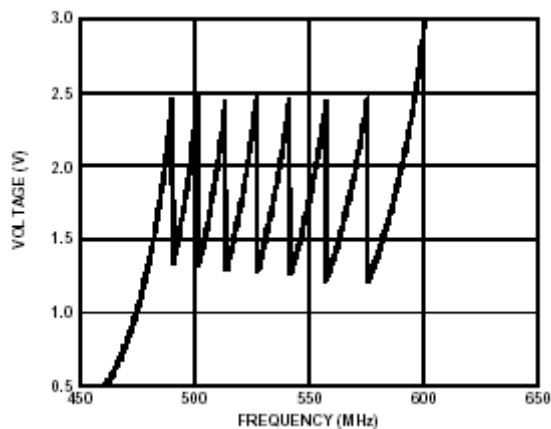
VCO

Ο πυρήνας του VCO (voltage-controlled oscillator)-ταλαντωτής ελεγχόμενος από τάση στην οικογένεια ADF4360 χρησιμοποιεί 8 ζώνες επικάλυψης, όπως φαίνεται στο σχ. 13, επιτρέπει σε ένα μεγάλο εύρος συχνοτήτων να είναι καλυμμένες εξωτερικά μια μεγάλη ευαισθησία (K_V) VCO και συνισταμένη ανεπαρκής φάσης εισόδου και παρασιτική απόδοση.

Η σωστή ζώνη είναι επιλεγμένη αυτόματα από τη λογική ζώνη επιλογής υψηλή ισχύς ή οπουδήποτε ο N μετρητής ασφαλείας είναι προεπιλεγμένος. Είναι σημαντικό η σωστή τάξη εγγραφής να ακολουθείτε από υψηλή ισχύς. Αυτή η τάξη είναι:

1. R μετρητή ασφαλείας
2. έλεγχος ασφαλείας
3. N μετρητή ασφαλείας

Κατά τη διάρκεια ζώνης επιλογής, το οποίο παίρνει 5 PFD κύκλους, το VCO V_{TUNE} είναι αποσυνδεδεμένο απ την έξοδο του φίλτρου βρόγχου και συνδεδεμένο στην πηγή αναφοράς τάσης.



Σχήμα 13. Frequency vs. V_{TUNE} , ADF4360-7

Ο R μετρητής εξόδου χρησιμοποιείτε όπως το ρολόι για την επιλογή λογικής ζώνης και δεν πρέπει να υπερβαίνει το 1 MHz. Προγραμματισμένος διαιρέτης είναι ορισμένος στην είσοδο R μετρητή ώστε να επιτρέπει την διαίρεση σε 1, 2, 4, ή 8 και είναι ελεγχόμενος από Bits BSC1 και BSC2 στον R μετρητή ασφαλείας. Όπου η απαιτούμενη PFD συχνότητα υπερβαίνει το 1 MHz, ο λόγος διαίρεσης πρέπει να τοποθετηθεί έτσι ώστε να δίνει αρκετό χρόνο για την σωστή επιλογή ζώνης.

Μετά την επιλογή ζώνης, το PLL συνεχίζει κανονική λειτουργία. Η τιμή των K_V είναι προεπιλεγμένη από την τιμή του χρησιμοποιούμενου επαγωγέα (βλ. την Choosing the Correct Inductance section). Εάν ο διαιρέτης διπλής λειτουργίας είναι επιλεγμένος (προγραμματίζοντας το DIV2 σε λογικό '1' [DB22] στον N μετρητή ασφαλείας), η τιμή θα είναι η μισή. Η οικογένεια ADF4360 περιλαμβάνει γραμμικοποιημένη διάταξη κυκλωμάτων ώστε να μειώσει οποιαδήποτε απόκλιση του προϊόντος του I_{CP} και του K_V .

Το ρεύμα λειτουργίας στο κέντρο του VCO είναι προγραμματισμένο σε 4 κλίμακες : 5 mA, 10 mA, 15 mA, and 20 mA. Αυτό είναι ελεγχόμενο από Bits PC1 και PC2 στην ασφάλεια ελέγχου.

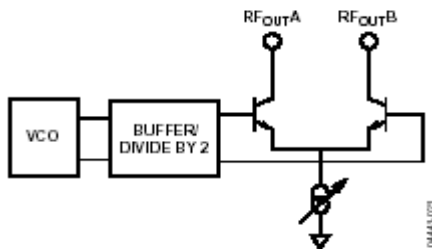
OUTPUT STAGE

Τα RF_{OUTA} και RF_{OUTB} pins της οικογένειας ADF4360 είναι συνδεδεμένα στους ακροδέκτες ενός NPN διαφορετικού ενεργοποιημένου ζεύγους καταχωρητών εξόδων του VCO, όπως φαίνεται στο σχ. 14. Για να επιτρέψει στον χρήστη να βελτιώσει την κατανάλωση ισχύος και αντιθέτως την απαιτούμενη έξοδο ισχύος, το τελικό ρεύμα του διαφοροποιημένου ζεύγους είναι προγραμματισμένο δια μέσω Bits PL1 και PL2 στην ασφάλεια ελέγχου. 4 επίπεδα ρεύματος μπορούν να οριστούν : 3.5 mA, 5 mA, 7.5 mA, and 11 mA. Αυτά τα επίπεδα δίνουν επίπεδα εξόδου ισχύος από -14 dBm, -11 dBm, -8 dBm, και -5 dBm, αντίστοιχα, χρησιμοποιώντας ένα 50Ω αντιστάτη VDD και ac συνδεδεμένο σε ένα φορτίο 50 Ω . εναλλακτικά, και οι δύο απ τις εξόδους μπορούν να συνδυαστούν σε 1+ 1:1 μετασχηματιστή ή μία μικρολωρίδα ζεύξης 180° (see the Output Matching section).

Εάν οι εξοδοί χρησιμοποιούνται μεμονωμένα, το βέλτιστο στάδιο εξόδου αποτελείται από έναν παράλληλο επαγωγέα VDD.

Ένα άλλο χαρακτηριστικό της οικογένειας ADF4360 είναι ότι η τροφοδοσία ρεύματος στο στάδιο εξόδου RF κόβεται μέχρι να καταφέρει να κλειδώσει το κομμάτι(εξάρτημα) όπως έχει μετρηθεί από το ψηφιακό κλείδωμα ανιχνευτή κυκλώματος.

Αυτό είναι δυνατόν από το mute-till-lock detect (MTLD) bit στο κλείδωμα ελέγχου.



Σχήμα 14. Output Stage ADF4360-7

LATCH STRUCTURE

Στον πίνακα 6 φαίνονται τα τρία on-chip latches για την οικογένεια ADF4360. Τα δύο LSBs (least significant bit)-λιγότερο σημαντικό δυαδικό ψηφίο) αποφασίζουν ποιος μανδαλωτής είναι προγραμματισμένος.

Πίνακας 6. Latch Structure

CONTROL LATCH

PRESCALER VALUE		POWER-DOWN 2	POWER-DOWN 1	CURRENT SETTING 2			CURRENT SETTING 1			OUTPUT POWER LEVEL		MUTE-TILL-LD	CP GAIN	CP THREE-STATE	PHASE DETECTOR POLARITY	MUXOUT CONTROL			COUNTER RESET	CORE POWER LEVEL		CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
P2	P1	PD2	PD1	CP16	CP15	CP14	CPI3	CPI2	CPI1	PL2	PL1	MTLD	CPG	CP	PDP	M3	M2	M1	CR	PC2	PC1	C2 (0)	C1 (0)

N COUNTER LATCH

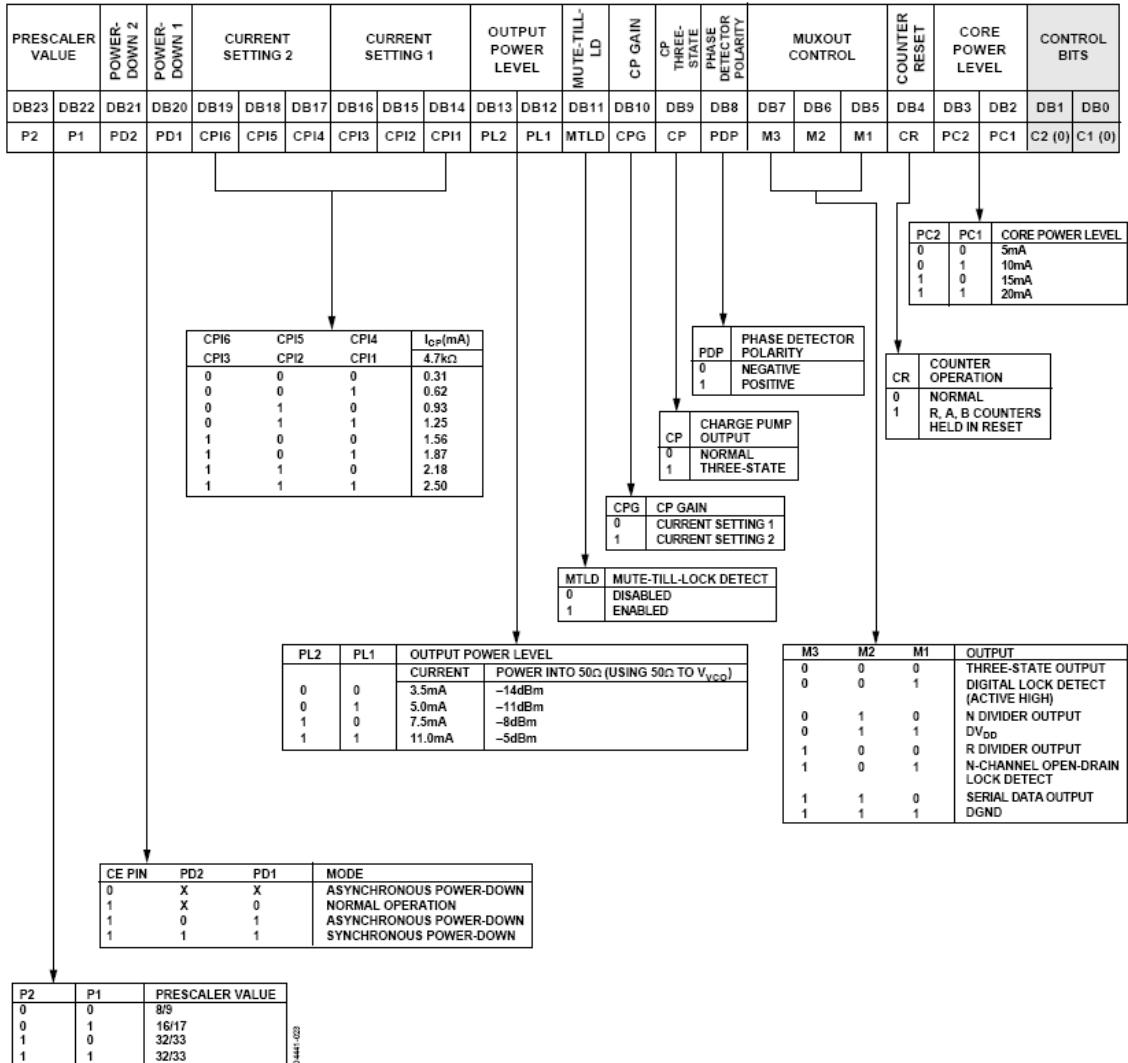
DIVIDE-BY-2 SELECT	DIVIDE-BY-2	CP GAIN	13-BIT B COUNTER													RESERVED	5-BIT A COUNTER					CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
DIVSEL	DIV2	CPG	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	RSV	A5	A4	A3	A2	A1	C2 (1)	C1 (0)

R COUNTER LATCH

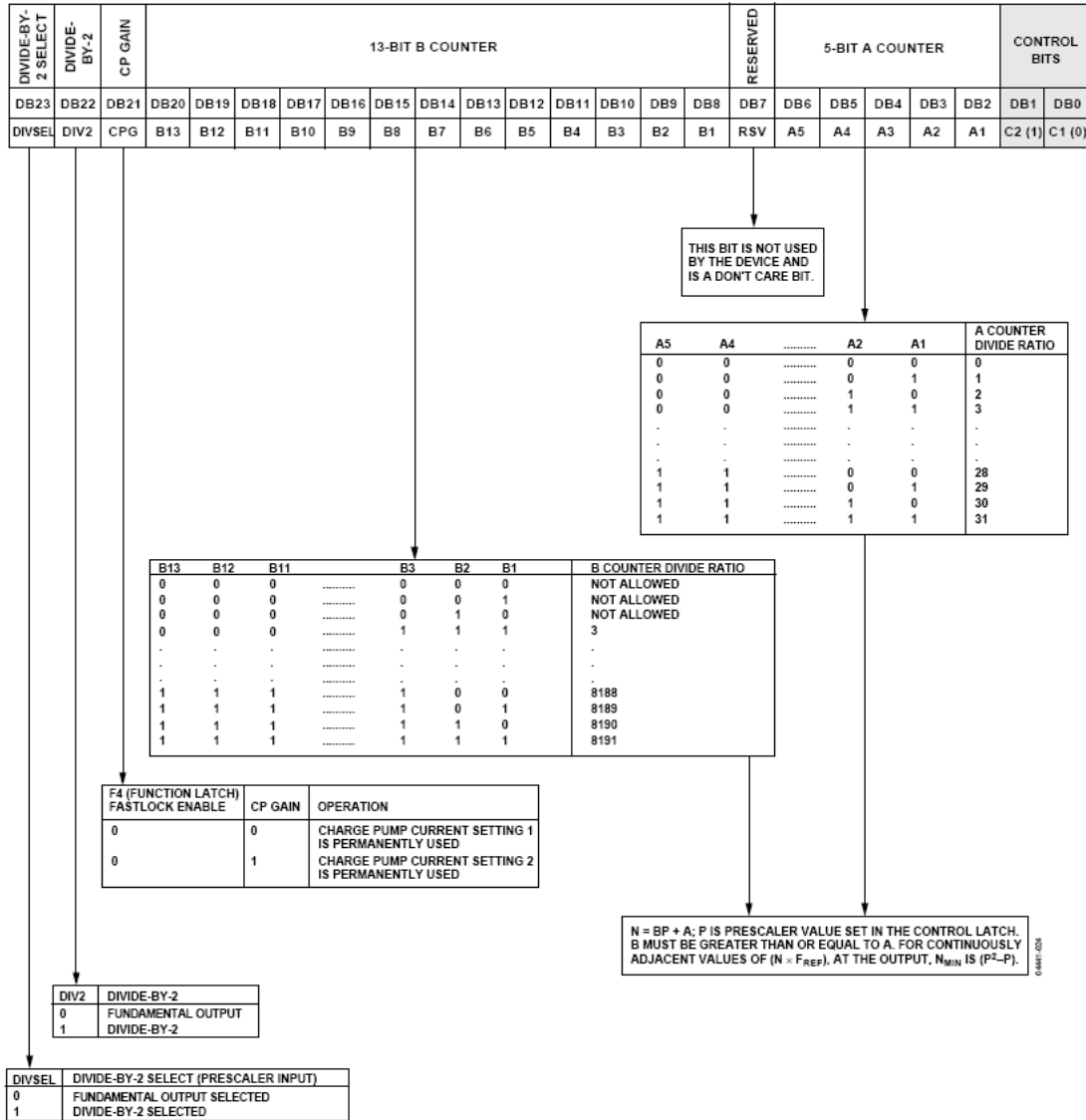
RESERVED	RESERVED	BAND SELECT CLOCK	TEST MODE BIT	LOCK DETECT PRECISION	ANTI-BACKLASH PULSE WIDTH	14-BIT REFERENCE COUNTER																CONTROL BITS	
DB23	DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15	DB14	DB13	DB12	DB11	DB10	DB9	DB8	DB7	DB6	DB5	DB4	DB3	DB2	DB1	DB0
RSV	RSV	BSC2	BSC1	TMB	LDP	ABP2	ABP1	R14	R13	R12	R11	R10	R9	R8	R7	R6	R5	R4	R3	R2	R1	C2 (0)	C1 (1)

0444102

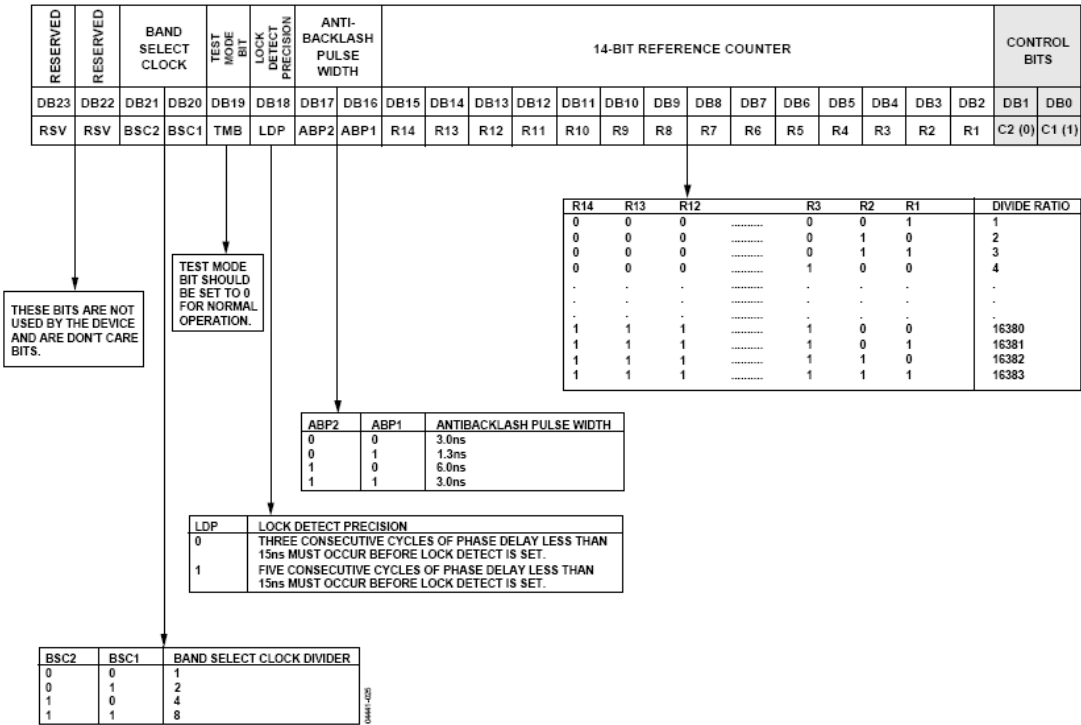
Πίνακας 7. Control Latch



Πίνακας 8. N Counter Latch



Πίνακας 9. R Counter Latch



POWER-UP

Power-Up Sequence (ακολουθία υψηλής ισχύς)

Ο σωστός προγραμματισμός που ακολουθεί για το ADF4360-7 μετά την power-up είναι:

1. R counter latch
2. Control latch
3. N counter latch

Initial Power-Up

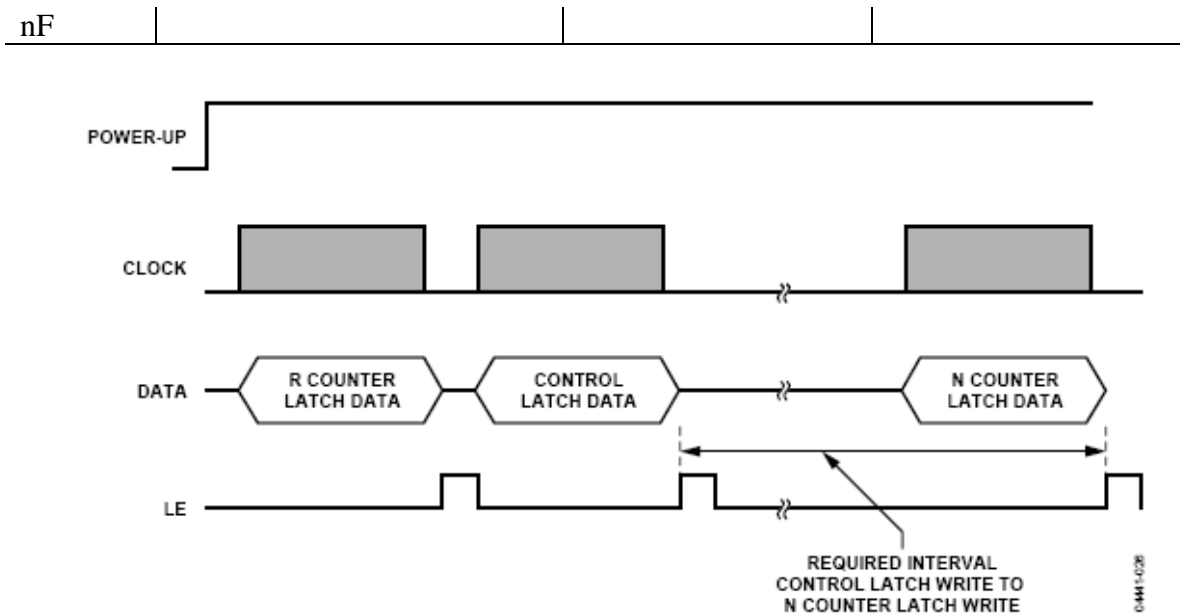
Η αρχική power-up αναφέρεται στον προγραμματισμό του εξαρτήματος μετά την εφαρμογή της τάσης στο VDD, DVDD, VVCO και CE pins. Συνδεδεμένη η αρχική power-up, χρειάζεται μία απόσταση μεταξύ προγραμματισμού ελέγχου ασφαλείας και προγραμματισμού του N μετρητή ασφαλείας. Αυτή η απόσταση είναι απαραίτητη μέχρι να επιτραπεί η προσωρινή λειτουργία του ADF4360-7 κατά τη διάρκεια αρχικής power-up μέχρι την εγκατάσταση.

Κατά τη διάρκεια της αρχικής power-up, μία εγγραφή στον έλεγχο ασφαλείας powers up του εξαρτήματος, και το ρεύμα πόλωσης του VCO αρχίζει να αποκαθίσταται. Εάν το ρεύμα δεν έχει ρυθμιστεί εσωτερικά στο 10% της σταθερής κατάστασης της τιμής του, και εάν ο N μετρητής ασφαλείας όταν είναι προγραμματισμένος, το VCO δεν μπορεί να ταλαντώσει την επιθυμητή συχνότητα, το οποίο δεν επιτρέπει την λογική επιλογή της ζώνης να διαλέξει την ακριβές ζώνη συχνοτήτων, και το ADF4360-7 δεν μπορεί να καταφέρει να κλειδώσει. Εάν το προτεινόμενο διάστημα είναι παρεμβαλλόμενο, και ο N μετρητής ασφάλειας είναι προγραμματισμένος, η λογική ζώνη επιλογής μπορεί να διαλέξει την ακριβές ζώνη συχνοτήτων, και το κομμάτι κλειδώματος την ακριβές συχνότητα.

Η διάρκεια αυτού του διαστήματος είναι επηρεασμένη από την τιμή του πυκνωτή στο CN pin (Pin 14). Αυτός ο πυκνωτής είναι χρησιμοποιούμενος να μειώνει τον εσωτερικό θόρυβο του ADF4360-7 VCO. Η προτεινόμενη τιμή του πυκνωτή είναι 10 μF . για να χρησιμοποιηθεί αυτή η τιμή απαιτείτε ένα διάστημα ≥ 10 ms μεταξύ της μανδάλωσης μέσα στην ασφάλεια ελέγχου bits και της μανδάλωσης μέσα στον N μετρητή ασφάλειας bits. Εάν μία μικρή καθυστέρηση είναι απαιτούμενη, ο πυκνωτής μπορεί να μειωθεί. Ένα μειονέκτημα ασθενούς φάσης θορύβου επιφέρεται από αυτή την αλλαγή, η οποία είναι αναλυτικότερα στον πίνακα 10.

Πίνακας 10. C_N Capacitance vs. Interval and Phase Noise

CNV alue	Recommended Interval Between Control Latch and N Counter Latch	Open-Loop Phase Noise @ 10 kHz Offset (L1 and L2 = 1.0 nH)	Open-Loop Phase Noise @ 10 kHz Offset (L1 and L2 = 13.0 nH)
10 μF	≥ 10 ms	-90 dBc	-99 dBc
440	≥ 600 μs	-88 dBc	-97 dBc



Σχήμα 15. ADF4360-7 Power-Up Timing

Hardware Power-Up/Power-Down

Εάν το εξάρτημα είναι κλειστό από το hardware (χρησιμοποιώντας το CE pin) και ανοίγοντας το ξανά χωρίς καμία αλλαγή στον N καταχωρητή κατά την διάρκεια κλεισίματος, το εξάρτημα κλειδώνει στη σωστή συχνότητα, επειδή το εξάρτημα είναι είδη στην ακριβή ζώνη συχνοτήτων. ο χρόνος κλειδώματος εξαρτάται από την τιμή της χωρητικότητας του CN pin, το οποίο είναι <math>< 10\text{ ms}</math> για $10\ \mu\text{F}$ χωρητικότητα. Μικρότερη χωρητικότητα από $440\ \text{nF}$ στο pin ενεργοποιεί χρονικό κλείδωμα <math>< 600\ \mu\text{s}</math>.

Η τιμή του N μετρητή δεν μπορεί να αλλάξει καθώς το εξάρτημα είναι κλειστό, αφού το εξάρτημα δεν μπορεί να μείνει κλειδωμένο στη σωστή συχνότητα ανοιχτό. Εάν αυτό είναι αναβαθμισμένο, η σωστή προγραμματισμένη τάξη για το εξάρτημα μετά το άνοιγμα είναι ο R μετρητής ασφάλειας, ακολουθούμενος από την ασφάλεια ελέγχου, και τέλος ο N μετρητής ασφάλειας, με το απαιτούμενο διάστημα μεταξύ της ασφάλειας ελέγχου και του N μετρητή ασφάλειας, όπως περιγράφεται στην παράγραφο Initial Power-Up.

Software Power-Up/Power-Down

Εάν είναι κλειστό το εξάρτημα από το software (χρησιμοποιώντας την ασφάλεια ελέγχου) και ανοιχτό ξανά χωρίς καμία αλλαγή στον N μετρητή ασφαλείας κατά τη διάρκεια κλεισίματος, το στοιχείο κλειδώνει στη σωστή συχνότητα, επειδή είναι είδη σωστή ζώνη συχνοτήτων. Ο χρόνος κλειδώματος εξαρτάται από την τιμή χωρητικότητας του CN pin, η οποία είναι <math>< 10\ \text{ms}</math> για $10\ \mu\text{F}$ χωρητικότητα. μικρότερη χωρητικότητα από $440\ \text{nF}$ σε αυτό το pin ενεργοποιεί χρονικό κλείδωμα <math>< 600\ \mu\text{s}</math>.

Η τιμή του N μετρητή δεν μπορεί να αλλάξει καθώς το εξάρτημα είναι κλειστό, αφού το εξάρτημα δεν μπορεί να μείνει κλειδωμένο στη σωστή συχνότητα ανοιχτό. Εάν αυτό είναι αναβαθμισμένο, η σωστή προγραμματισμένη τάξη για το εξάρτημα μετά το άνοιγμα είναι ο R μετρητής ασφάλειας, ακολουθούμενος από την ασφάλεια ελέγχου, και

τέλος ο N μετρητής ασφάλειας , με το απαιτούμενο διάστημα μεταξύ της ασφάλειας ελέγχου και του N μετρητή ασφάλειας, όπως περιγράφεται στην παράγραφο Initial Power-Up .

CONTROL LATCH

Με $(C2, C1) = (0,0)$, ο control latch είναι προγραμματισμένος . Ο πίνακας 7 δείχνει την είσοδο διαμόρφωσης δεδομένων για τον προγραμματισμό του control latch.

Prescaler Value

Στην οικογένεια ADF4360 , P2 και P1 στο control latch θέτει την τιμή του prescaler.

Power-Down

DB21 (PD2) και DB20 (PD1) παρέχουν προγραμματιζόμενη power-down κατάσταση.

Στο ασύγχρονο προγραμματισμένο power-down, η συσκευή απενεργοποιείται αμέσως μετά ασφαρίζοντας ένα '1' μέσα σε Bit PD1, με την κατάσταση αυτή το PD2 έχει φορτιστεί με ένα '0'. Στο σύγχρονο προγραμματισμένο power-down, η συσκευή περιορίζεται από την αντλία φορτίου ώστε να εμποδίσει ανεπιθύμητες μεταβάσεις συχνότητας . Κάποτε το power-down ενεργοποιείται από μία εγγραφή '1' μέσα σε Bit PD1 (στην κατάσταση στην οποία έχει ένα '1' επίσης είναι φορτωμένο στη PD2), η συσκευή λειτουργεί σε power-down στο δεύτερο ανοδικό μέτωπο (παλμού) της εξόδου του R , αφού το LE λειτουργεί σε υψηλό '1'. Όταν το CE pin είναι λογικό '1', η συσκευή είναι αμέσως εκτός λειτουργίας ανεξάρτητα από την κατάσταση PD1 ή PD2.

Όταν ένα power-down ενεργοποιείται (είτε με σύγχρονο είτε με ασύγχρονο τρόπο), τα ακόλουθα γεγονότα εμφανίζονται :

- όλες οι ενεργές dc πορείες ρεύματος αφαιρούνται.
- οι R, N, και οι μετρητές τέλους χρόνου αναγκάζονται σε κατάσταση φορτίων τους.
- η αντλία φορτίου αναγκάζεται σε τρεις καταστάσεις λειτουργίας.
- η ψηφιακή ασφάλεια (κλειδαριά) ανιχνεύει ότι η διάταξη κυκλωμάτων είναι επαναρυθμισμένα.
- οι έξοδοι RF υποβαθμίζονται σε μία υψηλή κατάσταση σύνθετης αντίστασης.
- η αναφορά εισόδου του απομονωτή διάταξης κυκλώματος είναι απενεργοποιημένο.
- ο καταχωρητής εισόδου παραμένει ενεργός και ικανός για φόρτωση και κλείδωμα των δεδομένων.

Charge Pump Currents

CPI3, CPI2, και CPI1 στην οικογένεια ADF4360 προσδιορίζουν Current Setting 1(τρέχουσα διάταξη 1). CPI6, CPI5, και CPI4 προσδιορίζουν Current Setting 2(τρέχουσα διάταξη 2). Βλέπε την πραγματική απεικόνιση στον πίνακα 7.

Output Power Level

Bits PL1 και PL2 ρυθμίζουν το επίπεδο εξόδου ισχύος με το VCO. Βλέπε την πραγματική απεικόνιση στον πίνακα 7.

Mute-Till-Lock Detect

DB11 του control latch στην οικογένεια ADF4360 είναι στην mute-till-lock (σίγαση μέχρι να κλειδώσει) για να ανιχνεύσει bit. Αυτή η λειτουργία, όταν είναι ενεργοποιημένη, εξασφαλίζει ότι οι RF έξοδοι δεν ανοίγουν μέχρι το PLL να κλειδώσει.

CP Gain

DB10 του control latch στην οικογένεια ADF4360 είναι στην charge pump gain (η αντλία φορτίου απολαβής) bit. Ότι είναι προγραμματισμένο σε '1', το Current Setting 2 χρησιμοποιείται. Όταν είναι προγραμματισμένο σε '0', το Current Setting 1 χρησιμοποιείται.

Charge Pump Three-State

Αυτό το bit θέτει την αντλία φόρτισης σε κατάσταση λειτουργίας three-state όταν προγραμματίζεται σε ένα '1'. Αυτό πρέπει να ρυθμιστεί σε '0' για κανονική λειτουργία.

Phase Detector Polarity

Το PDP bit στην οικογένεια ADF4360 ορίζει τη πολικότητα φάσης ανίχνευσης. η επιτρεπτή θετική ρύθμιση από προγραμματισμένο '1' χρησιμοποιείται όταν χρησιμοποιούμε το on-chip VCO με ένα παθητικό φίλτρο βρόγχου ή με ένα ενεργό μη αναστρέφων φίλτρο. Μπορεί επίσης να οριστεί σε '0', το οποίο απαιτείτε εάν ένα ενεργό φίλτρο βρόγχου αντιστροφής χρησιμοποιείται.

MUXOUT Control

Ο on-chip πολυπλέκτης ελέγχεται από M3, M2, και M1. βλέπε τον πραγματικό πίνακα απεικόνισης 7.

Counter Reset

DB4 είναι ο μετρητής επαναφοράς bit για την οικογένεια ADF4360. όταν αυτό είναι '1', ο μετρητής R και οι μετρητές A, B επαναφέρονται. Για κανονική λειτουργία αυτό το bit θα έπρεπε να είναι '0'.

Core Power Level

PC1 και PC2 ορίζουν το επίπεδο ισχύος στο πυρήνα VCO. Η προτεινόμενη ρύθμιση είναι 5 mA. Βλέπε την πραγματική απεικόνιση στον πίνακα 7.

N COUNTER LATCH

Στον πίνακα 8 φαίνεται η διαμορφωμένη είσοδος δεδομένων για τον προγραμματισμό του N counter latch.

A Counter Latch

A5 σε A1 προγραμματίζει το 5-bit A μετρητή. Το φάσμα διαίρεσης είναι από 0 (00000) σε 31 (11111).

Reserved Bits

DB7 είναι ένα διαθέσιμο Bit αυτό είναι εφεδρικό. Αυτό πρέπει να προγραμματίζεται σε '0'.

B Counter Latch

B13 σε B1 προγραμματίζει το μετρητή B. Το φάσμα διαίρεσης είναι από 3 (00.....0011) σε 8191 (11.....111).

Overall Divide Range

Το συνολικό φάσμα διαίρεσης είναι καθορισμένο από $((P \times B) + A)$, όπου P είναι η τιμή του προδιαριέτη(prescaler).

CP Gain

DB21 του N counter latch στην οικογένεια ADF4360 είναι στην charge pump gain (η αντλία φορτίου απολαβής) bit. Όταν είναι προγραμματισμένο σε '1', η Current Setting 2 χρησιμοποιείται. Όταν είναι προγραμματισμένο σε '0', η Current Setting 1 χρησιμοποιείται. Αυτό το bit μπορεί επίσης να προγραμματιστεί μέσω του DB10 control latch(μανδαλωτή ελέγχου). Το bit απεικονίζει πάντα την τελευταία τιμή εγγραφής σε αυτό, όταν αυτό είναι μέσω του control latch ή του N counter latch.

Divide-by-2

Το DB22 είναι divide-by-2 bit. Όταν τεθεί σε '1', επιλέγεται η έξοδος divide-by-2 λειτουργίας. Όταν αυτό τεθεί σε '0', βρίσκεται σε κανονική λειτουργία.

Divide-by-2 Select

Το DB23 είναι divide-by-2 επιλογής bit. Όταν προγραμματιστεί σε '1', η έξοδος divide-by-2 είναι επιλεγμένη ως είσοδος του prescaler. Όταν ρυθμιστεί σε '0', η θεμελιώδης χρησιμοποιείται ως είσοδος του prescaler. Για παράδειγμα, χρησιμοποιώντας την χαρακτηριστική έξοδο divide-by-2 και μία PFD συχνότητα των 200 kHz, ο χρήστης χρειάζεται μία τιμή των $N = 5,000$ ώστε να παράγει 500 MHz. Με τη divide-by-2 να επιλέγει bit υψηλό, ο χρήστης μπορεί να κρατήσει $N = 2,500$.

R COUNTER LATCH

Με $(C2, C1) = (0, 1)$, ο R counter latch είναι προγραμματισμένος. Στον πίνακα 9 φαίνεται η είσοδος των διαμορφωμένων δεδομένων για τον προγραμματισμό του R counter latch.

R Counter

R1 σε R14 ρυθμίζει τον μετρητή στο λόγο διαίρεσης. Το εύρος διαίρεσης είναι 1 (00.....001) σε 16383 (111.....111).

Antibacklash Pulse Width

DB16 και DB17 ορίζουν το antibacklash εύρος παλμού.

Lock Detect Precision

DB18 είναι το lock detect precision (κλειδαριά ακριβείας ανίχνευσης) bit. Αυτό το bit ρυθμίζει τον αριθμό των κύκλων αναφοράς με μικρότερο από 15 ns σφάλμα φάσης για να μπει στην κλειδωμένη κατάσταση. Με LDP σε 1, πέντε κύκλοι λαμβάνονται. Με LDP σε 0, λαμβάνονται τρεις κύκλοι.

Test Mode Bit

DB19 είναι η κατάσταση δοκιμής bit (TMB) και πρέπει να ρυθμιστεί σε '0'. Με TMB = 0, η χωρητικότητα της κατάστασης δοκιμής μανδάλωσης είναι αγνοούμενο και συμβαίνει κανονική λειτουργία ως καθορισμένη από τη χωρητικότητα του control latch, R counter latch, και N counter latch. Σημείωση αυτή η κατάσταση δοκιμής είναι για εργοστασιακή δοκιμασία μόνο και δεν πρέπει να προγραμματιστεί από το χρήστη.

Band Select Clock

Αυτά τα bits ορίζουν ένα διαιρέτη για την επιλογή λογικής ζώνης εισόδου χρονισμού. Η έξοδος του R μετρητή είναι εξ ορισμού η τιμή που χρησιμοποιείτε για την επιλογή λογικής ζώνης χρονισμού, αλλά εάν αυτή η τιμή είναι πάρα πολύ υψηλή (>1 MHz), ένας διαιρέτης μπορεί να switched on για να διαιρέσει τον R μετρητή εξόδου σε μία μικρότερη τιμή (βλ. πίνακα 9).

Reserved Bits

DB23 σε DB22 είναι διαθέσιμα bits που είναι εφεδρικά. Αυτά πρέπει να προγραμματίζονται σε '0'.

3.3.7 Εφαρμογές

FREQUENCY GENERATOR

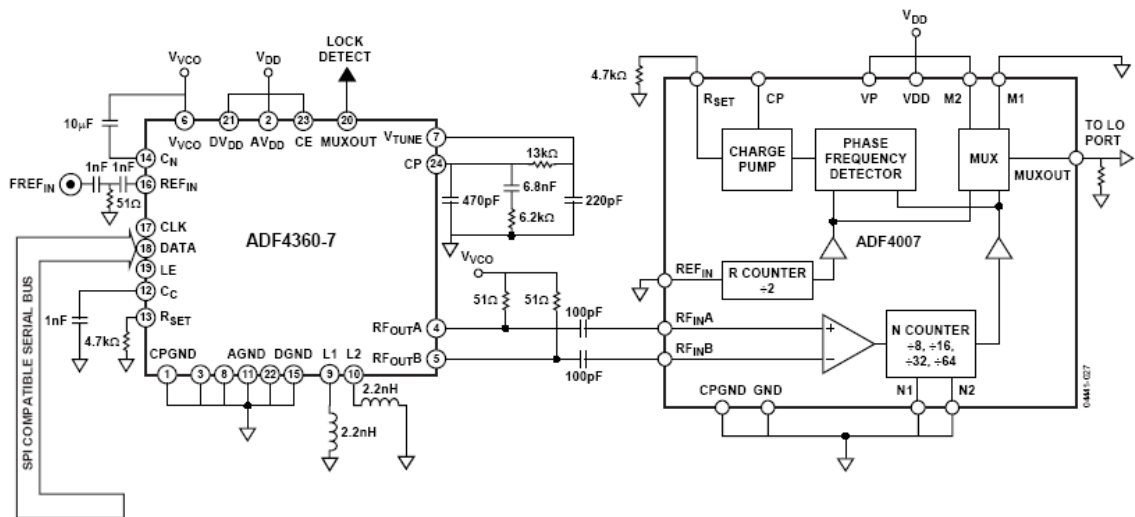
Το ευρύ φάσμα συχνοτήτων του AD4360-7, συν ο on-chip διαιρέτης , κατασκευάζουν μια ιδανική επιλογή για την εφαρμογή κάθε σκοπού γεννήτριας χρονισμού ή LO.

Για την εφαρμογή μιας γεννήτριας χρονισμού στην ζώνη των FM , είναι απαραίτητη η χρήση ενός εξωτερικού διαιρέτη. Τα ADF4007 περιέχουν ένα hardware-προγραμματίσιμο N διαιρέτη, επιτρέποντας λόγους των 8, 16, 32, και 64. Αυτή η υποδιαίρεση σήματος επιτυγχάνεται από το MUXOUT pin του ADF4007.

Η ελάχιστη συχνότητα που μπορεί να τροφοδοτηθεί το ADF4007 είναι 500 MHz. Με αποτέλεσμα , 2.2 nH οι επαγωγείς που χρησιμοποιήθηκαν να ορίσουν την θεμελιώδη παλμική συχνότητα στο 1 GHz, με ένα φάσμα από 950 MHz σε 1100 MHz.

Αυτό επιτρέπει συχνότητες τόσο από χαμηλές στα 8 MHz όσο και ψηλές στα 137 MHz γενικώς χρησιμοποιώντας μόνο ένα σύστημα. Στο αναλυτικό κύκλωμα στο σχήμα 16, το ADF4360-7 χρησιμοποιείται ώστε να παράγει 1024 MHz, και το ADF4007 χρησιμοποιείται για να διαιρέσει σε 8. για να παρέχει ένα κανάλι διάστημα 100 kHz, μία PFD συχνότητα 800 kHz χρησιμοποιείται για το ADF4360-7 PLL. Ο βρόγχος εύρους ζώνης είναι επιλεγμένος να είναι 20 kHz.

Το φάσμα εξόδου του συστήματος στο σχ. 16 είναι κατά προσέγγιση από 120 MHz ως 135 MHz. Ο θόρυβος φάσης εξόδου είναι 104 dBc/Hz σε 1 kHz κατά απόκλιση. Εάν χρησιμοποιείς διαφορετικές τιμές στον επαγωγέα επιτρέπει στο χρησιμοποιούμενο ADF4360-7 να συνθέσει κάθε διαφορετικό φάσμα συχνοτήτων πέραν της λειτουργίας του εξαρτήματος (235 MHz to 1800 MHz).



Σχήμα 16. Frequency Generator

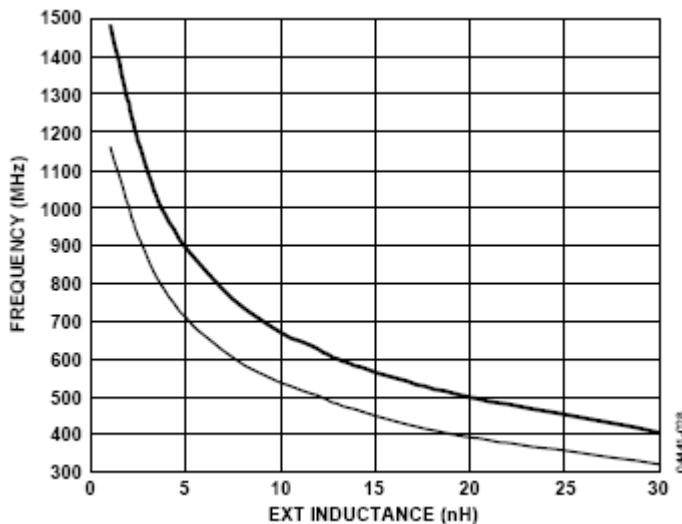
ΕΠΙΛΟΓΗ ΤΗΣ ΣΩΣΤΗΣ ΕΠΑΓΩΓΙΚΗΣ ΤΙΜΗΣ

Το ADF4360-7 μπορεί να χρησιμοποιεί πολλές διαφορετικές συχνότητες απλά από επιλεγμένους εξωτερικούς επαγωγείς για να δώσει τη σωστή συχνότητα εξόδου. Στο σχήμα 17 φαίνεται μία γραφική παράσταση και της ελάχιστης και της μέγιστης συχνότητας αντιθέτως της εξωτερικής τιμής του επαγωγέα. Ο σωστός επαγωγέας πρέπει να καλύψει τη μέγιστη και την ελάχιστη επιθυμητή συχνότητα. Οι χρησιμοποιημένοι επαγωγείς είναι το 0402 CS τύπου από Coilcraft. Για να μειώσουν την αμοιβαία σύζευξη, οι επαγωγείς πρέπει να τοποθετηθούν σε ορθή γωνία σε ένα άλλο.

Όπως φαίνεται στο σχήμα 17, η χαμηλότερη εμπορικά διαθέσιμη τιμή της αυτεπαγωγής, 1.0 nH, ορίζει την κεντρική συχνότητα κατά προσέγγιση 1300 MHz. Για αυτεπαγωγή λιγότερο από 2.4 nH, ένα PCB ίχνος πρέπει να χρησιμοποιηθεί, ένα άμεσο μικρό. Η χαμηλότερη κεντρική συχνότητα ταλάντωσης πιθανός είναι κατά προσέγγιση 350 MHz, το οποίο επιτυγχάνεται χρησιμοποιώντας 30 nH επαγωγείς. Αυτή η σχέση μπορεί να εκφραστεί από :

$$F_o = \frac{1}{2\pi\sqrt{6.2\text{ pF}(0.9\text{ nH} + L_{EXT})}}$$

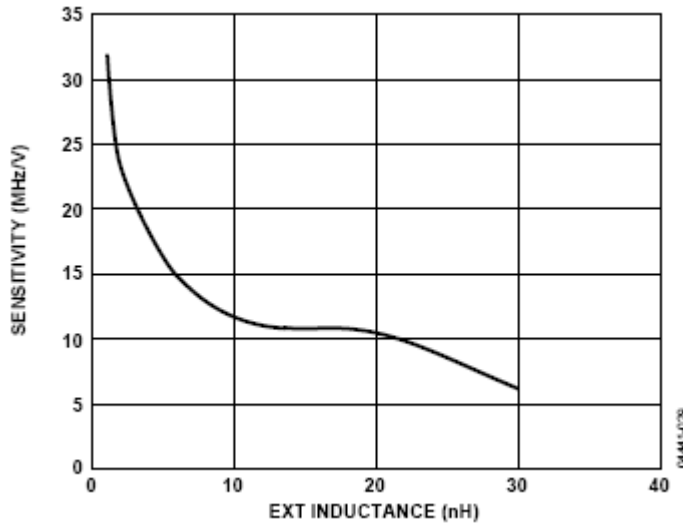
όπου F_o είναι η κεντρική συχνότητα, και L_{EXT} είναι η εξωτερική αυτεπαγωγή.



Σχήμα 17. Output Center Frequency vs. External Inductor value

Η κατά προσέγγιση τιμή της χωρητικότητας στο ενδιάμεσο σημείο της κεντρικής ζώνης του VCO είναι 6,2 pF, και η κατά προσέγγιση τιμή της αναμενόμενης εσωτερικής αυτεπαγωγής στην ενσύρματη δέσμευση είναι 0,9 nH. Η ευαισθησία VCO είναι μία μέτρηση της συχνότητας αλλαγής αντιθέτως της τάσης συντονισμού. Αυτό είναι ένα πολύ σημαντική παράμετρος για το χαμηλό-περατό φίλτρο. Το σχήμα 18 παρουσιάζει μια γραφική παράσταση της ευαισθησίας συντονισμού (σε MHz/V) αντιθέτως της αυτεπαγωγής (nH). Αυτό Μπορεί να δίνει ότι ως αύξουσες αυτεπαγωγής,

οι μειώσεις ευαισθησίας(αυτό δίδει όταν αυξάνεται η αυτεπαγωγή μειώνεται η ευαισθησία). Αυτή η σχέση μπορεί να παραχθεί από την προηγούμενη εξίσωση, π.χ., επειδή η αυτεπαγωγή έχει αυξηθεί, η αλλαγή χωριτηκότητας από το varactor έχει μικρότερη επίδραση στην συχνότητα.

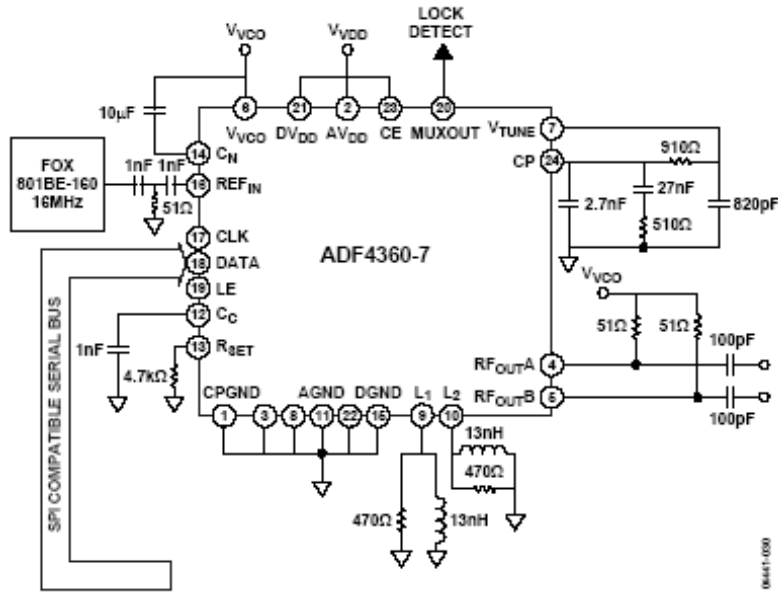


Σχήμα 18. Tuning Sensitivity (in MHz/V) vs. Inductance (nH)

FIXED FREQUENCY LO

Στο σχήμα 19 φαίνεται το ADF4360-7 που χρησιμοποιείτε ως μία σταθερή συχνότητα LO σε 500 MHz. Το χαμηλοπερατό φίλτρο σχεδιάστηκε χρησιμοποιώντας ADIsimPLL για ένα κανάλι διαστημάτων 8 MHz και ένα open-loop εύρους ζώνης των 30 kHz. Η μέγιστη PFD συχνότητα του ADF4360-7 είναι 8 MHz. επειδή χρησιμοποιεί μία ευρείας PFD συχνότητα παρέχει τη χρήση του μικρότερου N, η εσωτερική ζώνη φάσης θορύβου μειώνεται όσο το δυνατό σε χαμηλότερο, -109 dBc/Hz.

Η τυπική rms φάση θορύβου (100 Hz to 100 kHz) του LO σε αυτή την ρύθμιση είναι 0.3° . Η συχνότητα αναφοράς είναι από 16 MHz TCXO από Fox; ως συνέπεια μια R τιμή των 2 είναι προγραμματισμένη. Λαμβάνοντας υπόψη την υψηλή συχνότητα PFD είναι αποτέλεσμα on the band select logic, το ρολόι επιλογής ζωνής διαιρέτη είναι ενεργοποιημένος. Σε αυτήν την περίπτωση, μια τιμή των 8 είναι επιλεγμένη. Ένας πολύ απλός pull-up αντιστάτης dc εμποδίζοντας πυκνωτής, ολοκληρώνουν το στάδιο παραγωγής RF.



Σχήμα 19. Fixed Frequency LO

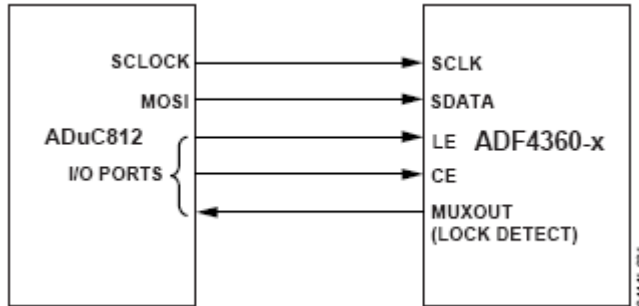
INTERFACING

Η οικογένεια ADF4360 έχει ένα απλό SPI®- συμβατή σειριακή διεπαφή για εγγραφή στην συσκευή. CLK, DATA, και LE ρυθμίζουν τα δεδομένα μεταφοράς. Όταν LE πηγαίνει στο λογικό 1, τα 24 bits είναι χρονισμένα στον κατάλληλο καταχωρητή σε κάθε ανοδικό μέτωπο (παλμού) του CLK μεταφέρονται στη κατάλληλη ασφάλεια. Βλέπε εικόνα 2 για το χρονικό διάγραμμα και τον πίνακα 5 για τον πίνακα αληθείας της ασφάλειας.

Η μέγιστη επιτρεπόμενη σειριακή συχνότητα ρολογιού είναι 20 MHz. Το μέσο αυτής της μέγιστης ενημέρωσης της πιθανής τιμής είναι 833 kHz ή μία ενημέρωση κάθε 1.2 μs.. Αυτό είναι βέβαια περισσότερο κατάλληλο για τα συστήματα που έχουν τυπικό χρόνο κλειδώματος μέσα σε εκατοντάδες των micro-seconds.

ADuC812 Interface

Το σχήμα 20 παρουσιάζει τη διεπαφή μεταξύ της οικογένειας ADF4360 και της ADuC812 MicroConverter®. Επειδή το ADuC812 είναι βασισμένος σε έναν πυρήνα 8051, αυτή η διεπαφή μπορεί να χρησιμοποιηθεί με οποιοδήποτε 8051-βασισμένο μικροελεγκτή. Το MicroConverter εγκαθίσταται για SPI κύριο τρόπο λειτουργίας με CPHA = 0. Για να αρχίσει τη λειτουργία, η I/O θύρα οδήγησης LE γίνεται χαμηλό 0. Κάθε ασφάλεια της οικογένειας ADF4360 χρειάζεται μια λέξη 24-bit, όποια ολοκληρώνεται με το γράψιμο τριών 8-bit bytes από το MicroConverter στη συσκευή. Αφότου έχει γραφτεί το τρίτο byte, η LE είσοδος πρέπει να γίνει λογικό 1 για να ολοκληρώσει τη μεταφορά.

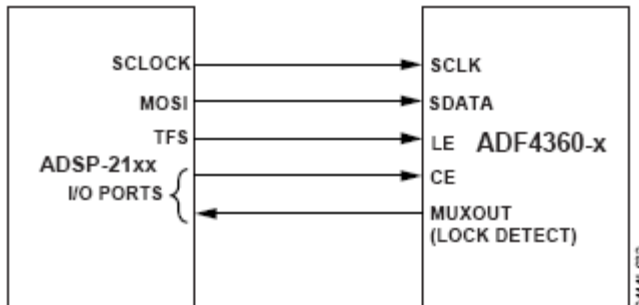


Σχήμα 20. ADuC812 to ADF4360-x Interface

Οι I/O γραμμές θυρών στο ADuC812 χρησιμοποιούνται επίσης για να ελέγξουν τη χαμηλή ισχύς (CE είσοδος) και να ανιχνεύσουν την κλειδαριά (MUXOUT διαμορφωμένη ως κλειδαριά ανίχνευσης και κομμένος από τη θύρα εισόδου). Όταν στον περιγράψιμο τρόπο λειτουργίας, η μέγιστη τιμή SCLOCK του ADuC812 είναι 4 MHz. Αυτό σημαίνει ότι η μέγιστη τιμή στην οποία η συχνότητα εξόδου μπορεί να αλλάξει είναι 166 kHz.

ADSP-2181 Interface

Το σχήμα 21 παρουσιάζει τη διεπαφή μεταξύ της οικογένειας ADF4360 και του ADSP-21xx επεξεργαστή ψηφιακών σημάτων. Η οικογένεια ADF4360 χρειάζεται μια σειριακή λέξη 24-bit για κάθε ασφάλεια εγγραφής. Ο ευκολότερος τρόπος να ολοκληρωθεί αυτό που χρησιμοποιεί η οικογένεια ADSP-21xx είναι να χρησιμοποιηθεί ο αυτόματος απομονωτής μετάδοσης λειτουργίας με την εναλλάξ πλαισίωση. Αυτό παρέχει μέσα για μετάδοση ενός ολόκληρου μπλόκ των σειριακών δεδομένων προτού την παραγόμενη διακοπή.

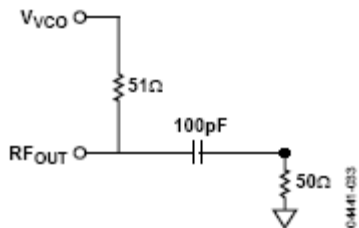


Σχήμα 21. ADSP-21xx to ADF4360-x Interface

Εγκαταστήστε το μήκος λέξης για 8 bits και χρησιμοποιήστε τρεις θέσεις μνήμης για κάθε λέξη 24-bit. Μέχρι να προγραμματίσετε κάθε ασφάλεια 24-bit, αποθηκεύστε τα 8-bit bytes, επιτρέψτε στον autobuffer κατάσταση λειτουργίας, και γράψτε στον καταχωρητή μετάδοσης του DSP. Αυτή η τελευταία λειτουργία αρχίζει τη μεταφορά autobuffer.

ΠΡΟΣΑΡΜΟΓΗ ΕΞΟΔΟΥ

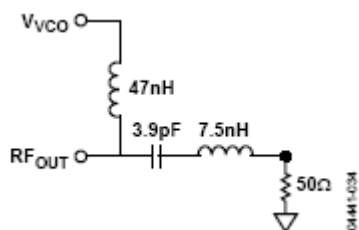
Υπάρχουν διάφοροι τρόποι να προσαρμοστεί η έξοδος του ADF4360-7 για τη βέλτιστη λειτουργία; το πιο βασικό είναι να χρησιμοποιήσετε μία αντίσταση $50\ \Omega$ στη VVCO. Ένας dc πυκνωτής bypass των $100\ \text{pF}$ είναι συνδεδεμένος σειριακά, όπως φαίνεται στο σχ. 22. Επειδή ο αντιστάτης δεν είναι εξαρτώμενος από την συχνότητα, αυτό παρέχει μια καλή προσαρμογή ευρείας ζώνης. Η ισχύς εξόδου σε αυτό το κύκλωμα δίνει τυπικά $-5\ \text{dBm}$ ισχύς εξόδου σε ένα φορτίο $50\ \Omega$.



Σχήμα 22 Simple ADF4360-7 Output Stage

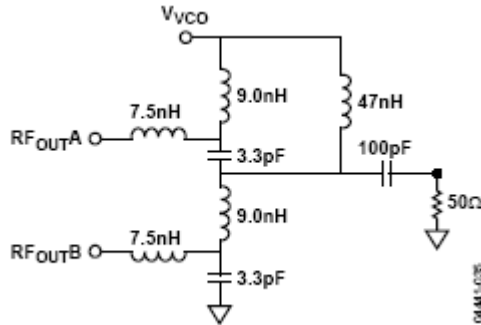
Μια καλύτερη λύση είναι να χρησιμοποιηθεί ένας επαγωγέας διακλαδώσεων (acting as an RF choke) στη VVCO. Αυτό δίνει μια καλύτερη προσαρμογή και, επομένως, περισσότερη ισχύς εξόδου. Επιπλέον, ένας επαγωγέας σειράς προστίθεται μετά από τον dc πυκνωτή bypass για να παρέχει ένα κύκλωμα συντονισμού LC. Αυτό συντονίζει την έξοδο του ταλαντωτή και παρέχει κατά προσέγγιση την πρόσθετη απόρριψη $10\ \text{DB}$ της δεύτερης αρμονικής. Ο επαγωγέας διακλάδωσης πρέπει να είναι μια σχετικά υψηλή τιμή ($>40\ \text{nH}$).

Τα πειράματα έχουν δείξει ότι το κύκλωμα που παρουσιάζεται στο σχήμα 23 παρέχει μια άριστη προσαρμογή σε $50\ \Omega$ πέρα από μια περιορισμένη περιοχή λειτουργίας του ADF4360-7 ($850\ \text{MHz}$ to $950\ \text{MHz}$). Αυτό δίνει περίπου $-2\ \text{dBm}$ ισχύς εξόδου πέρα από το συγκεκριμένο φάσμα συχνότητας του ADF4360-7 χρησιμοποιώντας $3,9\ \text{nH}$. Για άλλες συχνότητες, ένα συντονισμένο LC συστήνεται. Και οι δύο συμπληρωματικές αρχιτεκτονικές μπορούν να εξεταστούν χρησιμοποιώντας τον EVAL-ADF4360-7EB1 evaluation board.



Σχήμα 23. Optimum ADF4360-7 Outmut Stage

Εάν ο χρήστης δεν χρειάζεται διαφορετικούς διαθέσιμους εξόδους στο ADF4360-7, ο χρήστης μπορεί είτε να ολοκληρώσει την αχρησιμοποίητη έξοδο είτε να συνδυάσει και τους δύο εξόδους χρησιμοποιώντας ένα balun=(Balanced-Unbalanced-μετασχηματιστής ισοστάθμισης). Το κύκλωμα στο σχήμα 24 επιδεικνύει πόσο καλύτερα να συνδυάσει τις εξόδους.



Σχήμα 24. Balun for Combining ADF4360-7 RF Outputs

Το κύκλωμα στο σχήμα 24 είναι ένας lumped-lattice-type LC balun. Αυτό είναι σχεδιασμένο για μια κεντρική συχνότητα 900 MHz και εξόδων 5,0 dBm σε αυτήν την συχνότητα. Η σειρά 7,5 nH επαγωγέα χρησιμοποιείται για να συντονίσει εκτός οποιαδήποτε αναμενόμενη παρασιτική χωρητικότητα στον διαμορφωμένο πίνακα από κάθε είσοδο, και το υπόλοιπο του κυκλώματος χρησιμοποιείται για να μετατοπίσει την έξοδο της μιας RF εισόδου από +90° και της δεύτερης από -90°, συνδυάζοντας κατά συνέπεια τα δύο. Η επίδραση του επαγωγέα 9,0 nH και του πυκνωτή 3,3 pF επιτυγχάνει αυτό. Τα 47 nH χρησιμοποιούνται για να παρέχουν ένα πηνίο RF για τροφοδοσία στην τάση παροχής, και πυκνωτή 100 pF παρέχει το απαραίτητο dc block. Για να εξασφαλίσει καλή απόδοση RF, τα κυκλώματα στο σχήμα 23 και το σχήμα 24 εφαρμόζονται με Coilcraft 0402/0603 επαγωγέα και AVX 0402 thin-film πυκνωτές.

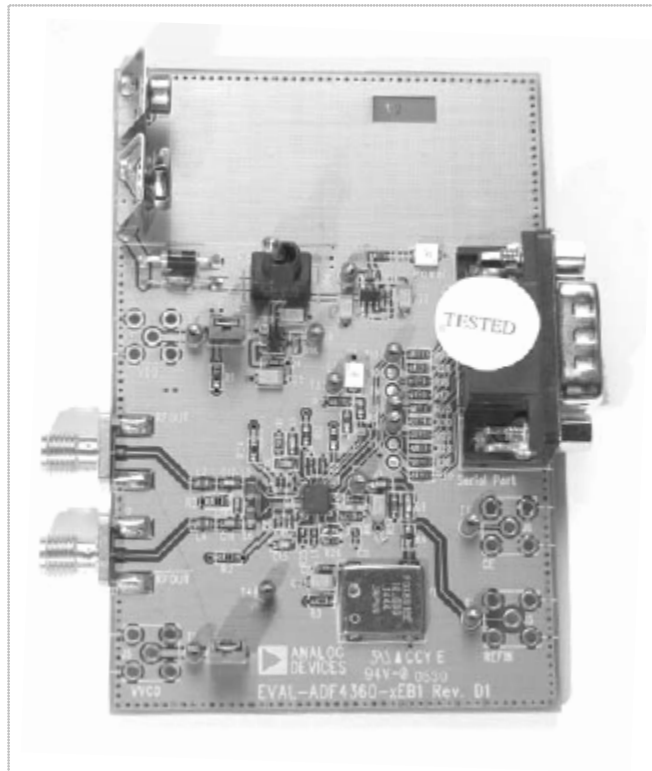
Εναλλακτικά, αντί του LC balun που παρουσιάζεται στο σχήμα 24, και οι δύο έξοδοι μπορούν να συνδυαστούν χρησιμοποιώντας έναν συζευκτήρα rat-race 180°.

ΟΔΗΓΟΣ ΔΙΑΤΑΞΕΩΝ

Model	Temperature Range	Frequency Range	Package Description	Package Option
ADF4360-7BCP	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
ADF4360-7BCPRL	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
ADF4360-7BCPRL7	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
ADF4360-7BCPZ	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
ADF4360-7BCPZRL ₁	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
ADF4360-7BCPZRL ₇	-40°C to +85°C	350 MHz to 1800 MHz	24-Lead VQ_LFCSP	CP-24-2
EVAL-ADF4360-7EB1			Evaluation Board	

4

ΣΥΜΠΕΡΑΣΜΑ



4.1 ΣΥΜΠΕΡΑΣΜΑ

Το μεγάλο πλεονέκτημα του συνθέτη συχνοτήτων που είναι βασισμένος σε βρόχο κλειδωμένης φάσης είναι η εύκολη υλοποίηση του. Η ποιότητα εξόδου του είναι δυνατόν να ικανοποιήσει πολύ αυστηρές προδιαγραφές και επιπλέον είναι εφικτή η οποιαδήποτε διαμόρφωση της. Οι επιδόσεις του συνθέτη στο μέγεθος, την κατανάλωση ισχύος και την ικανότητα προγραμματισμού είναι εξαιρετικές. Επιπλέον έχει τη δυνατότητα να συνθέσει πολύ μεγάλες συχνότητες.

Το βασικό του μεινέκτημα είναι ο αργός ρυθμός δειγματοληψίας της διαφοράς φάσης. Αυτό έχει σαν συνέπεια την χαμηλή ταχύτητα σύγκλισης κατά την διαδικασία αλλαγής συχνότητας αφού χρειάζεται ικανός αριθμός μετρήσεων για να βρεθεί ο βρόχος σε ηρεμία. Συνεπώς και αφού η συχνότητα δειγματοληψίας της διαφοράς φάσης είναι αυτή της συχνότητας του συνθέτη, δεν ενδείκνυται η χρήση του σε εφαρμογές όπου ταυτόχρονα απαιτείται γρήγορη σύγκλιση και μικρό βήμα συχνότητας.

Η ιδιαίτερη προσφορά ενοτήτων PLL και VCO βελτίωσε την απόδοση και την απομόνωση θορύβου, είναι μια σημαντική αύξηση των νεώτερων σχεδίων συστημάτων, όπου η περιοχή πινάκων και η μείωση δαπανών ενός αρχικού σχεδίου είναι σημαντικές. Η βελτίωση φάση-θορύβου, οι πολύ γρήγοροι χρόνοι κλειδώματος, και η πλλαπλή χρησιμότητα που υπάρχει στην αρχιτεκτονική είναι πιθανό να κυριαρχήσουν τα LO block των μελλοντικών πολλαπλών προτύπων υψηλών ρυθμών δεδομένων ασύρματων συστημάτων.

ΒΙΒΛΙΟΓΡΑΦΙΑ

- Andy Bateman, Ψηφιακές επικοινωνίες, Εκδόσεις Τζιόλα, Θεσσαλονίκη (2000).
- Dean Banerjee., PLL, Performance, Simulotion, and Design., (1998).
- Phase – Locked Loops for High-Frequency Receivers and Transmittes-Part 1., Analog Dialogue 33-3 (1999).
- www.analog.com
- www.apel.ee.upatras.gr