

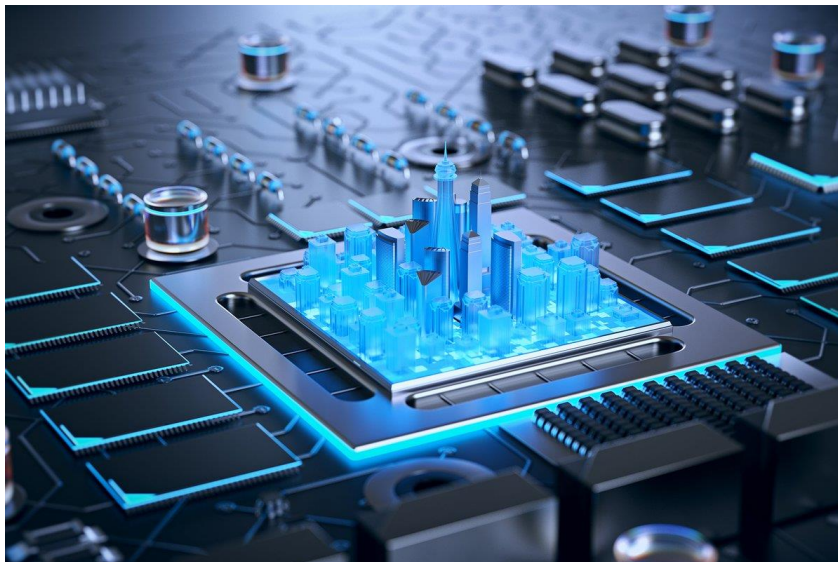
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



Πανεπιστήμιο
Ιωαννίνων

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ:

«Network on chip»



Παπάς Κωνσταντίνος

AM: εξάμηνο :

Email:

Εποπτεύων καθηγητής

Γλαβάς Ευριπίδης

ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ
ΤΜΗΜΑ ΠΛΗΡΟΦΟΡΙΚΗΣ & ΤΗΛΕΠΙΚΟΙΝΩΝΙΩΝ



Πανεπιστήμιο
Ιωαννίνων

ΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ:

«Network on chip»

Παπάς Κωνσταντίνος

ΑΜ: εξάμηνο :

Email:

Επιβλέπων καθηγητής

Γλαβάς Ευριπίδης

- Άρτα 2020 -

Εγκρίθηκε από τριμελή εξεταστική επιτροπή

Άρτα, Μάρτιος 2020

ΕΠΙΤΡΟΠΗ ΑΞΙΟΛΟΓΗΣΗΣ

1. Επιβλέπων καθηγητής

Γλαβάς Ευριπίδης

2. Μέλος επιτροπής

3. Μέλος επιτροπής

Ο Προϊστάμενος του Τμήματος

Με επιφύλαξη παντός δικαιώματος. All rights reserved.

Δήλωση μη λογοκλοπής

Δηλώνω υπεύθυνα και γνωρίζοντας τις κυρώσεις του Ν. 2121/1993 περί Πνευματικής Ιδιοκτησίας, ότι η παρούσα πτυχιακή εργασία είναι εξ ολοκλήρου αποτέλεσμα δικής μου ερευνητικής εργασίας, δεν αποτελεί προϊόν αντιγραφής ούτε προέρχεται από ανάθεση σε τρίτους. Όλες οι πηγές που χρησιμοποιήθηκαν (κάθε είδους, μορφής και προέλευσης) για τη συγγραφή της περιλαμβάνονται στη βιβλιογραφία.

Παπάς Κωνσταντίνος

Υπογραφή

ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να εκφράσω τις ευχαριστίες και την ευγνωμοσύνη μου στον καθηγητή μου κ. Γλαβά Ε. για την ανάθεση του θέματος, την πολύτιμη βοήθειά του, το ενδιαφέρον του αλλά και τον χρόνο που διέθεσε για την διεκπεραίωση της πτυχιακής μου εργασίας.

ΠΕΡΙΛΗΨΗ

Στην παρούσα πτυχιακή εργασία θα μελετήσουμε τα Network on chip. Αρχικά θα ορίσουμε ένα Network on chip και θα παρουσιάσουμε τις τοπολογίες από τις οποίες αποτελείται, την ενεργειακή του απόδοση, τη θερμική του ανάλυση καθώς επίσης και τις αναπτυξιακές προοπτικές του.

Στο επόμενο κεφάλαιο θα γνωρίσουμε την αρχιτεκτονική και τα χαρακτηριστικά γνωρίσματα των Network on chip.

Στο τρίτο κεφάλαιο θα ορίσουμε ένα σύστημα σε τσιπ, το γνωστό SOC και θα γνωρίσουμε τα πλεονεκτήματα, τα μειονεκτήματά του, τα χαρακτηριστικά και την αρχιτεκτονική του.

Στο τελευταίο κεφάλαιο της παρούσας πτυχιακής εργασίας θα παρουσιαστεί μια σύγκριση των NOC και SOC. Ουσιαστικά θα μελετήσουμε τις ομοιότητες και τις διαφορές τους.

Λέξεις κλειδιά: NoC, SoC, αρχιτεκτονική, τοπολογίες, σύγκριση NoC-SoC, ομοιότητες, διαφορές

ABSTRACT

In this thesis we will study Network on chip. We will first define a Network on chip and present its topologies, its energy efficiency, its thermal analysis as well as its development prospects.

In the next chapter we will learn about the architecture and features of Network on chip.

In the third chapter we will define a system on a chip, the known SOC and its advantages, disadvantages, features and architecture.

The last chapter of this thesis will present a comparison of NOC and SOC. We will essentially study their similarities and differences.

Keywords: NoC, SoC, architecture, topologies, NoC-SoC comparison, similarities, differences

Πίνακας περιεχομένων

Κεφάλαιο 1 ^ο Εισαγωγή στα Network on Chip.....	15
1.1 Εισαγωγή.....	15
1.2 Τοπολογίες NoC	19
1.3 Μικροεπεξεργαστές.....	30
1.4 Αναπτυξιακές προοπτικές NOC.....	31
1.5 Ενεργειακή απόδοση.....	32
1.6 Θερμική ανάλυση	33
Κεφάλαιο 2: Αρχιτεκτονική NoC	36
2.1 Εισαγωγή.....	36
2.2 Αρχιτεκτονικές NoC χαμηλής καθυστέρησης και χαμηλής κατανάλωσης ενέργειας.....	43
Η ελαχιστοποίηση του ρεύματος καθώς επίσης και της λανθάνουσας κατάστασης των NoC.....	43
2.2.1 Μείωση του Hop Count Network	43
2.2.2 Μείωση καθυστέρησης φραγής	44
2.2.3 Μείωση καθυστέρησης ανά λυκίσκο.....	44
2.2.4 Τεχνολογίες κυκλωμάτων χαμηλής καθυστέρησης ισχύος.....	46
Κεφάλαιο 3ο : SoC.....	48
3.1 Εισαγωγή στο σύστημα σε Chip.....	48
3.2 Γιατί SoC	50
3.3 Από τι αποτελείται ένα SoC.....	51
3.4 Πλεονεκτήματα SoC.....	52
3.5 Σχεδίαση Top-Down Soc.....	53
3.6 Τα συστήματα SoC Based	53
3.6.1 Προηγούμενη Περίληψη SoC.....	53
3.6.2 Σχέδια κυκλώματος SoC.....	54
3.6.3 NoC Paradigm.....	54
3.7 Τομείς εφαρμογής της τεχνολογίας SoC.....	55
3.8 Προκλήσεις SoC	55
3.9 Τεχνολογία Sip Equivalent Sip.....	56
3.10 Διαχείριση ενέργειας.....	56
3.11 Σύγχρονη ηλεκτρονική αλυσίδα εφοδιασμού.....	56
3.11.1 Ο σχεδιασμός.....	57

3.11.2 Οι προδιαγραφές σχεδιασμού	57
3.11.2 Απόκτηση 3PIP	58
3.11.3 Ενσωμάτωση SoC.....	58
3.11.4 Εισαγωγή DFT.....	59
3.11.5 Φυσική διάταξη	59
3.11.6 Παραγωγή	59
3.11.7 Συναρμολόγηση	60
3.11.8 Διανομή.....	61
3.11.9 Διάρκεια ζωής.....	61
3.12 Λογισμικό πολλαπλών επεξεργαστών	62
Κεφάλαιο 4ο : Σύγκριση NOC -SOC.....	65
4.1 Εισαγωγή.....	65
4.2 NOC και SOC.....	67
4.3 Διαφορά της NOC και SOC.....	69
ΣΥΜΠΕΡΑΣΜΑΤΑ.....	71
ΒΙΒΛΙΟΓΡΑΦΙΑ.....	72

Κεφάλαιο 1^ο Εισαγωγή στα Network on Chip

1.1 Εισαγωγή

Το Network on Chip (βλ. NoC) αποτελεί «ένα σχέδιο» για την οργάνωση της επικοινωνίας μεταξύ λειτουργικών μονάδων που βρίσκονται στο ίδιο τσιπ. Βασικό του μέλημα είναι ο συνδυασμός πυρήνων υπολογιστών με διαφορετικούς σκοπούς. Λόγου χάρη ελεγκτές συσκευών, μονάδες ROM και RAM, αυτόνομες συσκευές, αισθητήρες και πολλά άλλα που μπορούν να τοποθετηθούν σε κρυστάλλους πυριτίου. Το Network on Chip αποτελεί έναν από τους πιο σημαντικούς τομείς για την ανάπτυξη της τεχνολογίας μικροεπεξεργαστών και των συστημάτων μεμονωμένων chip. Ουσιαστικά η εν λόγω διαδικασία είναι παρόμοια με την ανάπτυξη των "μεγάλων" συστημάτων επικοινωνίας.

Με τον όρο Networks on Chip συμπεραίνουμε λοιπόν ότι αναφερόμαστε σε ένα δίκτυο σε τσιπ. Ουσιαστικά αποτελεί ένα υποσύστημα επικοινωνιών το οποίο έχει ως βάση ένα δίκτυο σε ένα ολοκληρωμένο κύκλωμα.

Πριν από μερικά χρόνια, ο βασικότερος τρόπος βελτίωσης της απόδοσης του επεξεργαστή ήταν η αύξηση της συχνότητας ρολογιού. Ωστόσο, μετά την επίτευξη των 2 GHz, οι μηχανικοί αντιμετώπισαν τα πρώτα προβλήματα, συμπεριλαμβανομένων των φυσικών περιορισμών των χρησιμοποιούμενων υλικών. Για τον παραπάνω λόγο ξεκίνησε η αναζήτηση εναλλακτικών λύσεων. Μια σειρά καινοτόμων τεχνικών επιτρέπει στις σύγχρονες CPUs να λειτουργούν σταθερά στα 3,8-4 GHz. Αλλά οποιαδήποτε περαιτέρω αύξηση έχει ως αποτέλεσμα την ακραία θερμική απόδοση, η οποία κάτω από τις συνθήκες σπιτιών δεν μπορεί να προσαρμοστεί σε αποδεκτές τιμές - απαιτεί σύνθετα συστήματα ψύξης, μέχρι υγρού αζώτου.

Η πρώτη λύση ήταν η **εισαγωγή υπολογιστικών αγωγών και τεχνικών πρόβλεψης κλάδων**. Σύμφωνα με την ιδέα των αγωγών, το νήμα εκτέλεσης χωρίζεται σε μικρο-λειτουργίες, οι οποίες τροφοδοτούνται στον αγωγό υπολογισμού. Ενώ οι μικροεπεξεργασίες κινούνται κατά μήκος του αγωγού στη συσκευή εκτέλεσης, άλλες μονάδες επεξεργαστών εμπλέκονται στην προετοιμασία δεδομένων για την εκτέλεσή τους με δειγματοληψία από τη μνήμη, πρόσβαση σε συσκευές και θύρες κλπ. Ο κλάδος είναι ένας μηχανισμός που εξετάζει

το νήμα εκτέλεσης, βρίσκεται υπό όρους λειτουργίες κλάδου σε αυτό και προβλέπει το αποτέλεσμα του υπολογισμού των συνθηκών τους με βάση προηγούμενες λειτουργίες. Οι εν λόγω τεχνολογίες επιτρέπουν τη βελτιστοποίηση των υπολογιστικών πόρων και τη μείωση του χρόνου αναμονής. Η λύση για τις ήδη υπάρχουσες συσκευές οδηγεί σε πτώση στην απόδοση επεξεργαστή - από 10 έως 25%. Τα πρώτα μπαλώματα για το firmware μικροεπεξεργαστή επεξεργαστή (Intel) και τα συστήματα ασφαλείας των Windows (Microsoft) έχουν ήδη οδηγήσει σε μια σειρά αποτυχιών και προβλημάτων.

Η δεύτερη λύση ήταν ο **παραλληλισμός των υπολογισμών με βάση την ενσωμάτωση πολλών πυρήνων επεξεργαστών σε μία ενιαία συσκευασία**. Ο ίδιος ο παράλληλος υπολογισμός δεν αποτελεί νέο θέμα. Η πρώτη θεωρητική δικαιολόγηση της παράλληλης εργασίας έγινε από τον *Gaspard de Prony* κατά τον υπολογισμό λογαριθμικών και τριγωνομετρικών πινάκων στα τέλη του 18ου αιώνα. Σε εφαρμογή στην σύγχρονη τεχνολογία υπολογιστών, έχουν αναπτυχθεί παράλληλοι υπολογισμοί από την εμφάνιση των "μεγάλων" υπολογιστών στη δεκαετία του 1950. Το κοινό έργο πολλών ξεχωριστών επεξεργαστών χρησιμοποιείται για υπολογισμούς έως και χιλιάδες, σε ορισμένες περιπτώσεις. Αξίζει να αναφέρουμε ότι μέχρι τα μέσα της δεκαετίας του '80, τέτοιες μέθοδοι παρέμειναν ως προνόμιο των mainframes, έως ότου αναπτύχθηκε ο πρώτος υπερυπολογιστής που βασίστηκε σε επιτραπέζιους επεξεργαστές (Intel 8086) στο πλαίσιο του έργου Caltech Concurrent Computing.

Ουσιαστικά αντί να επικεντρωθεί στον μέγιστο δυνατό αριθμό πράξεων ανά δευτερόλεπτο σε ένα μονό νήμα εκτέλεσης, οι επεξεργαστές πολλαπλών πυρήνων επιτρέπουν την εκτέλεση περισσότερων από ένα νήμα ταυτόχρονα, μέχρι δύο ανά πυρήνα. Η ίδια η ιδέα είναι θετική με τη διαφορά ότι η απόδοση των παράλληλων υπολογιστών εξαρτάται σε μεγάλο βαθμό από το πόσο καλά μπορεί να παραλληλιστεί ένα συγκεκριμένο έργο και πόσο καλά το αντιμετωπίζουν οι προγραμματιστές.

Το στοιχείο σύνδεσης μεταξύ αυτών των μονάδων ήταν ο δίαυλος επεξεργαστή - μια κληρονομιά επεξεργαστών ενός πυρήνα. Το κύριο μειονέκτημά του είναι ότι μόνο ένα μπλοκ επεξεργαστή μπορεί να μεταφέρει δεδομένα κάθε φορά. Όλες οι άλλες μονάδες μπορούν να είναι μόνο παραλήπτες τη δεδομένη στιγμή. Όταν υπάρχει ανάγκη να μεταδοθούν σήματα από N μπλοκ, κατά τη διάρκεια κάθε δεδομένης χρονικής στιγμής, τα μπλοκ N-1 πρέπει να "περιμένουν" για τη σειρά τους. Ουσιαστικά η αναμονή συνεπάγεται καθυστερήσεις, το οποίο είναι σημαντικό μειονέκτημα για συστήματα που αναλαμβάνουν υψηλά φορτία. Το

χαρακτηριστικό αυτό άρχισε να παρεμποδίζει την περαιτέρω πρόοδο των εταιρειών επεξεργασίας, οι οποίες επιδιώκουν να αυξήσουν τον αριθμό των πυρήνων των προϊόντων τους. Έπειτα ένας μεγάλος αριθμός πυρήνων δεν προσφέρει κανένα πλεονέκτημα σε περίπτωση πολλών αναγκαστικών συγκρούσεων. Ακολούθησε το στάδιο ανάπτυξη της δομής bus. Ουσιαστικά πρόκειται για μια αύξηση του αριθμού των δεσμών μεταξύ μεμονωμένων μπλοκ. Αυτός είναι ο λόγος για τον οποίο οι διασταυρώσεις δεν αποτελούν βέλτιστη λύση. Δυστυχώς, αυτοί οι δύο παράγοντες παρακωλύουν σοβαρά τους προγραμματιστές λογισμικού.

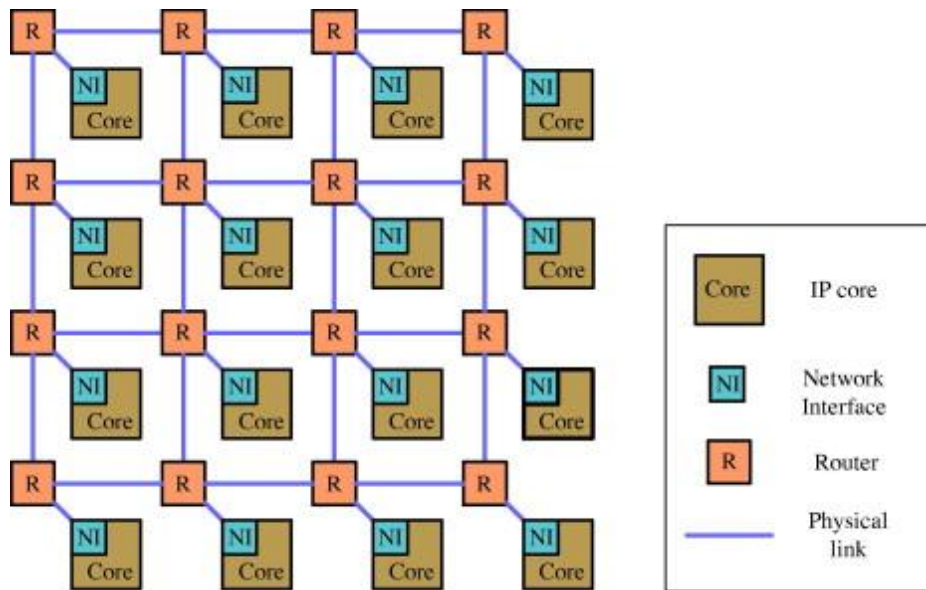
Εδώ φτάνουμε στη ρίζα του προβλήματος. Υπάρχουν τρία συστατικά στοιχεία και πιθανές διαδρομές για την επίλυσή του:

- ❖ **Αύξηση συχνότητας ρολογιού**
- ❖ **Πολλαπλασιασμός και εξειδίκευση πυρήνων λειτουργίας**
- ❖ **Παράλληλες μέθοδοι προγραμματισμού**

Αναζητώντας λύσεις στη δεύτερη διαδρομή, οι μηχανικοί έχουν φτάσει στην ιδέα της υλοποίησης συστημάτων μεταγωγής / δρομολόγησης. Η όλη ιδέα της δημιουργίας μιας σχέσης μεταξύ των μπλοκ επεξεργαστών με τη δρομολόγηση των πακέτων δεδομένων καλείται Network on Chip.

Η τεχνολογία NoC εφαρμόζει τη θεωρία και τις μεθόδους δικτύωσης ηλεκτρονικών υπολογιστών σε επικοινωνία on-chip και φέρνει σημαντικές βελτιώσεις σε σχέση με τις συμβατικές αρχιτεκτονικές διαύλου επικοινωνίας. Αξιοσημείωτο είναι ότι τα δίκτυα-on-chip συνδέονται με πολλές τοπολογίες δικτύου τις οποίες θα αναλύσουμε εκτενέστερα σε άλλο υποκεφάλαιο της παρούσας πτυχιακής εργασίας.

Το Networks on Chip πολλές φορές δύναται να ωφεληθεί σε βέλτιστο βαθμό από την εισαγωγή της φωτονικής. Με την πάροδο των χρόνων και την εξέλιξη της τεχνολογίας έχουν γίνει αρκετές ερευνητικές προσπάθειες σε αυτόν τον τομέα.



Εικόνα 1: Network on chip

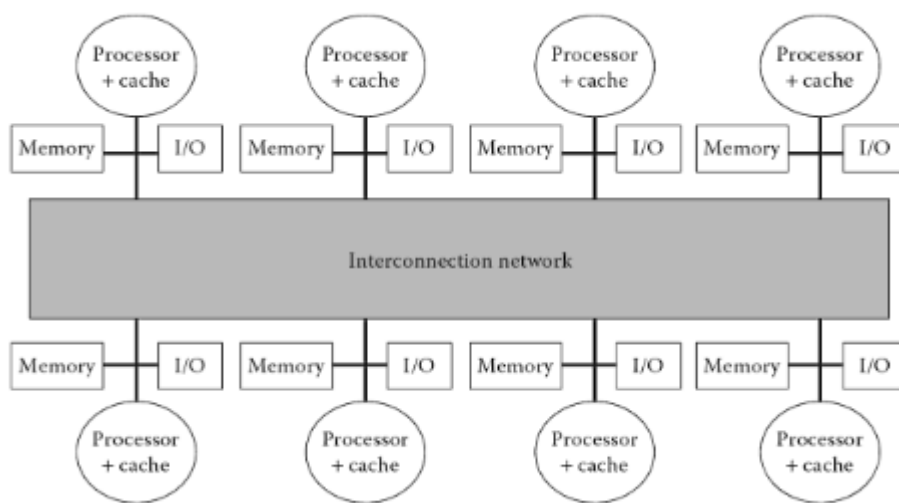
Ορισμένες παραδοσιακές τοπολογίες έχουν εφαρμοστεί σε περιβάλλοντα NoC, λόγω χάρη:

- Η τοπολογία bus
- Η τοπολογία mesh
- Το torus
- Το Clos
- Η τοπολογία δέντρου [1][2][3][4]

1.2 Τοπολογίες NoC

Εισαγωγή στις σύγχρονες αρχιτεκτονικές πολλαπλών επεξεργαστών συστήματος σε τσιπ MPSoC

Τόσο οι επεξεργαστές όσο και οι μνήμες συνδυάζονται σε έναν ολοκληρωμένο κόμβο. Συνεπώς κάθε επεξεργαστής μπορεί να έχει πρόσβαση στην τοπική μνήμη του χωρίς τη χρήση δικτύου. Τα δίκτυα διασύνδεσης χρησιμοποιούνται για τη σύνδεση συσκευών I/O, λόγω χάρη δίσκων και οθονών, όπως μπορούμε να διακρίνουμε στην παρακάτω εικόνα:



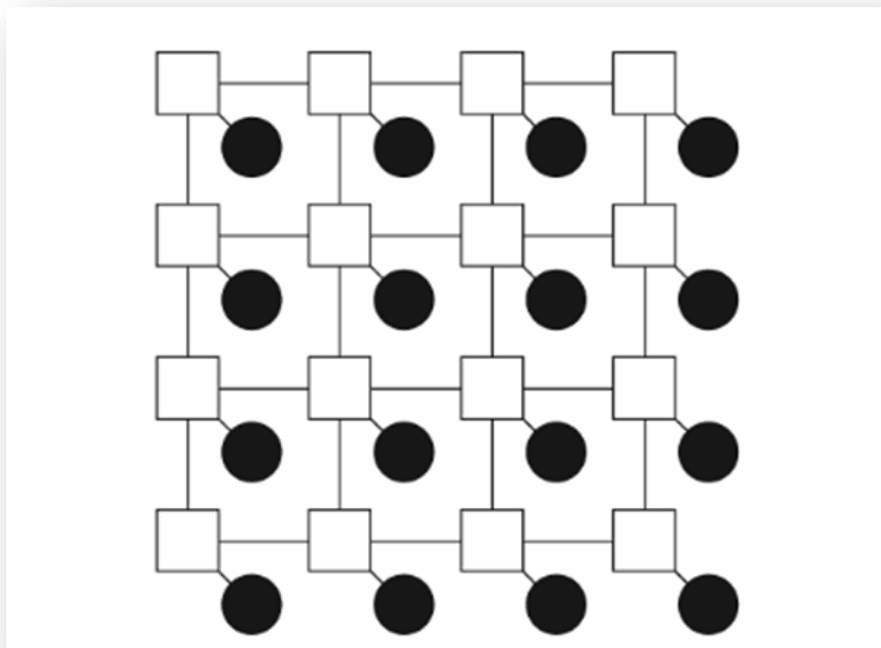
Εικόνα 2 : Interconnection network

Σε μια τοπολογία δικτύου οι κόμβοι συνδέονται με διαφορετικό τρόπο λόγω χάρη με πλέγμα ή δέντρο. Αφού επιλεγεί μια τοπολογία η δρομολόγηση καθορίζει τη διαδρομή μέσω της οποίας τα πακέτα θα διασχίσουν τον προορισμό. Εάν υπάρχουν πολλαπλές διαδρομές από την πηγή προς τον προορισμό, ο μηχανισμός δρομολόγησης επιλέγει μια διαδρομή μέσω της οποίας ο αριθμός των λυκίσκων θα ελαχιστοποιηθεί. Μια άλλη σημαντική πτυχή στη δρομολόγηση.

Σε περίπτωση που μία συγκεκριμένη διαδρομή είναι υπερβολικά χρησιμοποιημένη, ενώ η άλλη βρίσκεται σε αδράνεια (γνωστή ως ανισορροπία φορτίου), μειώνεται το συνολικό εύρος ζώνης των μηνυμάτων και παρέχεται, από το δίκτυο, ο έλεγχος ροής.

Ο άνθρωπος μοιράζει την κατανομή των πόρων στα πακέτα καθώς προχωρούν κατά μήκος της διαδρομής τους, ένας μηχανισμός ελέγχου ροής προωθεί τα πακέτα με ελάχιστη καθυστέρηση και είναι επίσης σε θέση να χειριστεί σφάλματα στην επικοινωνία.

Στη συνέχεια, παρουσιάζουμε τις βασικές αρχές της τοπολογίας του δικτύου, τις παραμέτρους που πρέπει να εξετάσει κάθε μία επιλογή τοπολογίας καθώς και τα πλεονεκτήματα και μειονεκτήματα της επιλογής μιας τοπολογίας στο πρότυπο δίκτυο σε τσιπ.

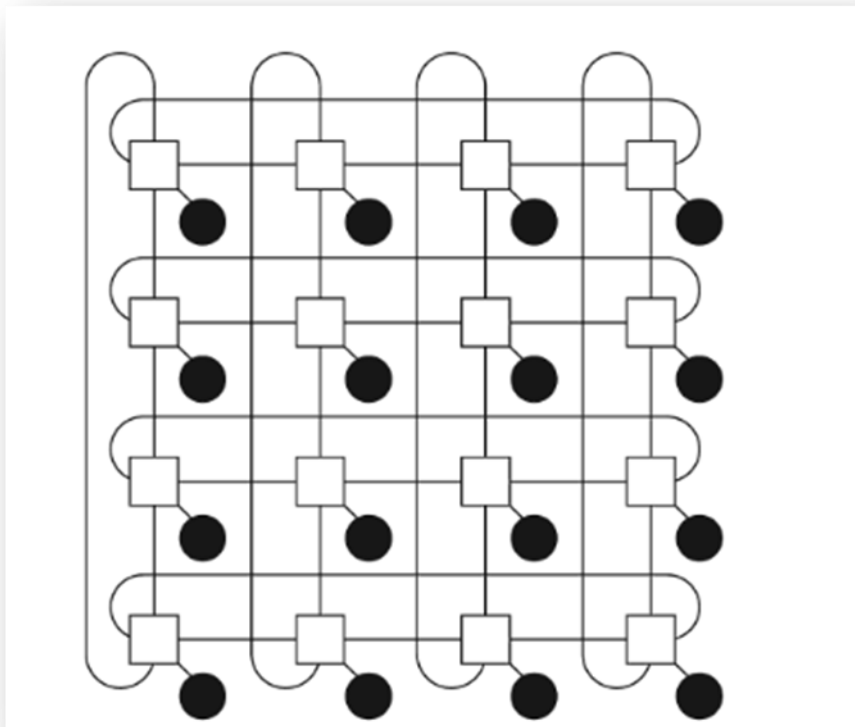


Εικόνα 3: 4x4 2D mesh with single connected to each router

Η ενσωμάτωση των ετερογενών στοιχείων επικοινωνίας αποτέλεσε μία πρόταση των Kumar. Κάθε διακόπτης εκτός από εκείνους στις γωνίες και τα όρια συνδέονται με τέσσερις γειτονικούς διακόπτες και ένα block ιδιοκτησίας IP. Όπως μπορούμε να παρατηρήσουμε στην παραπάνω εικόνα, ένα δίκτυο πλέγματος που έχει M γραμμές και N στήλες έχει τις ακόλουθες παραμέτρους:

Diameter: $(M + N - 2)$
Average distance: $(M + N)/3$
Bisection width: $\min(M,N)$
Number of links: $2 \times [M \times (N - 1) + N \times (M - 1)]$

Η αρχιτεκτονική διασύνδεσης torus έχει προταθεί για την επίλυση του προβλήματος μεγάλης διαμέτρου του πλέγματος συνδέοντας τους δρομολογητές στις άκρες μέσω συνδέσμων.

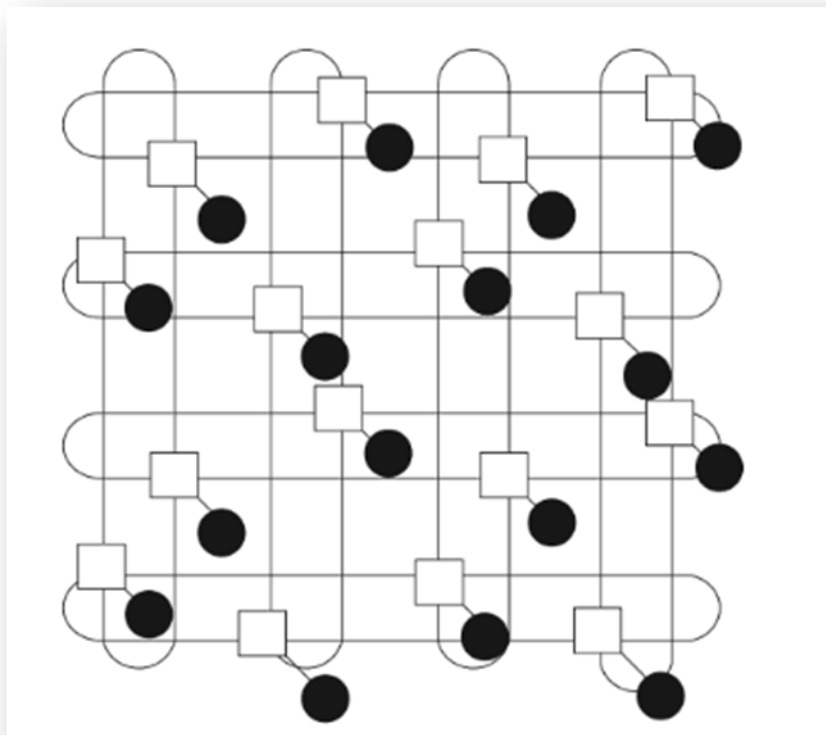


Εικόνα 4 : 4x4 2D torus with single connected to each router

Στην αρχιτεκτονική torus η διαφορά με το πλέγμα είναι ότι οι διακόπτες στις άκρες συνδέονται με τους διακόπτες στα αντίθετα άκρα μέσω των διαύλων περιττήν λήξεως όπως μπορούμε να δούμε στην εικόνα 4.

Ένα δίκτυο torus έχει M γραμμές και N στήλες και τις ακόλουθες παραμέτρους:

Diameter: $\lfloor M/2 \rfloor + \lfloor N/2 \rfloor$
 Bisection width: $2 \times \min(M, N)$
 Number of routers required: $(M \times N)$
 Node degree: 5

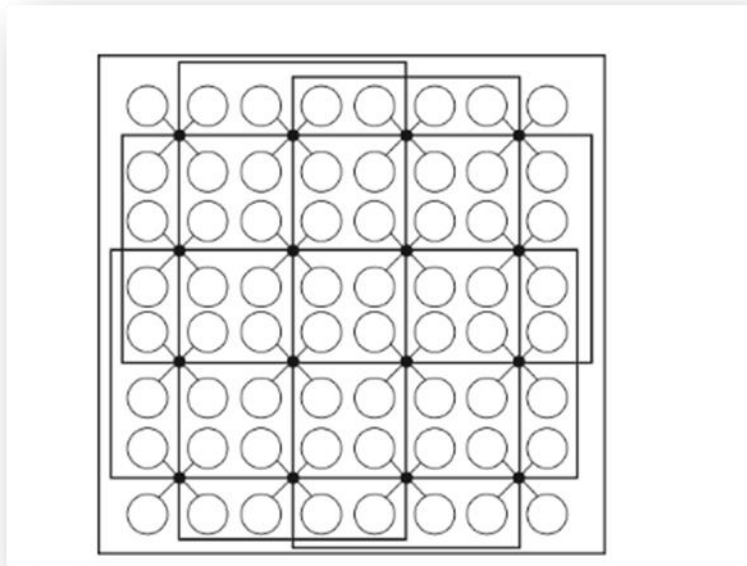


Εικόνα 5 : 4x4 2D folded torus with single connected to each router

Diameter: $(M/2 + N/2 - 4)$
 Bisection width: $\min \{ \lfloor M/2 \rfloor + (2 \times \lfloor \log_2 N \rfloor - 1) \}, \lfloor N/2 \rfloor + (2 \times \lfloor \log_2 M \rfloor - 1) \}$
 Number of routers required: $(M \times N)/4$

Για ένα μεγαλύτερο δίκτυο αυτός ο περιτυλιγμένος σύνδεσμος θα είναι αρκετά μεγαλύτερος και θα προκαλέσει υπερβολική καθυστέρηση. Ένας διπλωμένος θώρακας λύνει το πρόβλημα της υπερβολικής καθυστέρησης στις μακρές περιστρεφόμενες συνδέσεις. Στην παραπάνω εικόνα παρουσιάζεται ένα folded torus. Ένας στροφέας διπλωμένου δικτύου έχει M γραμμές και N στήλες.

Για να μειωθεί ο μέσος όρος των αριθμών λυκίσκου μίας δομής ματιών έχει προταθεί μία τοπολογία συμπυκνωμένου πλέγματος C MESH όπου συνδέονται τέσσερις πυρήνες δρομολογητών που απαιτούνται.

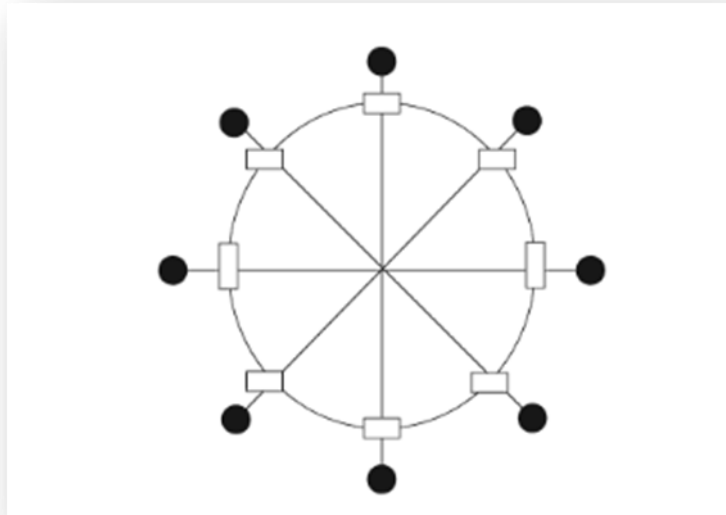


Εικόνα 6 :A 2D concentrated mesh with four cores to each router

Ο βαθμός κόμβου για κάθε δρομολογητή στο δίκτυο είναι οκτώ, πολύ υψηλότερος από ότι στο πλέγμα του torus.

Ένα πολύ σημαντικό δίκτυο αποτελεί η οκταγωνική δομή στην οποία η σύνδεση μεταξύ οποιονδήποτε κόμβων απαιτεί το πολύ δύο λυκίσκους. Κάθε κόμβος σε αυτό το δίκτυο σχετίζεται με μια IP και ένα διακόπτη όπως μπορούμε να δούμε στην εικόνα 7. Για την ενσωμάτωση περισσότερων από 6 επεξεργαστές μπορούν να συνδυαστούν περισσότερα

οκτάγωνα χρησιμοποιώντας κόμβους γέφυρας. Για ένα σύστημα που αποτελείται από περισσότερες από οκτώ κόμβους.



Εικόνα 7 : 2D octagon network with single core to each router

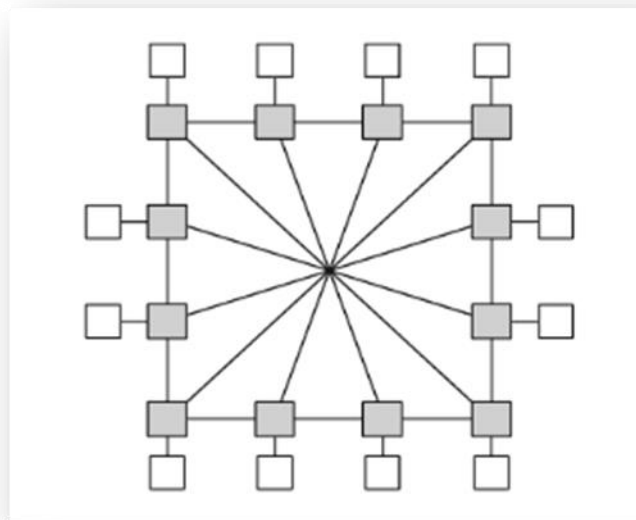
Diameter: $2 \times \lceil N/8 \rceil$
Bisection width: 6 for $N \leq 8$ or $6 \times (1 + \lceil N/8 \rceil)$ for $N > 8$

Το δίκτυο επεκτείνεται σε έναν πολυδιάστατο χώρο. Ένα δίκτυο που έχει μπλόκ IP έχει τις ακόλουθες παραμέτρους. Η έννοια του οκταγωνικού δικτύου μπορεί να επεκταθεί σε οποιοδήποτε αυθαίρετο ακόμα αριθμό κωμών χρησιμοποιώντας την τοπολογία Spidergon. Ωστόσο τόσο το οκταγωνικό όσο και το Spidergon μπορεί να οδηγήσουν σε σημαντική αύξηση της συνολικής καλωδίωσης. Για μεγάλα δίκτυα στην τοπολογία Spidergon όλοι οι κόμβοι συνδέονται με τρεις γείτονες και μια IP όπως μπορούμε να δούμε στην εικόνα 8 δίκτυο Spidergon που έχει N block IP με τις ακόλουθες παραμέτρους.

Number of routers required: 8 for $N \leq 8$ or $(8 + 7 \lfloor N/8 \rfloor)$ for $N > 8$
Node degree: 4 (member node), 7 (bridge node)

Diameter: $\lceil N/4 \rceil$
Bisection width: $N/2 + 2$
Number of routers required: N
Node degree: 4

Diameter: $2 \times (\log_2 N - 2)$
Bisection width: 1

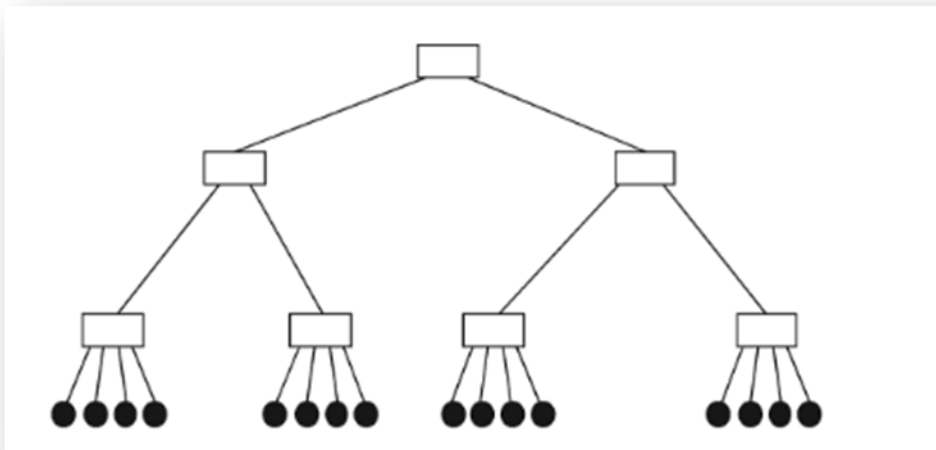


Εικόνα 8 : A 4x4 2D spidergon network with single connected to each router

Μία αρχιτεκτονική δυαδικών δέντρων έχει επίσης προταθεί για τα Nos. Έχει ορισμένα πλεονεκτήματα, διαθέτει ωραία αναδρομική δομή και επιθυμεί χαμηλό διαμέτρημα. Αλλά έχει και ένα μειονέκτημα, ότι έχει μικρό πλάτος διχοτόμησης. Στην αρχιτεκτονική δυαδικών δέντρων συνδέονται τέσσερα Ips στον κόμβο του φύλλου, αλλά κανένα από τα άλλα. Συγκεκριμένα οι τροπολογίες που βασίζονται σε δέντρα απαιτούν μεγάλες συνδέσεις μεταξύ

των δρομολογιών προς τη ρίζα του δέντρου. Γεγονός που αυξάνει την καθυστέρηση και την κατανάλωση ενέργειας των συνδέσεων ένα δυαδικού δέντρου με βάση μία NIP.

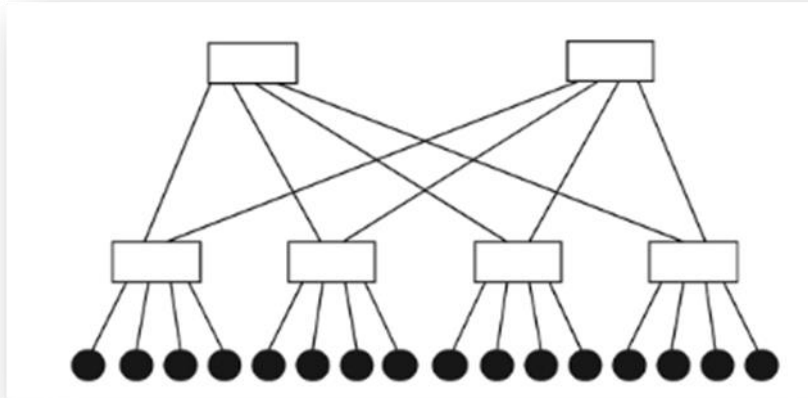
Έχει προταθεί ένα γενικό πρότυπο διασύνδεσης που βασίζεται στα δέντρα και ονομάζεται *scalable programmable Intergrated Network on chip*. Στη διασύνδεση κάθε κόμβος έχει τέσσερα παιδιά και ο γονιός αντιγράφεται τέσσερις φορές σε οποιαδήποτε επίπεδο του δέντρου όπως μπορούμε να δούμε στην εικόνα 9. Τα λειτουργικά τμήματα IP βρίσκονται στα φύλλα και οι διακόπτες βρίσκονται στις κορυφές. Τα μειονεκτήματα μιας τέτοιας δομής δέντρων είναι το μεγάλο μέγεθος του διακόπτη και ο υψηλός βαθμός κόμβων. Ένα δίκτυο που βασίζεται σε δέντρα κι έχει μπλοκ NIP, έχει τις ακόλουθες παραμέτρους:



Εικόνα 9 : 2D binary tree network with four cores to each level router

Number of routers required: $(N/2 - 1)$

Node degree: 5 (leaf), 3 (stem), 2 (root)

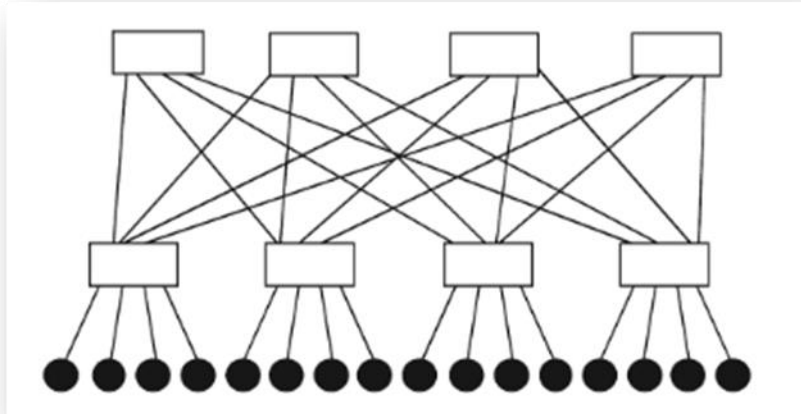


Εικόνα 10 : A 2D spin network with four cores to each level router

Diameter: $2 \times \left(\lceil (\log_2 N) / 2 \rceil \right) - 2$
 Bisection width: $N/2$ when i is even, $N/4$ when i is odd

Number of routers required: $(N/4) \times \left(\lceil (\log_2 N) / 2 \rceil \right)$
 Node degree: 8 (non-root node), 4 (root node)

Ένα παράγωγο της διασύνδεσης BFT, αποτελεί το Extended-BFT το οποίο έχει προταθεί για τη βελτίωση του λανθάνοντος πακέτου και της απόδοσης. Στο BFT ο κόμβος είναι υψηλότερος και έχει μεγάλα καλώδια διασύνδεσης όπως μπορούμε να δούμε στην εικόνα 11. Ένα τέτοιο δίκτυο είναι βασισμένο σε EFTI με block N IP .



Εικόνα 11 : A 2D BFT network with four cores to each level router

Ένα ακόμα δίκτυο αποτελεί το MoT για Noc και διακρίνεται για τα πλεονεκτήματα της μικρότερης διαμέτρου και το βαθμό κόμβων σε σύγκριση με το πλέγμα. Σε σύγκριση με το BFT έχει περισσότερες άκρες και επομένως μειώνεται η συμφόρηση. Ένα δίκτυο MoT έχει τις ακόλουθες παραμέτρους:

Number of routers required: $(N/4) \times \lceil (\log_2 N)/2 \rceil$
 Node degree: 8 (non-root node), 4 (root node)

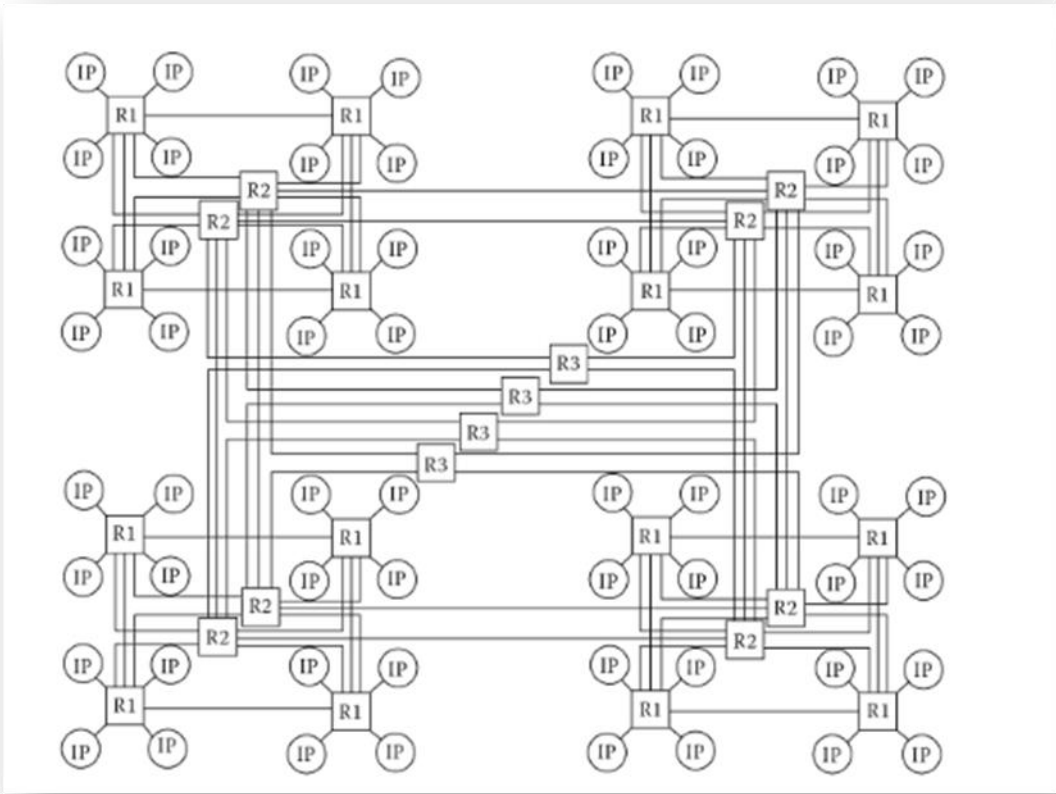
Diameter: $2 \times \lceil (\log_2 N)/2 \rceil - 2$

Bisection width: $N \times (0.5)^{\lceil \log_2 N/2 \rceil}$ for i is even, $(N/2) \times (0.5)^{\lceil \log_2 N/2 \rceil}$ for i is odd

Number of routers needed: $(N/2) \times \lceil 1 - (0.5)^{\lceil \log_2 N/2 \rceil} \rceil$

Node degree: 6 (non-root), 4 (root)

Diameter: $\log_2 N - 2$
 Bisection width: $2 + N \times (0.5)^{\log_2 N/2}$
 Number of routers needed: $(N/2) \times [1 \pm (0.5)^{\log_2 N/2}]$
 Node degree: 8 (non-root), 4 (root)



Εικόνα 12 :EFTI network

Τέλος στην εικόνα 12 παρουσιάζουμε μία δομή 4 X 4 MoT που έχει τέσσερα δέντρα και τέσσερις στήλες. Τα δέντρα και οι στήλες σχηματίζονται από τους λευκούς και μαύρους κόμβους αντίστοιχα. Όπως φαίνεται στην εικόνα των επιπέδων φύλλων είναι κοινή και στα δύο δέντρα. Δύο πυρήνες έχουν συνδεθεί σε κάθε κόμβο επιπέδου φύλλου.

1.3 Μικροεπεξεργαστές

Το μοντέλο δικτύου σε τσιπ (βλ. NoC) αποτελεί όπως προαναφέραμε και σε άλλο σημείο της παρούσας πτυχιακής εργασίας έναν τρόπο που επιτρέπει την ενσωμάτωση ενός υπερβολικά υψηλού αριθμού υπολογιστικών μονάδων και μονάδων αποθήκευσης σε ένα ενιαίο τσιπ. Παρόλο που ένα σύνθετο SoC μπορεί να θεωρηθεί ως ένα μικρό δίκτυο πολλαπλών αυτόνομων μονάδων, τα μοντέλα και οι τεχνικές από τη δικτύωση, η ταυτόχρονη επεξεργασία πολλαπλών παραγόντων και η παράλληλη επεξεργασία μπορούν να χρησιμοποιηθούν για εφαρμογές πολυεπεξεργαστών προσανατολισμένες σε δίκτυο.

Για το NoC, το μικροδίκτυο πρέπει να πληροί τις απαιτήσεις ποιότητας της υπηρεσίας λόγω χάρη:

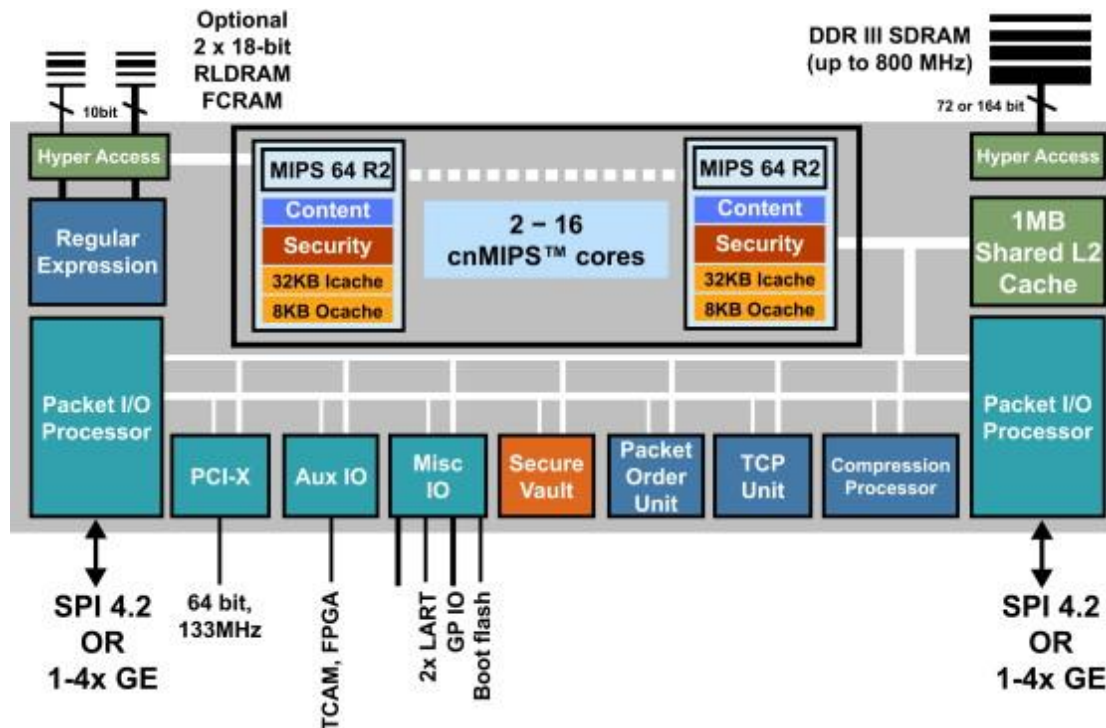
- ❖ Την αξιοπιστία
- ❖ Το εγγυημένο εύρος ζώνης
- ❖ Τη λανθάνουσα διάρκεια
- ❖ Την παραγωγή ενεργειακής απόδοσης

Αυτό βέβαια κάτω από τον περιορισμό των αναξιόπιστων μέσων μετάδοσης σήματος. Τέτοιοι περιορισμοί οφείλονται:

- ❖ Στην αυξημένη πιθανότητα συγχρονισμού και σφαλμάτων δεδομένων
- ❖ Στη μεταβλητότητα των παραμέτρων διεργασίας
- ❖ Στις παρεκτροπές
- ❖ Σε περιβαλλοντικούς παράγοντες

Για να βελτιώσουν την απόδοση της κυκλοφορίας δικτύου, οι προμηθευτές επεξεργαστών έχουν ενσωματώσει πολλούς πυρήνες με ενσωματωμένα υποσυστήματα μνήμης, οι οποίοι καλούνται επεξεργαστές δικτύου. Η μεταφορά λογισμικού επεξεργαστών γενικού σκοπού που απαιτείται για υπηρεσίες δικτύου σε πυρήνα με περιορισμένο αριθμό χώρου κώδικα και ιδιότητα εργαλεία ανάπτυξης έχει υποβιβάσει επεξεργαστές δικτύου σε τύπους επεξεργασίας δικτύου Layer 2 και Layer 3. Στην εικόνα 13 που ακολουθεί παρουσιάζεται ένα διάγραμμα ενός τυπικού σχεδιασμού πολλαπλών επεξεργαστών που χρησιμοποιεί τεχνολογίες SoC / NoC. Σε αυτό το σχήμα, οι πυρήνες cnMIPS αντιπροσωπεύουν ένα

ετερογενές 2-16 CPU με ικανότητα 18-64 bits. Εκτός από αυτά τα στοιχεία, όπως η κοινή cache L2, ο επεξεργαστής I / O πακέτων κ.λπ., μπορεί να ενσωματωθεί με κάποιες υποδοχές όπως PCI-X, TCP, MISC I / O κλπ. Με τις τεχνολογίες SoC / NoC, μπορεί να ενσωματωθεί σε ένα ενιαίο τσιπ.



Εικόνα 13: Διάγραμμα ενός τυπικού σχεδιασμού πολλαπλών επεξεργαστών που χρησιμοποιεί τεχνολογίες SoC / NoC

1.4 Αναπτυξιακές προοπτικές NOC

Με την πάροδο των χρόνων και την εξέλιξη της τεχνολογίας η ανάγκη για NoC άρχισε να αυξάνεται ταυτόχρονα με τη μετάβαση σε μια εκτεταμένη διάταξη των επεξεργαστών και των συστημάτων ενός τσιπ. Στο πλαίσιο του ερευνητικού της σχεδίου, η Intel το 2007 παρουσίασε δημόσια έναν ενιαίο επεξεργαστή 80-πλακιδίων. Αυτό το μοντέλο επεξεργαστή κατανάλωσε μια εκπληκτικά μικρή ποσότητα ενέργειας 62 watts. Κάθε ένα από τα πλακάκια περιείχε ένα στοιχείο υπολογιστικής και ένα δρομολογητή. Η απόδοσή του ήταν εντυπωσιακή, για τον λόγο αυτό το 2017, κυκλοφόρησε ο πρώτος επεξεργαστής επιφάνειας

εργασίας έτοιμος για παραγωγή, ο πυρήνας Intel Core i9-7980XE με 18 πυρήνες , ο οποίος έσπασε το ίδιο φράγμα με λιγότερους υπολογιστικούς πυρήνες κι ένα TDP 165 watt.

Τις κύριες κατευθύνσεις στην ανάπτυξη σύγχρονων λύσεων βασισμένων στο NoC αποτέλεσαν :

- ❖ Η εικονική παράκαμψη
- ❖ Η χαμηλή ταλάντευση

Οι συγκεκριμένες τεχνολογίες δύνανται να μειώσουν την κατανάλωση ενέργειας και να ελαχιστοποιήσουν τις καθυστερήσεις μετάδοσης, επιτρέποντας την κλιμάκωση του μεγέθους των συστημάτων και τον αυξανόμενο αριθμό των πυρήνων.

Το κύριο πεδίο της εφαρμογής NoC εξακολουθεί να είναι η δημιουργία υπερ-υπολογιστών. Ωστόσο, όλοι οι κορυφαίοι κατασκευαστές τσιπ έχουν ήδη εφαρμόσει χωριστά στοιχεία NoC στην ανάπτυξη desktop και server chips. Λόγου χάρη:

- ✓ Το Infinity Fabric από την AMD
- ✓ Η βάση των νεότερων οικογενειών επεξεργαστών Zen (CPU) και Vega (GPU)
- ✓ Η κοινή ανάπτυξη των μαρκών AMD και Intel

Όσον αφορά τις περαιτέρω κατευθύνσεις της ανάπτυξης του NoC, το κύριο είναι η εφαρμογή του ιεραρχικού μοντέλου δικτύου OSI. Στην περίπτωση του Διαδικτύου, ο διαχωρισμός των στοιχείων σύνδεσης χρησίμευσε ως ένας από τους λόγους για την ταχεία ανάπτυξή του και δημιούργησε την ευκαιρία για ανταγωνισμό εκατοντάδων εταιριών και ιδεών, αντίστοιχα θα συμβεί και με τον NoC.[8]

1.5 Ενεργειακή απόδοση

Η χαρτογράφηση εργασιών για το Network on chip (βλ. NoC) επηρεάζει σημαντικά την κατανάλωση ενέργειας του συστήματος επικοινωνίας. Σημαντικό θα ήταν να προσθέσουμε ότι η μείωση του αριθμού λυκίσκων μεταξύ των επικοινωνούντων πυρήνων μας βοηθά να επιτύχουμε την ελαχιστοποιημένη κατανάλωση ενέργειας για την αποστολή δεδομένων μεταξύ των πυρήνων. Μια προτεινόμενη πλατφόρμα η οποία καλείται SCmesh είναι ικανή

για μεταβλητότητα τόσο εύρους ζώνης επικοινωνίας όσο και αλγορίθμων χαρτογράφησης που μπορούν να μειώσουν τον χρόνο εκτέλεσης της εφαρμογής καθώς επίσης και την κατανάλωση ενέργειας.

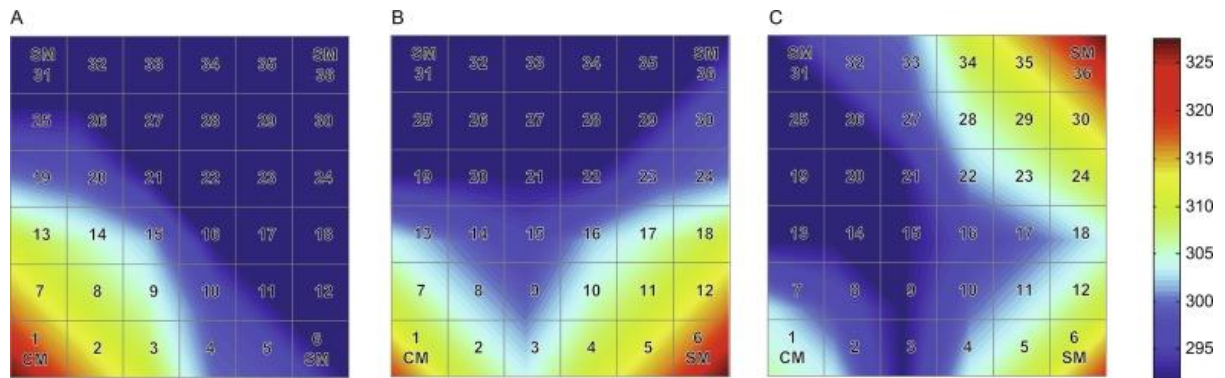
Ο βασικότερος σκοπός δεν είναι η μείωση της κατανάλωσης ενέργειας, αλλά η εξεύρεση κατάλληλου συνδυασμού εξοικονόμησης ενέργειας και η μείωση της απόδοσης. Το προϊόν καθυστερημένης ενέργειας EDP αποτελεί την ποσότητα, η οποία μπορεί να μελετηθεί στην περίπτωση αυτή και συγκρίνουμε την αποτελεσματικότητα των προτεινόμενων μεθόδων χρησιμοποιώντας αυτήν τη μέτρηση.

Ο αλγόριθμος HCPS παρουσιάζει καλύτερη μέση τιμή EDP σε σύγκριση με τη βασική γραμμή για όλα τα μεγέθη περιοχής 16, 36, 64 και 144 πυρήνα. Η εν λόγω μέθοδος εντοπίζει κορυφές με μεγάλους όγκους επικοινωνίας δίπλα στις κορυφές με χαμηλό όγκο επικοινωνίας σε ένα σύμπλεγμα ώστε να χρησιμοποιήσουν περισσότερες δυνατότητες κοινής χρήσης και να αυξήσουν την απόδοση. Εν αντιθέσει, ο αλγόριθμος HCPS προσπαθεί να τοποθετήσει μαζί κορυφές με υψηλό ποσοστό επικοινωνίας και να ελαχιστοποιήσει την ενέργεια επικοινωνίας. Από την άλλη πλευρά, η μικρή διάμετρος δικτύου του SCmesh μειώνει την καθυστέρηση του πακέτου με χαμηλό κόστος ενέργειας. Παρόλο που οι διασταυρώσεις του δρομολογητή είναι κάπως μεγάλες, ο μικρός αριθμός ενδιάμεσων δρομολογητών στα περισσότερα μοντέλα κυκλοφορίας μειώνει το κόστος ενέργειας. Επίσης, μέσω της τροφοδοσίας ισχύος με λογικούς πυρήνες σε μια περιοχή, επιτυγχάνεται εξοικονόμηση ενέργειας σε αποδεκτό επίπεδο. Σε δίκτυα με μεγαλύτερα μεγέθη και λιγότερα καθήκοντα, οι προτεινόμενες αντιστοιχίσεις μας είναι πιο ενεργειακά αποδοτικές από το PAT. Το SCmesh μπορεί να εξισορροπήσει την καθυστέρηση και την ενέργεια πιο αποτελεσματικά, με αποτέλεσμα ελαφρώς χαμηλότερη EDP από το πλέγμα. Με αποτέλεσμα το μέσο EDP του SCmesh να είναι 43,7% λιγότερο από το πλέγμα. Συμπεραίνουμε λοιπόν ότι τα αποτελέσματα δείχνουν ότι η χρήση του SCmesh έχει ένα μεγάλο πλεονέκτημα για την επίτευξη ενεργειακής απόδοσης.

1.6 Θερμική ανάλυση

Στην εικόνα 14 παρουσιάζεται η θερμική ανάλυση του SS υπό φορτίο X264 για 36-core NoC (55% σκούρο πυρίτιο) μετά από ένα, δύο και τρία διαδοχικά σπριντ. Δεδομένου ότι η SS χρησιμοποιεί ταυτόχρονες τεχνικές πυρήνα σπριντ, μετανάστευση εφαρμογών και πύλη ισχύος για τη διανομή της θερμότητας σε όλο το τσιπ, δύναται η αποφυγή των θερμικών

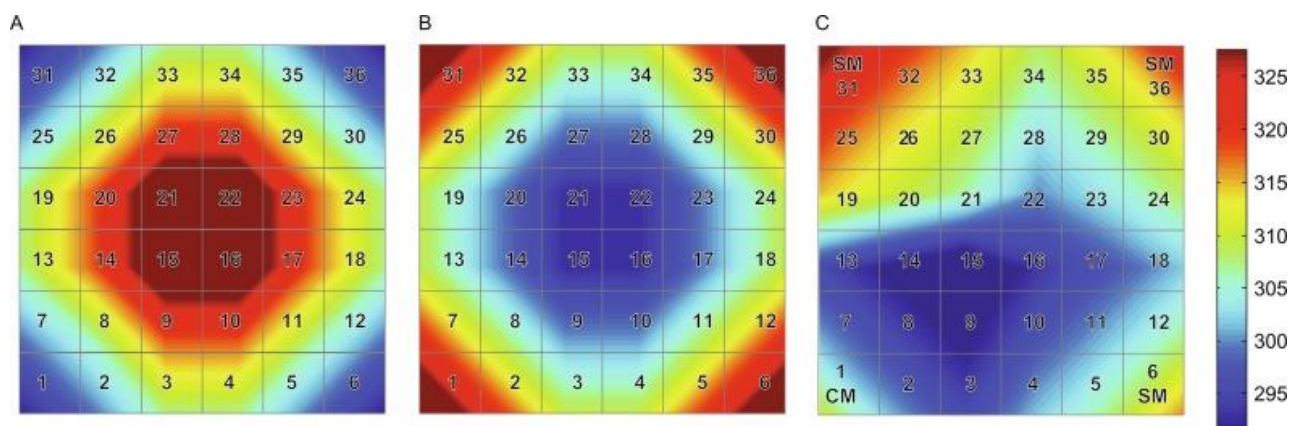
σημείων στο σύστημα. Η μέγιστη θερμοκρασία είναι 322,8 K και οι μέσες θερμοκρασίες του συστήματος είναι 298,9, 304,3 και 312,5 K μετά από ένα, δύο και τρία διαδοχικά σπριντ, αντίστοιχα.



Εικόνα 14: Θερμική κατανομή σε SS-36 (35% σκούρο πυρίτιο) υπό φορτίο X264

Στην εικόνα 14 παρουσιάζεται η θερμική ανάλυση διαφόρων αρχιτεκτονικών υπό φορτίο X264 για 36-core NoC (55% σκούρο πυρίτιο) μετά από τέσσερις διαδοχικούς σπινθήρες. Όπως μπορούμε να διακρίνουμε στην πρώτη εικόνα το CS καταλήγει σε ένα καυτό σημείο στο κέντρο του τσιπ. Δεδομένου ότι ο θερμικός σχεδιασμός δαπέδου του ΝΣ προσπαθεί να διαχωρίσει φυσικά τους λογικά συνδεδεμένους πυρήνες, η θερμότητα κατανέμεται στις γωνίες του τσιπ όπως απεικονίζεται στην δεύτερη εικόνα. Αυτή η πρόταση για τον σχεδιασμό του δαπέδου έχει ορισμένα μειονεκτήματα:

- ✓ Απαιτεί πρόσθετα γενικά έξοδα στο στάδιο του σχεδιασμού
- ✓ Είναι ιδιαίτερα εξειδικευμένη στην εφαρμογή
- ✓ Δεν είναι κατάλληλη για δυναμικό φόρτο εργασίας
- ✓ Οδηγεί σε υποβάθμιση της απόδοσης λόγω επικοινωνιών μεγάλων αποστάσεων μεταξύ φυσικώς διαχωρισμένων πυρήνων



Εικόνα 15 :Σύγκριση θερμικής κατανομής μεταξύ διαφορετικών αρχιτεκτονικών υπό φορτίο X264 (A) CC-36, (B) NC-36 και (C) SS-36 (55% σκούρο πυρίτιο)

Τέλος στην τρίτη εικόνα (της εικόνας 15) η SS ξεπερνά τις άλλες δύο αρχιτεκτονικές για να κατανείμει αποτελεσματικά τη θερμότητα σε όλο το τσιπ. Πιο συγκεκριμένα:

- ✓ Δεν απαιτεί κανένα σχεδιασμό δαπέδου που να λαμβάνει υπόψη την θερμοκρασία
- ✓ Δεν βασίζεται σε συγκεκριμένες τρέχουσες εφαρμογές για την αποφυγή καυτών σημείων
- ✓ Δεν απαιτείται η αλλαγή των φυσικών θέσεων των πυρήνων.[9]

Κεφάλαιο 2: Αρχιτεκτονική NoC

2.1 Εισαγωγή

Σε αυτό το κεφάλαιο της παρούσας πτυχιακής εργασίας θα μελετήσουμε τις αρχιτεκτονικές NoC. Οι αρχιτεκτονικές τσιπ δικτύου κατατάσσονται σε τέσσερις ομάδες:

❖ Διαμοιρασμός μέσων δικτύων

Ο σύνδεσμος μετάδοσης μοιράζεται μεταξύ όλων των κόμβων και ο μοναδικός κόμβος είναι εξουσιοδοτημένος χρόνος για να αποσταλούν οι πληροφορίες.

❖ Άμεσα δίκτυα

Κάθε κόμβος αποτελείται από δρομολογητή και συνδέσεις από σημείο σε σημείο με άλλους κόμβους.

❖ Έμμεσα δίκτυα

Κάθε κόμβος έχει σύνδεση με έναν διακόπτη ο οποίος έχει μια σύνδεση από σημείο σε σημείο με άλλους διακόπτες. Στα έμμεσα δίκτυα δημιουργείται μια λογική σύνδεση μέσα ενός συνόλου δρομολογητών ή διακοπών.

❖ Υβριδικά δίκτυα

Είναι ένας συνδυασμός των κοινόχρηστων μέσων άμεσων και έμμεσων δικτύων.

Στη συνέχεια θα γνωρίσουμε ορισμένα από τα βασικά χαρακτηριστικά γνωρίσματα μιας αναπτυγμένης αρχιτεκτονικής δικτύου on Chip. Αντί του παραδοσιακού σχεδίου δημιουργίας άμεσων συνδέσεων μεταξύ μπλοκ ή σύνδεσης όλων των μπλοκ σε ένα ή περισσότερα κοινά bus. Η εν λόγω αρχιτεκτονική συνεπάγεται τη σύνδεση κάθε μπλοκ με ένα εσωτερικό δίκτυο το οποίο είναι ενσωματωμένο σε διακόπτες και έχει ως ρόλο να κατευθύνει τα σήματα μεταξύ τους και μεταξύ των λειτουργικών μονάδων.

Κάθε ένας από τους διακόπτες αποτελεί έναν κόμβο δικτύου, παρόμοιο με τα αναλογικά σε παραδοσιακά δίκτυα δεδομένων. Ο διακόπτης χωρίζει τα δεδομένα σε μικρότερα τμήματα τα γνωστά με την ονομασία πακέτα και τα στέλνει στον παραλήπτη μέσω αλυσίδας μεταγενέστερων διακοπών. Στη συνέχεια κάθε ενδιάμεσος κόμβος θέτει τις κεφαλίδες των ληφθέντων πακέτων σε αναζήτηση προορισμών και τις μεταδίδει στις επόμενες, σύμφωνα με τους πίνακες δρομολόγησης. Θα πρέπει να σημειωθεί ότι τα πακέτα μπορούν να φτάσουν στον τελικό διακόπτη με διάφορους τρόπους, επειδή οι ενδιάμεσοι κόμβοι μπορούν να

αλλάξουν τις διαδρομές τους, ανάλογα με το φορτίο συγκεκριμένων συνδέσεων. Ο τελικός διακόπτης συλλέγει το αρχικό μήνυμα από τα πακέτα και το μεταδίδει στον παραλήπτη. Σε αυτό το σημείο αξίζει να αναφέρουμε ότι ένα τέτοιο σύστημα μεταγωγής επιτρέπει τον καθορισμό προτεραιοτήτων για διαφορετική κυκλοφορία καθώς επίσης και την εφαρμογή αλγορίθμων ποιότητας υπηρεσιών σε ένα σύστημα ενός τσιπ.

Η τοπολογία του Network on Chip βασίζεται σε τρία είδη στοιχείων:

- ❖ Διακόπτες
- ❖ Αγωγούς
- ❖ Διεπαφές δικτύου

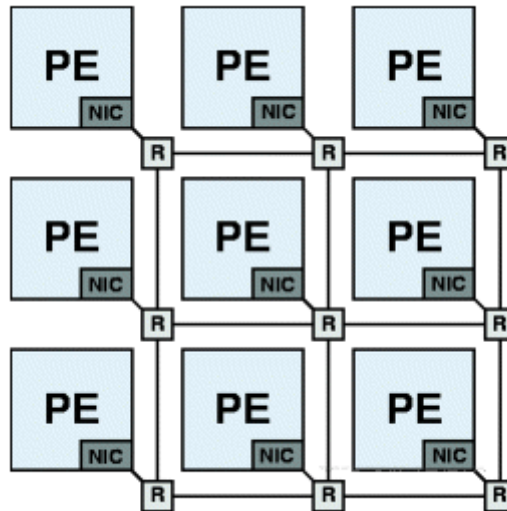
Οι διακόπτες αναλαμβάνουν το έργο της δρομολόγησης σημάτων μεταξύ των κόμβων του δικτύου, ανάλογα με την επιλεγμένη τοπολογία. Η αρχιτεκτονική του NoC προϋποθέτει τη χρήση ενός ισχυρού διακόπτη, ο οποίος θα παρέχει ελάχιστα επίπεδα καθυστέρησης. Αλλά χάρη στην εφαρμογή της, εκτός από την αυξημένη ισχύ επεξεργασίας, είναι δυνατό να επιτευχθεί η ευελιξία που παρέχεται από την ενσωμάτωση πυρήνων IP.

Οι αγωγοί παρέχουν φυσικές συνδέσεις μεταξύ των διακοπών και των διεπαφών δικτύου.

Οι διασυνδέσεις δικτύου αποτελούν τα στοιχεία NoC θα εξασφαλίσουν τη σύνδεση των επιμέρους στοιχείων SoC σε ένα κοινό εσωτερικό δίκτυο.

Μία γενική εφαρμογή Network on chip (βλ. NoC) αποτελείται από ένα σύνολο στοιχείων επεξεργασίας (βλ. PE) τα οποία είναι διατεταγμένα «σε πλέγμα» όπως φαίνεται στην εικόνα 16 που ακολουθεί. Δύναται να είναι του ίδιου τύπου λόγω χάρη CPU, ή διαφορετικού τύπου λόγω χάρη πυρήνες ήχου, βιντεοκασέτες, ασύρματοι πομποδέκτες και άλλα. Κάθε PE συνδέεται με ένα τοπικό δρομολογητή μέσω ενός διαχειριστή διεπαφής δικτύου NIC, το οποίο με τη σειρά του συνδέεται με γειτονικούς δρομολογητές που σχηματίζουν ένα δίκτυο. Το εν λόγω δίκτυο βασίζεται σε πακέτα. Η μονάδα NIC πακετάρει, ουσιαστικά αποσυμπιέζει τα δεδομένα από και προς το υποκείμενο δίκτυο διασύνδεσης. Το PE συνδυαστικά με το NIC σχηματίζουν ένα δίκτυο στο οποίο οι κόμβοι επικοινωνούν μεταξύ τους εισάγοντας πακέτα δεδομένων στο δίκτυο. Δεν θα μπορούσαμε σε αυτό το σημείο να παραλείψουμε ότι τα πακέτα διασχίζουν το δίκτυο προς το δικό τους προορισμό με βάση διαφορετικούς αλγόριθμους δρομολόγησης και μηχανισμούς ελέγχου ροής.

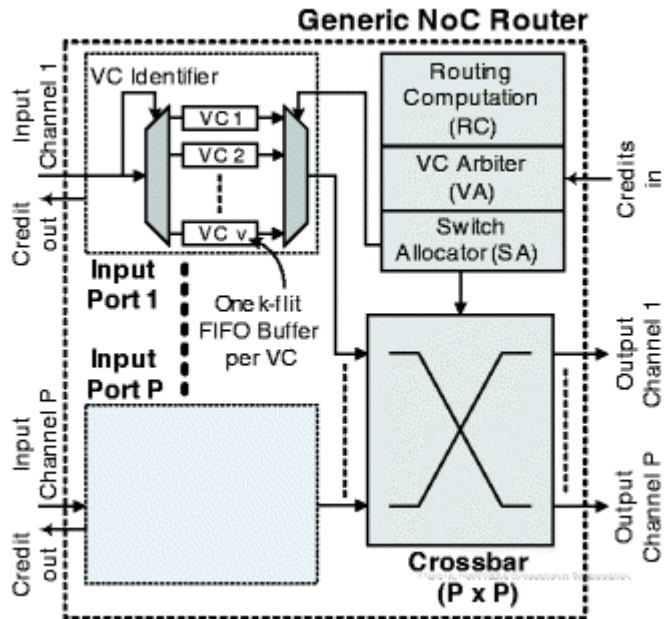
Στην παρακάτω εικόνα 16 απεικονίζεται μία γενική αρχιτεκτονική NoC 3 * 3.



Εικόνα 16: Γενική αρχιτεκτονική NoC 3 * 3

Η καρδιά ενός δικτύου on-chip είναι ουσιαστικά ένας δρομολογητής που αναλαμβάνει τον ρόλο της καθοδήγησης και του συντονισμού της ροής δεδομένων. Η αρχιτεκτονική που χρησιμοποιείται από τους συμβατικούς δρομολογητές NoC παρουσιάζεται στην εικόνα 17 που ακολουθεί. Η λειτουργία του δρομολογητή περιστρέφεται γύρω από δύο θεμελιώδη καθεστώτα:

- ❖ Το datapath
- ❖ Τη σχετική λογική ελέγχου



Εικόνα 17: Ένας συμβατικός δρομολογητής NoC

Στην εικόνα 17 απεικονίζεται ένας συμβατικός δρομολογητής NoC. Το datapath αποτελείται από έναν αριθμό καναλιών εισόδου καθώς επίσης και εξόδου, για τη διευκόλυνση της μεταγωγής πακέτων, καθώς επίσης και της μετάβασης. Γενικά ο δρομολογητής διαθέτει κανάλια, πύλη εισόδου και θύρες στις περισσότερες εφαρμογές. Συγκεκριμένα:

- 4 εισόδους από τις τέσσερις κατευθυντήριες κατευθύνσεις **Βορρά -Ανατολή -Νότο - Δύση**
- Ένα τοπικό στοιχείο επεξεργασίας PE το οποίο είναι συνδεδεμένο με ένα router NoC

Για να ελαχιστοποιηθεί η πολυπλοκότητα του δρομολογητή κυκλοφοριακής συμφόρησης οι δρομολογητές NoC θεωρούνται συνήθως ότι συνδέονται με έναν μόνο PE .

Τα κανάλια εισόδου και εξόδου μπορούν να αποτελούνται από μόνο κατευθυντήριες σύνδεσης όπως μπορούμε να παρατηρήσουμε στην εικόνα 18. Δύναται να είναι αμφίδρομες ή ακόμα και σειριακής σύνδεσης. Η προσωρινή αποθήκευση σε ένα δρομολογητή δικτύου είναι απαραίτητη λόγω της συμφόρησης της αμφισβήτησης του συνδέσμου εξόδου και των καθυστερήσεων επεξεργασίας εντός του δρομολογητή. Χαρακτηριστικό παράδειγμα αποτελεί ο υπολογισμός, κάτι που δύναται να παρεμποδίσει τη ροή δεδομένων στην

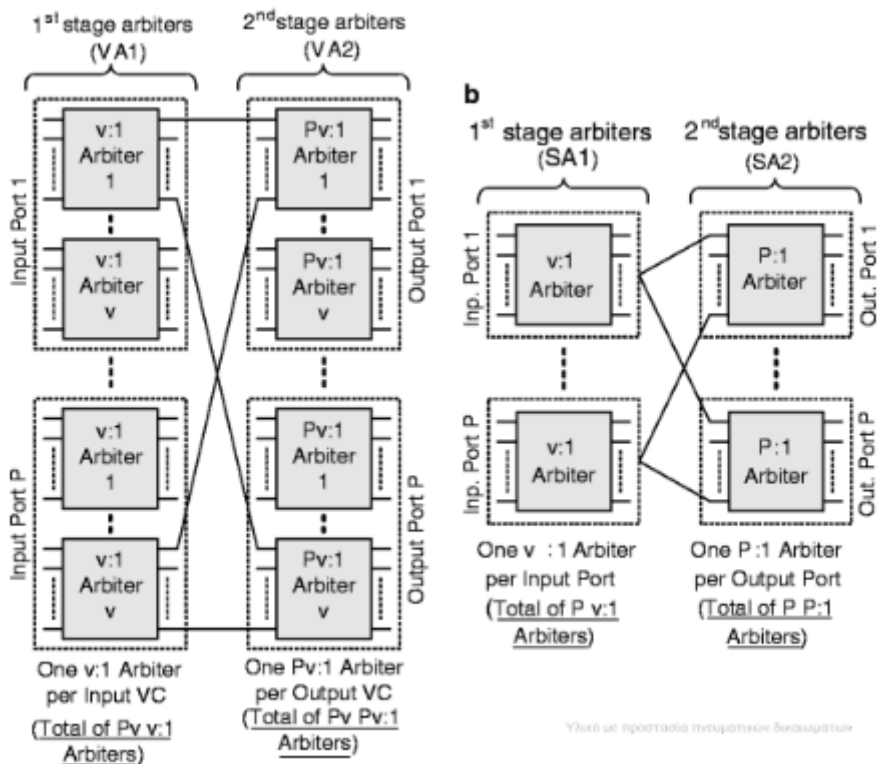
περίπτωση δρομολογεί τον NoC που βασίζονται σε εικονικά κανάλια. Κάθε θύρα εισόδου αποτελείται από έναν αριθμό μπουτόν FIFO. Κάθε FIFO αντιστοιχεί σε ένα κανάλι ένα για παράδειγμα μπορούμε να παρατηρήσουμε στην εικόνα 18 όπου κάθε θύρα εισόδου έχει ένα συγκεκριμένο αριθμό εικονικών καναλιών καθένα από τα οποία έχει ένα αποκλειστικό K-flit FIFO δεδομένου του πολύ περιορισμένου χώρου αποθήκευσης.

Ο έλεγχος ροής σκουληκιών Wormhole flow control χαλαρώνει τους περιορισμούς στο μέγεθος του buffer σε σύγκριση με την αποθήκευση και την προώθηση και την εικονική αποκοπή. Η λογική δρομολόγηση καθορίζει την καρδιά του δρομολογητή NoC και αποτελείται από τέσσερα στοιχεία:

- ❖ Τη μονάδα υπολογισμού δρομολόγησης
- ❖ Τη λογική της διαιτησίας του καναλιού
- ❖ Το cross bar

Η μονάδα RC είναι υπεύθυνη για την κατεύθυνση της επίλυσης κεφαλίδας ενός εισερχόμενου πακέτου στο κατάλληλο φυσικό κανάλι εξόδου PC ή και την υπαγωγή των έγκυρων εξόδων VC εντός του επιλεγμένου υπολογιστή. Τα VC εξόδου είναι ουσιαστικά τα VC εισόδου των παρακείμενων δρομολογητών. Η δρομολόγηση γίνεται με βάση τη διεύθυνση προορισμού του πακέτου η οποία υπάρχει στην κεφαλίδα και μπορεί να είναι ντετερμινιστική ή προσαρμοστική. Το RC αποτελεί μία λειτουργία όπου ένα πακέτο εκτελείται μία φορά εντός της δρομολόγησης.

Το VC αποφασίζει για τους «νικητές δεδομένων» σε περίπτωση που η λειτουργία δρομολόγησης ενδέχεται να μην καθορίζει μία συγκεκριμένη έξοδο στην απαιτούμενη φυσική θύρα εξόδου διαιτησίας. Υπάρχουν δύο στάδια διαιτησίας όπως φαίνεται στην εικόνα 18 που ακολουθεί :



Εικόνα 18: Λογική διαιτησίας/ κατανομής δρομολογητή NoC

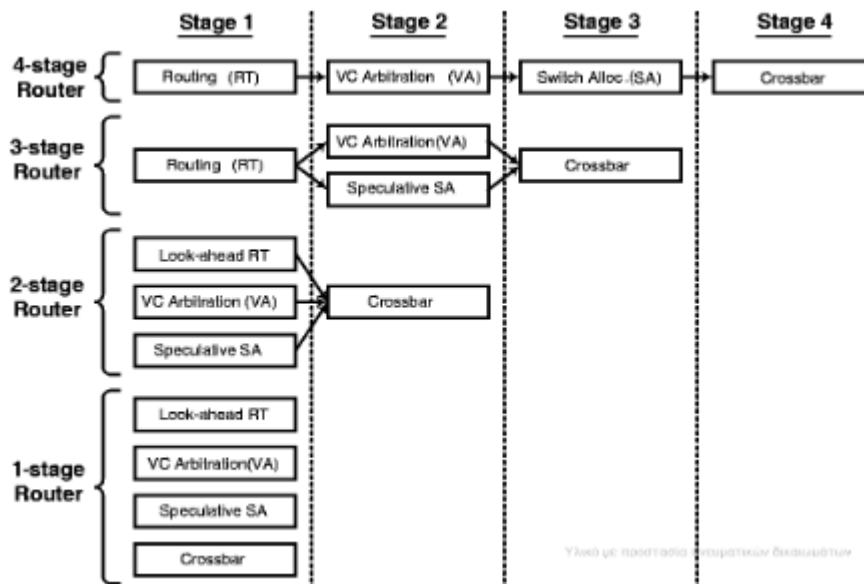
Το στάδιο VA1 μειώνει τον αριθμό αιτήσεων από κάθε είσοδο σε ένα. Αυτό εξασφαλίζει το αίτημα ενός μόνου VC σε μία συγκεκριμένη θύρα εξόδου από κάθε είσοδο VC. Συνεπώς απαιτούνται συνολικά ένας διαιτητής στο πρώτο στάδιο διαιτησίας και ένας διαιτητής για κάθε στάδιο εισόδου VC. Στη συνέχεια το αίτημα της νίκης από κάθε είσοδο VC προχωρά στο δεύτερο στάδιο διαιτησίας VC. Σε αυτό το στάδιο απαιτούνται συνολικά ένας διαιτητής ένας διαιτητής για κάθε εξόδου.

Στην εικόνα 19 παρουσιάζουμε τη λογική διαιτησίας και τη διαιτησία κατανομής ενός δρομολογητή NoC. Η διαιτησία VCA αποτελεί εναλλαγή της SA.

Η μονάδα AE διαιτητεύει μεταξύ όλων των VC που ζητούν πρόσβαση στο crossbar και χορηγεί άδεια στα νικητήρια πονταρίσματα.. Επίσης διακρίνεται σε δύο στάδια, το πρώτο τοπικό στάδιο SA1 αντιπροσωπεύει την κοινή χρήση μίας μόνο θήρας με αριθμό, βάση όλα τα άλλα, εκτός της ίδιας σειράς εισόδου ανταγωνίζονται μεταξύ τους τοπικά για πρόσβαση στα φυσικά κανάλια εξόδου. Το δεύτερο στάδιο SA2 διαιτητεύει μεταξύ των αιτημάτων που

κερδίζουν από κάθε είσοδο για κάθε θύρα εξόδου. Η βαθμίδα A2 ρυθμίζει ανάλογα τα σήματα ελέγχου και έχει παρόμοια δομή με τη μονάδα VA. Αποτελείται από λογικά πανομοιότυπους διαιτητές διατεταγμένους με κλιμακωτό τρόπο. Η διαφορά εκτείνεται μόνο στο μέγεθος και τον αριθμό των διαιτητών που χρησιμοποιούνται.

Στην παρακάτω εικόνα παρουσιάζεται μία λειτουργία per-flit. Ουσιαστικά εκτελείται σε όλα τα stage που διέρχονται από το δρομολογητή όχι μόνο με τις κεφαλίδες. Οι νικητές της ΑΕ μπορούν στη συνέχεια να διασχίσουν την εγκάρσια γραμμή και τοποθετούνται στους αντίστοιχους συνδέσμους εξόδου, οι απλές εφαρμογές δρομολογητή απαιτούν ένα κύκλο ρολογιού για κάθε στοιχείο μέσα στο δρομολογητή όπως μπορούμε να παρατηρήσουμε στην κορυφή του σχήματος που ακολουθεί:



Εικόνα 19:Υλοποιήσεις αγωγού router NoC

Οι αρχιτεκτονικές δρομολογητή χαμηλής καθυστέρησης παραλληλίζουν της VA και της SA χρησιμοποιώντας κατανομή η οποία προβλέπει τον νικητή της κοινής VA. Στην εικόνα 19 παρουσιάζεται η δρομολόγηση προς τα εμπρός που μπορεί επίσης να χρησιμοποιηθεί για την εκτέλεση δρομολόγησης στον κόμβο $i+1$ στον κόμβο i . Αυτές οι δύο τροποποιήσεις οδήγησαν σε δρομολογητές δύο σταδίων και μία φάσης οι οποίοι παραλληλίζουν στα διάφορα στάδια λειτουργίας όπως μπορούμε να παρατηρήσουμε στο κάτω μισό της εικόνας.

2.2 Αρχιτεκτονικές NoC χαμηλής καθυστέρησης και χαμηλής κατανάλωσης ενέργειας

Η ελαχιστοποίηση του ρεύματος καθώς επίσης και της λανθάνουσας κατάστασης των NoC έχει αντιμετωπιστεί αρκετές φορές στο παρελθόν. Κατά κύριο λόγο μέσω :

- Της μείωσης του αριθμού λυκίσκου
- Της λανθάνουσας απόκλισης ανά ώρα
- Της παρεμπόδισης του λανθάνοντος χρόνου λειτουργίας του δικτύου
- Με τη χρήση τεχνολογιών χαμηλού λανθάνοντος χρόνου ισχύος σε κυκλώματα

Ακολουθεί εκτενέστερη αναφορά.

2.2.1 Μείωση του Hop Count Network

Η ελαχιστοποίηση της μείωσης των πακέτων λυκίσκου υπήρξε ο κύριος τρόπος να ελαχιστοποιηθεί η ισχύς καθώς επίσης και η καθυστέρηση σε πολλά σχέδια NoC. Αυτό συμβαίνει διότι, όταν ο μέσος αριθμός των ενδιάμεσων δρομολογητών σε μια διαδρομή μειώνεται, η κατανάλωση ενέργειας και τα καθυστερημένα έξοδα των δρομολογητών μειώνονται αναλόγως. Στόχος είναι η μείωση του αριθμού λυκίσκου με τις τοπολογίες υψηλής ραδιενέργειας χαμηλής διάμετρος, τα μεταρρυθμισμένα δίκτυα και τις τοπολογίες ad hoc. Οι τοπολογίες δημιουργούνται προσθέτοντας επιπλέον συνδέσμους σε μια τυποποιημένη τοπολογία, ενώ οι τοπολογίες ad hoc παράγονται από το μηδέν τυχαία ή με βάση το μοντέλο κυκλοφορίας της εφαρμογής.

Ο πυρήνας της χαρτογράφησης του δικτύου αποτελεί μια συγκεκριμένη μέθοδος εφαρμογής που ελαχιστοποιεί βέλτιστα τον μέσο αριθμό λυκίσκου για μια εφαρμογή-στόχο, όταν η εφαρμογή και το πρότυπο κυκλοφορίας της μπορούν να προδιαγραφούν κατά τον σχεδιασμό. Συμπεραίνουμε λοιπόν ότι οι παραπάνω μέθοδοι μειώνουν την μέση μέτρηση των πακέτων λυκίσκου τοποθετώντας τους πυρήνες με υψηλή ζήτηση επικοινωνίας κοντά ο ένας στον άλλο.

Πολλές μελέτες ασχολούνται με το ζήτημα της βελτιστοποίησης τοπολογίας στην εποχή σκούρου πυριτίου.

2.2.2 Μείωση καθυστέρησης φραγής

Η καθυστέρηση του δικτύου διαχωρίζεται σε:

- Καθυστέρηση αποκλεισμού
- Καθυστέρηση διαδρομής σύνδεσης / δρομολογητή (λανθάνουσα κατάσταση μηδενικού φορτίου)

Η ανεπιτυχής κατανομή εικονικού καναλιού και διακόπτη λόγω σύγκρουσης με άλλα πακέτα είναι οι πηγές καθυστέρησης αποκλεισμού.

Η προσαρμοστική δρομολόγηση είναι η πρωταρχική προσέγγιση για τη μείωση της καθυστέρησης παρεμπόδισης, κατευθύνοντας τα πακέτα στις διαδρομές με λιγότερη καθυστέρηση. Οι μέθοδοι που καθιστούν την απόφαση δρομολόγησης έχοντας ως βάση μετρήσεις τοπικής και παγκόσμιας συμφόρησης ή γνωρίζουν την κυκλοφοριακή συμπεριφορά της εφαρμογής, δύναται να ισορροπήσουν καλύτερα την κυκλοφορία σε όλο το δίκτυο και να ελαχιστοποιήσουν τα θερμικά σημεία του δικτύου.

Ο αλγόριθμος διαιτησίας παίζει επίσης καθοριστικό ρόλο στη μείωση καθώς επίσης και στην εξισορρόπηση της καθυστέρησης αποκλεισμού.

Το επίπεδο QoS των πακέτων και των κατηγοριών μηνυμάτων επίσης μπορεί να χρησιμοποιηθεί ως κριτήριο διαιτησίας σε ορισμένες προηγούμενες εργασίες. Ορισμένα έργα επικεντρώνονται στη μείωση της πιθανότητας του VC και στην αποτυχία της διαιτησίας λόγω της προσαρμογής του χρόνου προσαρμογής και αμφίδρομη NoC, όπου κάθε κανονικός σύνδεσμος NoC μπορεί να αναδιαμορφωθεί δυναμικά για να μεταδώσει τα πλέγματα προς οποιαδήποτε κατεύθυνση. Ο ανεπιτυχής ρυθμός κατανομής του διακόπτη μειώνεται αποτελεσματικά με δανεισμό του εύρους ζώνης από παρακείμενους συνδέσμους για έναν κύκλο στην τρίτη διάσταση σε ένα 3D NoC και την ετερογενή κατανομή των πόρων υπέρ διαδρομών δικτύου με υψηλή κίνηση. Η εναλλαγή του ποσοστού αποτυχίας διαιτησίας μπορεί επίσης να μειωθεί με την παράλληλη σύντομης προώθησης πακέτων η οποία επιτρέπει την παράδοση δύο σύντομων πακέτων ελέγχου παράλληλα στον ίδιο σύνδεσμο.

2.2.3 Μείωση καθυστέρησης ανά λυκίσκο

Ακόμη ένα είδος καθυστέρησης αποτελεί η καθυστέρηση ανά χρονικό διάστημα. Ουσιαστικά είναι ο χρόνος που απαιτείται για να περάσουν τα στάδια του αγωγού του δρομολογητή κάτι το οποίο έχει μεγάλη επίδραση στη συνολική απόδοση του NoC. Για να μειωθεί αυτή η

λανθάνουσα κατάσταση, ορισμένες μέθοδοι συχνά επιδιώκουν να μειώσουν τα στάδια των αγωγών NoC δρομολογητών. Λόγου χάρη η δρομολόγηση προς τα εμπρός και η κατανομή VC / switch είναι δύο πρωταρχικοί τρόποι για να μειωθούν τα στάδια του αγωγού του δρομολογητή. Η παράκαμψη του δρομολογητή είναι η πρωταρχική προσέγγιση για την απευθείας δρομολόγηση σε προκαθορισμένες διαδρομές εντός των δρομολογητών για την παράκαμψη των σταδίων του αγωγού. Ορισμένες εργασίες λόγου χάρη:

- Ο έλεγχος ροής token
- Τα ψευδοκυκλώματα
- Οι εικονικές συνδέσεις σημείου προς σημείο

έδειξαν ότι η παράκαμψη του δρομολογητή μπορεί να οδηγήσει σε σημαντική μείωση ισχύος / καθυστέρησης.

Ένα πτερύγιο μπορεί να διασχίσει 9 έως 11 λυκίσκους ενός σχεδιασμού NoC σε ένα σημείο δρομολογημένο σε 45 nm σε ένα κύκλωμα ρολογιού 1 GHz. Για τον παραπάνω λόγο προτάθηκε το SMART NoC. Το SMART δημιουργεί δυναμικά μονοπάτια παράκαμψης πολλαπλών διαδρομών ενός κύκλου σε συνηθισμένους συνδέσμους NoC και διασταυρωμένες ράβδους χωρίς την προσθήκη επιπλέον φυσικών καναλιών για την παράκαμψη αρκετών ενδιάμεσων δρομολογητών. Μια διαδρομή πολλαπλών αγορών έχει ρυθμιστεί σε βάση ανά κύκλο από ένα δίκτυο ελέγχου. Στο SMART, η δημιουργία διαδρομών παράκαμψης περιλαμβάνει την προσθήκη ενός κύκλου στα στάδια του αγωγού του δρομολογητή. Το PRA εξαλείφει αυτόν τον επιπλέον κύκλο προωθώντας τις διαδρομές για την αύξηση της απόδοσης. Αξιοποιεί τον χρόνο αποκλεισμού πακέτων στον οποίο ένα πακέτο είναι αναρτημένο σε ένα δρομολογητή επειδή οι απαιτούμενοι πόροι είναι αφιερωμένοι σε ένα άλλο πακέτο και ο χρόνος μεταξύ του τέλους της ετικέτας και της αναζήτησης δεδομένων για πακέτα δεδομένων που αποστέλλονται σε απάντηση σε ένα αίτημα πακέτο για την εγκατάσταση ενεργής διαδρομής.

Το NoC-Out αποτελεί μια βελτιστοποιημένη διασύνδεση για εφαρμογές διακομιστών και προσφέρει και την υψηλή τοπολογία πεταλούδων με υψηλή ραδιενέργεια για να μειώσει τον αριθμό των λυκίσκων και τους απλούς δρομολογητές χαμηλής λανθάνοντος χρόνου για να μειώσει την καθυστέρηση ανά ώρα. Στο NoC-Out, οι πυρήνες ομαδοποιούνται σε συστοιχίες, διασυνδεδεμένες με μια τοπολογία πεταλούδας. Κάθε σύμπλεγμα συσχετίζεται με μια μνήμης cache τελευταίου επιπέδου και χρησιμοποιείται ένας απλός και γρήγορος NoC βασισμένος στο δακτύλιο για τη σύνδεση των πυρήνων μέσα σε ένα σύμπλεγμα.

Το Bufferless NoC αποτελεί μια κατηγορία αρχιτεκτονικών που χωρίζουν τα στάδια του αγωγού δρομολογητών διαβιβάζοντας τα πακέτα σε κάποια θύρα εξόδου, ακόμη και σε μια μη προτιμητέα, σε έναν μόνο κύκλο. Με τον τρόπο αυτό, εξαλείφονται τα buffering καθώς επίσης και ο έλεγχος της ροής και η πολύπλοκη διαιτησία. Συνεπώς τα πακέτα να μην αναβαθμίζονται ή να πέφτουν, αν δεν είναι διαθέσιμη η προτιμώμενη θύρα εξόδου τους. Εύκολα μπορούμε να συμπεράνουμε λοιπόν ότι αυξάνει την καθυστέρηση του δικτύου υπό μέτρια και υψηλά φορτία κυκλοφορίας.

Η εναλλαγή κυκλωμάτων είναι ένας εναλλακτικός σχεδιασμός NoC και αποτέλεσε το επίκεντρο πολλών ερευνών στο παρελθόν. Η μετάδοση δεδομένων με κυκλώματα διαδρομής σε επιλεγμένες αποκλειστικές διαδρομές και δεν χρειάζεται να περάσει από το buffer, τη δρομολόγηση, την κατανομή VC, τη διαιτησία εξόδου και τον έλεγχο της ροής όταν έχει ρυθμιστεί ένα κύκλωμα. Ωστόσο, η εναλλαγή κυκλωμάτων υστερεί σε καθυστέρηση εγκατάστασης μεγάλου κυκλώματος και από κακή χρήση εύρους ζώνης. Το πρόγραμμα πολλαπλής συμπίεσης Time-Division μετριάζει τη χαμηλή χρήση εύρους ζώνης της εναλλαγής κυκλώματος διαιρώντας το εύρος ζώνης ζεύξης σε πολλαπλές χρονικές θυρίδες και κατανέμοντας κάθε υποδοχή σε ένα κύκλωμα. Παρόλο που αυξάνει τη χρήση του εύρους ζώνης, η μεγάλη πολυπλοκότητα της κατανομής των χρονοθυρίδων παρουσιάζει σημαντικές δυσκολίες στη χρήση της εναλλαγής κυκλωμάτων.

Ο μακρὺς χρόνος ρύθμισης αφαιρείται επίσης από την καθυστέρηση του πακέτου από άκρο σε άκρο μέσω μιας προληπτικής ρύθμισης κυκλώματος. Η μεταγωγή κρύβει το χρόνο εγκατάστασης του μακρού κυκλώματος, έχοντας ζητήσει τα πακέτα να διατηρούν ένα κύκλωμα για το αναμενόμενο πακέτο απόκρισης καθώς ταξιδεύουν προς τον προορισμό. Ο έλεγχος ροής κατά την κράτηση είναι μια άλλη προσπάθεια να δεσμευτούν ενεργά οι πόροι. Για το σκοπό αυτό, ένα πλέγμα ελέγχου διασχίζει το δίκτυο μπροστά από τις αντίστοιχες πύλες δεδομένων για να διατηρεί τα buffer και το εύρος ζώνης καναλιού. Τη συγκεκριμένη μέθοδο χρησιμοποιεί ένα γρηγορότερο δίκτυο ελέγχου ώστε να μπορεί να εγγυηθεί ότι η πτερυγία ελέγχου θα οδηγήσει πάντα τις αντίστοιχες σειρές δεδομένων.

2.2.4 Τεχνολογίες κυκλωμάτων χαμηλής καθυστέρησης ισχύος

Οι αναδυόμενες και μη συμβατικές τεχνολογίες κυκλωμάτων έχουν οδηγήσει σε νέες ευκαιρίες για τη μείωση του ρεύματος / καθυστέρησης του NoC. Πιο συγκεκριμένα τα οπτικά, ασύρματα τρισδιάστατα δίκτυα-σε-τσιπ εμφανίζουν περισσότερες υποσχέσεις για την αντικατάσταση των υφιστάμενων ηλεκτρικών διασυνδέσεων.

Επιπροσθέτως δεν θα μπορούσαμε να παραλείψουμε να αναφερθούμε στο το network-on-interposer. Το network-on-interposer αποτελεί ένα νέο σχέδιο διασύνδεσης που βελτιώνει σημαντικά το προφίλ ενέργειας / απόδοσης των 2D τσιπ επιταχύνοντας και ελαχιστοποιώντας τη χρήση ενέργειας της μεταφοράς δεδομένων μεταξύ των πυρήνων. [2][3][4]

Κεφάλαιο 3ο : SoC

3.1 Εισαγωγή στο σύστημα σε Chip

Ένα σύστημα σε ένα τσιπ γνωστό με την ονομασία SoC, είναι ουσιαστικά ένα ολοκληρωμένο κύκλωμα ή ένα ολοκληρωμένο κύκλωμα που λαμβάνει μια ενιαία πλατφόρμα και ενσωματώνει ένα ολόκληρο ηλεκτρονικό σύστημα πάνω σε αυτό. Τα συστατικά στοιχεία τα οποία ένα SoC γενικά φαίνεται να ενσωματώνει μέσα του περιλαμβάνουν:

- ❖ Μια κεντρική μονάδα επεξεργασίας
- ❖ Θύρες εισόδου και εξόδου
- ❖ Εσωτερική μνήμη
- ❖ Αναλογικές μονάδες εισόδου και εξόδου

Ανάλογα με το είδος του συστήματος που έχει μειωθεί στο μέγεθος ενός τσιπ, μπορεί να εκτελέσει διάφορες λειτουργίες όπως επεξεργασία σήματος, ασύρματη επικοινωνία, τεχνητή νοημοσύνη και άλλα.

Το System-on-Chip όπως προαναφέραμε είναι το ολοκληρωμένο σύστημα που ενσωματώνει όλα τα κυκλώματα του συστήματος στο ενιαίο τσιπ (SoC) αποτελεί την πιο προηγμένη μορφή η οποία χρησιμοποιεί ισχυρούς επεξεργαστές και διάφορα περιφερειακά. Αποτελείται από ενσωματωμένο υλικό και λογισμικό που ελέγχει τους επεξεργαστές, τους ελεγκτές και άλλα τα περιφερειακά.

Η SoC δημιουργεί ενσωματωμένα είδη για συστήματα προσομοίωσης λειτουργικού συστήματος και άλλα πολύπλοκα συστήματα. Συμβατικά System-on-Chips (SoCs) γίνονται χρησιμοποιώντας προ-σχεδιασμένα λογικά μοντέλα πολυσύνθετων κυκλωμάτων γνωστών ως "κυκλωμάτων πυρήνων" που παρέχουν μια ποικιλία εφαρμογών χρήση υπολογιστή. Αυτά τα προκαθορισμένα λειτουργικά μπλοκ είναι συνήθως γνωστά ως "Circuit Cores".

Ένα SOC αποτελείται από τον ενσωματωμένο μικροεπεξεργαστή πυρήνα κυκλώματος και από έναν ή περισσότερους πυρήνες κυκλώματος για την εκτέλεση μεγάλου αριθμού λειτουργιών πληροφορικής.

Οι επεξεργαστές δεδομένων του συστήματος επί-τσιπ (SOC) βασίζονται χαρακτηριστικά σε υψηλούς βαθμούς χαμηλού επιπέδου ολοκλήρωσης και σε ένα ενιαίο ολοκληρωμένο κύκλωμα IC.

3.2 Γιατί SoC

Ένα από τα βασικά κίνητρα πίσω από τη δημιουργία συστημάτων σε ένα τσιπ είναι :

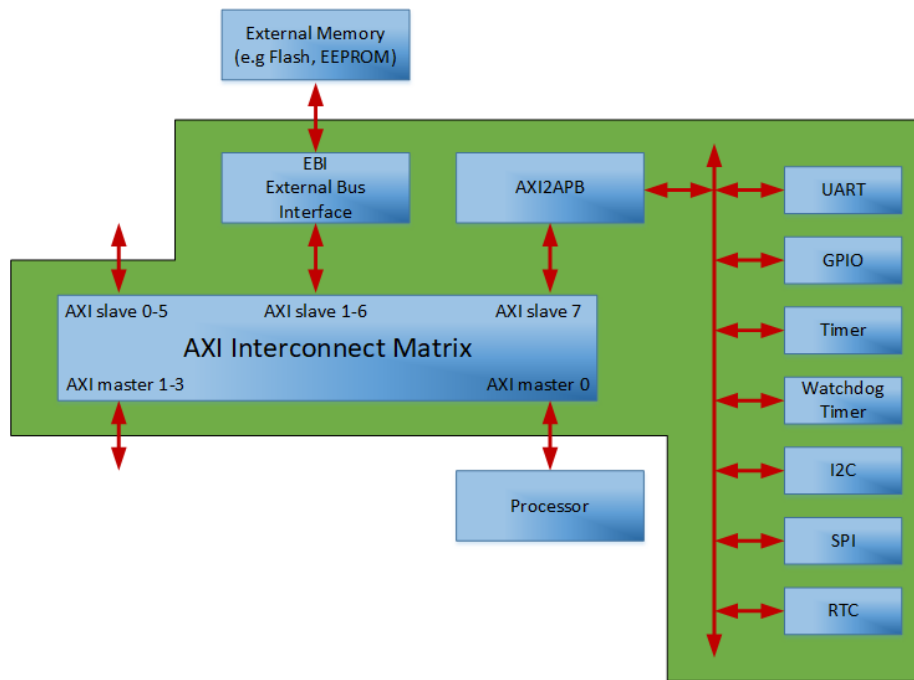
- ❖ Η μείωση των ενεργειακών απόβλητων
- ❖ Η εξοικονόμηση του κόστους των δαπανών
- ❖ Η μείωση του χώρου που καταλαμβάνουν τα μεγάλα συστήματα

Τα SoC μας έδωσαν τη δυνατότητα να δημιουργήσουμε μια πληθώρα φορητών συσκευών που μπορούμε άνετα να μεταφέρουμε οπουδήποτε και παντού μαζί μας χωρίς να χρειαζόμαστε συμβιβασμούς σχετικά με την ικανότητα και τη λειτουργικότητα των συσκευών. Ουσιαστικά χρησιμοποιούνται σε συστήματα που σχετίζονται με:

- ❖ Το Διαδίκτυο
- ❖ Τα ενσωματωμένα συστήματα
- ❖ Τα smartphones
- ❖ Τα αυτοκίνητα

Η εφαρμογή των SoC στον πρακτικό κόσμο είναι σχεδόν απεριόριστη και ανεκτίμητη. Χρησιμοποιούνται στις περισσότερες, φορητές τεχνολογίες, λόγω χάρη smartphones, κάμερες, tablet και άλλες ασύρματες τεχνολογίες. Το smartphone σας είναι ένα καλό παράδειγμα για το πώς λειτουργεί ένα σύστημα στο τσιπ. Όταν χρησιμοποιείτε το κινητό σας τηλέφωνο, δεν το χρησιμοποιείτε μόνο για να πραγματοποιείτε και να λαμβάνετε κλήσεις αλλά μπορείτε να το χρησιμοποιήσετε για να περιηγηθείτε στο διαδίκτυο, να προβάλετε βίντεο, να ακούσετε ήχο, να τραβήξετε φωτογραφίες και άλλα. Τίποτα από αυτά δεν θα ήταν δυνατό χωρίς να έχουν πολλαπλά συστατικά στοιχεία όπως κάρτα γραφικών, υποστήριξη στο διαδίκτυο, ασύρματες συνδέσεις, GPS και άλλα στοιχεία. Ένα SoC σας επιτρέπει να παίρνετε όλα αυτά τα εξαρτήματα, να τα τοποθετείτε σε ένα ενιαίο τσιπ, να το συρρικνώνετε σε μέγεθος που μπορεί να χωρέσει στην παλάμη του χεριού σας .

Η τεχνολογία SoC χρησιμοποιείται επίσης σε μικρότερους προσωπικούς υπολογιστές και φορητούς υπολογιστές για τη μείωση της κατανάλωσης ενέργειας και τη βελτίωση της απόδοσης του tablet χρησιμοποιώντας ένα μοναδικό τσιπ για τη διαχείριση όλων των διαφόρων πτυχών του συστήματος.



Εικόνα 20: AXI Interconnect Matrix

3.3 Από τι αποτελείται ένα SoC

Ένα σύστημα στο τσιπ πρέπει να έχει έναν επεξεργαστή στον πυρήνα του, ο οποίος θα καθορίζει τις λειτουργίες του. Ουσιαστικά ένα SoC αποτελείται από πολλούς πυρήνες επεξεργαστών. Πιο συγκεκριμένα δύναται να είναι:

- ❖ Ένας μικροελεγκτής
- ❖ Ένας μικροεπεξεργαστής
- ❖ Ένας επεξεργαστής ψηφιακών σημάτων
- ❖ Ένας επεξεργαστής που καθορίζει την εφαρμογή

Επίσης το τσιπ πρέπει να έχει τις μνήμες του που θα του επιτρέψουν να κάνει υπολογισμούς.

Λόγου χάρη :

- ❖ RAM
- ❖ ROM
- ❖ EEPROM
- ❖ Flash

Το επόμενο πράγμα που πρέπει να διαθέτει ένα SoC είναι οι εξωτερικές διεπαφές που θα τον βοηθήσουν να συμμορφωθεί με τα πρότυπα επικοινωνίας της βιομηχανίας λόγω χάρη:

- ❖ USB
- ❖ Ethernet
- ❖ HDMI

Δύναται επίσης να ενσωματώσει ασύρματη τεχνολογία και να περιλαμβάνει πρωτόκολλα που αφορούν WiFi και Bluetooth καθώς και μια μονάδα GPU ή μια γραφική μονάδα επεξεργασίας για να βοηθήσει στην απεικόνιση της διασύνδεσης. Ακόμη δύναται να περιλαμβάνει:

- ❖ Ρυθμιστές τάσης
- ❖ Συστήματα ελέγχου βρόγχου κλειδώματος φάσης
- ❖ Ταλαντωτές
- ❖ Ρολόγια
- ❖ Χρονοδιακόπτες
- ❖ Μετατροπείς σήματος
- ❖ Δίαυλο εσωτερικής διασύνδεσης
- ❖ Δίκτυο για σύνδεση όλων των μεμονωμένων μπλοκ

3.4 Πλεονεκτήματα SoC

Σε αυτό το υποκεφάλαιο θα αναφερθούμε σε ορισμένα από τα πιο σημαντικά πλεονεκτήματα των SoCs. Μερικά από τα οποία είναι:

- Η εξοικονόμηση ενέργειας
- Η εξοικονόμηση χώρου
- Η μείωση του κόστους
- Η αποδοτικότητα τους
- Η ελαχιστοποίηση της καθυστέρησης
- Η ελαχιστοποίηση των παρεμβολών παρεμβολές
- Οι καθυστερήσεις διασύνδεσης
- Η επίτευξη της διαδικασίας διαβίβασης δεδομένων
- Η χρήση σε εφαρμογές υψηλής ταχύτητας
- Η χρήση σε ερευνητικούς τομείς της τεχνολογίας της πληροφορικής

- Οι προκλήσεις για ερευνητές και μηχανικούς
- Η αποτελεσματικότητα και η γρηγοράδα του συστήματος[10]

3.5 Σχεδίαση Top-Down Soc

Οι ροές βοηθούν στη διαχείριση των διαφορετικών και αντικρουόμενων απαιτήσεων αύξησης μέγεθος σχεδιασμού. Το deep-sub micron επηρεάζει (DSM) την ανάγκη για μικρότερη και προβλέψιμη χρόνο εφαρμογής. Οι ιεραρχικές μεθοδολογίες επιτρέπουν την άδεια εργασίας σε πολλαπλές ομάδες σε διαφορετικά μέρη του σχεδιασμού ταυτόχρονα και ανεξάρτητα. Η προσέγγιση "διαίρεσε και κατακτήσε" μειώνει την πολυπλοκότητα του προβλήματος σχεδιασμού για κάθε ομάδα σχεδιασμού.

Το φυσικό πρωτότυπο πρέπει να παρέχει έγκαιρη ανατροφοδότηση όσον αφορά το κλείσιμο του σχεδίου και βοηθά στο να επικυρώνει την ορθότητα των αποφάσεων του σχεδιασμού. Επίσης, θα πρέπει να είναι ακριβές το πρωτότυπο προβλέποντας τα χαρακτηριστικά της τελικής φυσικής εφαρμογής. Αυτές είναι οι κάποιες συμφωνίες σχεδίασης που μπορούν να χρησιμοποιηθούν για να ξεπεραστεί η πολυπλοκότητα του SOC ζητεί να μειωθούν όσο το δυνατόν περισσότερο:

- Καλύτερη πολιτική σχεδιασμού
- Κατάλληλες λειτουργικές μονάδες
- Καλύτερη προσέγγιση δοκιμών
- Μέθοδοι σχεδιασμού
- Σταθερότητα / Ευελιξία
- Χρήση της καλύτερης γλώσσας

3.6 Τα συστήματα SoC Based

3.6.1 Προηγούμενη Περίληψη SoC

Αρχικά το System-on-Chip αναπτύχθηκε για να καθορίσει τα αυξανόμενα προβλήματα και την πολυπλοκότητα στις υφιστάμενες λειτουργίες. Για τους παραπάνω λόγους έχουν σχεδιαστεί πολλά νέα εξαρτήματα στο τσιπ με απώτερο σκοπό την υποστήριξη της επικοινωνίας on chip. Εκτός από πλεονεκτήματα υπάρχουν και αρκετά μειονεκτήματα λόγω χάρη η κατανάλωση ενέργειας, οι επιδόσεις απόδοσης, το κόστος και ο χρόνος σχεδιασμού

του μόντεμ. Το αυξανόμενο επίπεδο πολυπλοκότητας στις εφαρμογές επέφερε πολλές επιπτώσεις στο σχεδιασμό SoC. Βέβαια δεν μπορούμε να παραλείψουμε ότι έγιναν αρκετές προσπάθειες συμπεριλαμβανομένων ακαδημαϊκές και βιομηχανικές κατασκευές για τη διόρθωση των SOC.

3.6.2 Σχέδια κυκλώματος SoC

Το ολοκληρωμένο κύκλωμα του SOC περιλαμβάνει αρκετά κανάλια. Μια συσκευή είναι συνδεδεμένη με τον τοπικό δίαυλο επεξεργαστή και οι περιφερειακές συσκευές συνδέονται με τον περιφερειακό δίαυλο συσκευής. Επίσης μια μονάδα μνήμης, μια μονάδα εισόδου / εξόδου και ένας τοπικός δίαυλος επεξεργαστή συνδέονται στη γέφυρα με κανάλια. Υπάρχουν πολλές τεχνολογίες τσιπ χαμηλού κόστους που επιτρέπουν δομές χαμηλού κόστους, επιδόσεων και πολυμορφίας των πολυεπεξεργαστών SoCs.

To Soperton αποτελεί μια τεχνολογία on chip η οποία παρέχει τυποποιημένες διεπαφές δικτύου, modularity και υψηλής απόδοσης, επικοινωνιακή σύνδεση με μικρά buffers σε δίκτυο-on-chip. Στην τεχνολογία SoC, ο νόμος Moore διαδραματίζει σημαντικό και αποτελεσματικό ρόλο στην πρόκληση προκλήσεων τη δυνατότητα ενοποίησης CMOS. Πιο συγκεκριμένα η πολυπλοκότητα δομής SoC προσδιορίζεται από την αρχιτεκτονική του διαύλου. Υπάρχουν πολλά σχετικά με τσιπ τεχνικά συστήματα.

3.6.3 NoC Paradigm

Το NoC Paradigm αποτελεί μια οπτική τεχνολογία επικοινωνίας με τσιπ. Ασχολείται με την τάση, την απόδοση του SoC, την επεκτασιμότητα του συστήματος και τους συντελεστές ισχύος. Αυτό δύναται να επιτευχθεί με την αντικατάσταση της αρχιτεκτονικής bus η οποία βασίζεται σε πακέτα και περιλαμβάνει τη γενική προβολή του πρωτοκόλλου δικτύου Layer Layer του διαύλου NoC. [1] [3]

Κοινόχρηστο Μεσαίο Δίκτυο

Τα περισσότερα SOC χρησιμοποιούν κοινές αρχιτεκτονικές μέσων. Θεωρούνται τα πιο απλά δεδομένα στη δομή διασύνδεσης την οποία μοιράζεται ένα είδος ενιαίου μέσου επικοινωνίας μεταξύ όλων των σχετικών ηλεκτρονικών συσκευών επικοινωνίας. Επιτρέπει τη σύνδεση με

μα ή περισσότερες συσκευές «σκλάβου» που είναι συνδεδεμένη στο δίκτυο και διαθέτει διεπαφή δικτύου με αιτούντα οδηγό και δέκτη. Αυτή η στρατηγική δικτύου είναι παθητική.

Στόχοι υβριδικού δικτύου

Ο σημαντικότερος στόχος του υβριδικού δικτύου είναι το αυξημένο εύρος ζώνης σε σχέση με τα κοινόχρηστα δίκτυα μέσω. Αυτό δύναται να επιτευχθεί μειώνοντας τη συνολική απόσταση επικοινωνίας μεταξύ κόμβων σε σύγκριση με τα γνωστά δίκτυα άμεσης και έμμεσης δικτύωσης.

3.7 Τομείς εφαρμογής της τεχνολογίας SoC

Η τεχνολογία SoC χρησιμοποιείται σε πολλούς κλάδους. Ένα σύστημα με τεχνολογία chip παρέχει λύσεις για ιατρικές εφαρμογές επόμενης γενιάς. Η συγκεκριμένη τεχνολογία βοηθά τους σχεδιαστές φορητού ιατρικού εξοπλισμού. Η αγορά των ηλεκτρονικών ιατρικών συσκευών αυξάνεται με ταχύ ρυθμό. Οι συγκεκριμένες ηλεκτρονικές συσκευές παρέχουν περίπλοκη λύση για τη διάγνωση μιας νόσου και τη θεραπεία της. Επίσης έχουν ειδικό σύστημα παρακολούθησης που ανιχνεύει την απαιτούμενη ασθένεια. Λόγου χάρι το σύστημα παρακολούθησης αίματος, οι αντλίες ινσουλίνης και οι αισθητήρες θερμοκρασίας σώματος κλπ. Η διαχείριση του καρδιακού ρυθμού αποτελεί ένα παράδειγμα τέτοιου συστήματος. Αυτές οι ιατρικές εφαρμογές απαιτούν αισθητήρες υψηλής απόδοσης και λειτουργικότητας σε μικρότερο χρονικό διάστημα με χαμηλή κατανάλωση ισχύος.

Πολλοί ιατρικοί εξοπλισμοί χρησιμοποιούν ενιαίο IC. Τα IC είναι κατασκευασμένα έτσι ώστε να μπορούν να συνδυαστούν αναλογικές και ψηφιακές δυνατότητες. Οι εν λόγω εφαρμογές έχουν συγκεκριμένο αριθμό θεμελιώδους σχεδιασμού. Ολοκληρώνοντας θα επισημάνουμε ότι οι συσκευές που είναι εμπορεύσιμες απαιτούν μεγάλη διάρκεια ζωής.

3.8 Προκλήσεις SoC

Ένα SoC ουσιαστικά απαιτεί ένα εικονικό περιβάλλον για να εκτελέσει την επαλήθευση του συστήματος πριν εκτελέσει το πραγματικό πρόγραμμα. Αυτά τα προβλήματα μπορεί να οφείλονται στον παράγοντα ισχύος. Οι σχεδιαστές ενός SoC προσπαθούν με κάθε τρόπο να

ελαχιστοποιήσουν τους κινδύνους της ηλεκτρικής ενέργειας όσο το δυνατόν περισσότερο για να φτιάξουν το τσιπ πιο αξιόπιστο.

3.9 Τεχνολογία Sip Equivalent Sip

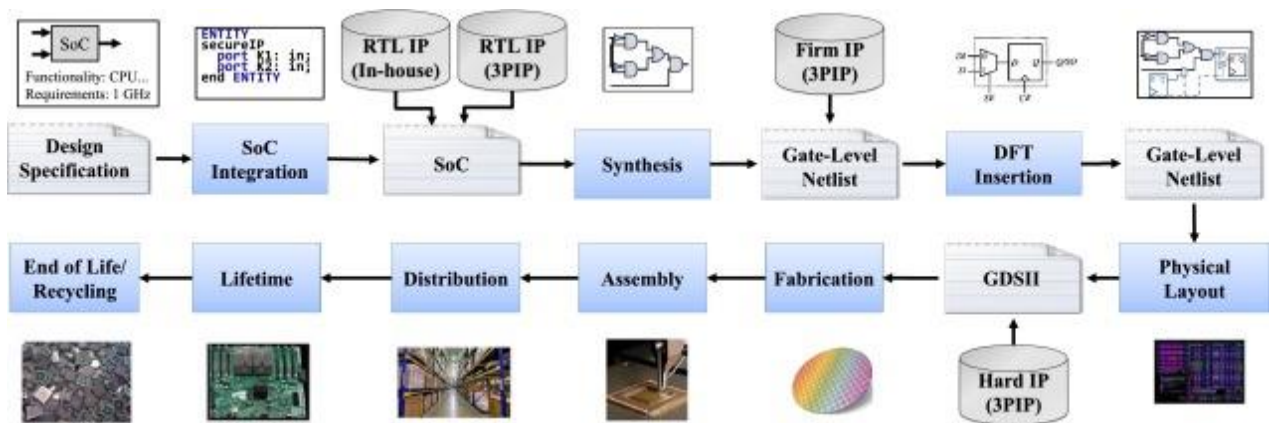
Το Sip λειτουργεί με λιγότερη κατανάλωση ρεύματος, γι 'αυτό τον λόγο είναι ιδανικό για το σύστημα διαχείρισης ισχύος. Οι σημερινές εφαρμογές απαιτούν μια μεγάλη επεξεργασία ενέργειας στο υπάρχον σύστημα για τον παραπάνω λόγο είναι μεγάλη η πρόκληση για τους προγραμματιστές να καλύψουν τις ανάγκες των χρηστών. Οι αρχιτεκτονικές ελεύθερης κλίμακας παρέχουν μεγαλύτερη επεξεργασίας χωρίς μεγάλη κατανάλωση ενέργειας.

3.10 Διαχείριση ενέργειας

Το ζήτημα της διαχείρισης ενέργειας δημιουργήθηκε λόγω της ποιότητας της ρύθμισης και της μετατροπής αποδοτικότητα. Το εν λόγω πρόβλημα ουσιαστικά δημιουργήθηκε αρχικά με τη χαμηλή τάση, αλλά έπειτα αποτέλεσε ένα από τα πιο σημαντικά ζητήματα σε DC πολλαπλών λειτουργιών. Στις συσκευές, μεγάλο μέρος της κατανάλωσης ενέργειας καταναλώνεται στην ψηφιακή επεξεργασία. Έτσι, τα ψηφιακά κυκλώματα βελτιώνουν τις διαδικασίες των ημιαγωγών για τη μείωση της ισχύος κατανάλωση. Αντιμετωπίζει τα προβλήματα και την πολυπλοκότητα του σχεδιασμού, της επαλήθευσης και της κατασκευής τέτοιων τσιπ. Τέλος σε περίπτωση που ο συντελεστής ισχύος δεν διανεμηθεί από την αρχή, το σύστημα δεν εγγυάται απόδοση ισχύος.

3.11 Σύγχρονη ηλεκτρονική αλυσίδα εφοδιασμού

Στην παρακάτω εικόνα την 21 παρουσιάζεται ένα σύγχρονο σύστημα ροής σχεδιασμού τσιπ (SoC) και την αλυσίδα εφοδιασμού του. Τα παρακάτω τμήματα αναλύουν λεπτομερώς την αλυσίδα ροής και εφοδιασμού.



Εικόνα 21: Η αλυσίδα εφοδιασμού του συστήματος σε σχεδιασμό chip (SoC)

3.11.1 Ο σχεδιασμός

Ο σχεδιασμός ενός SoC περιλαμβάνει πολλαπλά στάδια, όπως:

- ❖ Οι προδιαγραφές σχεδίασης
- ❖ Η ενσωμάτωση SoC
- ❖ Η σύνθεση
- ❖ Η εισαγωγή δομών δοκιμής
- ❖ Ο εντοπισμού σφαλμάτων
- ❖ Η δημιουργία φυσικής διάταξης
- ❖ Η επαλήθευση λειτουργίας
- ❖ Η απόδοση

3.11.2 Οι προδιαγραφές σχεδιασμού

Αρχικά ο ολοκληρωτής SoC καθορίζει τις απαιτήσεις υψηλού επιπέδου και τα μπλοκ του SoC. Για παράδειγμα, ο ολοκληρωτής της SoC προσδιορίζει πρώτα ποιες λειτουργίες πρέπει να ενσωματωθούν στο SoC και ποια θα είναι η επιδιωκόμενη απόδοση. Έπειτα προσδιορίζει μια λίστα με λειτουργικά τμήματα για την υλοποίηση του SoC. Αυτά τα λειτουργικά τμήματα έχουν τιμές πνευματικής ιδιοκτησίας δηλαδή IP. Αυτοί οι πυρήνες IP αναπτύσσονται εσωτερικά ή αγοράζονται από προγραμματιστές 3PIP. Σε περίπτωση που ένας ολοκληρωτής SoC αποφασίσει να ενσωματώσει μια μονάδα GPU στο SoC, τότε θα μπορούσε να κατευθύνει τους σχεδιαστές του hardware για να αναπτύξει τη μονάδα GPU.

3.11.2 Απόκτηση 3PIP

Οι πυρήνες πνευματικής ιδιοκτησίας διακρίνονται στις ακόλουθες μορφές:

- ❖ **Οι μαλακοί πυρήνες IP** οι οποίοι διανέμονται ως συνθετικός κώδικας επιπέδου μεταγωγής μητρώου (RTL) γραμμένος σε γλώσσα περιγραφής υλικού (HDL), για παράδειγμα Verilog ή VHDL. Οι μαλακοί πυρήνες IP είναι παρόμοιοι με έναν κώδικα προγραμματισμού υψηλού επιπέδου, όπως ο C, με τη διαφορά ότι αναπτύσσονται για την υλοποίηση του υλικού. Οι περισσότερες διευθύνσεις IP παρέχονται ως μαλακά IP καθώς προσφέρουν μεγαλύτερη ευελιξία.
- ❖ **Οι πυρήνες IP** οι οποίοι παρέχονται ως υλοποίηση της IP σε επίπεδο πύλης. Οι σταθεροί πυρήνες IP συντίθενται από τον κώδικα RTL. Οι σταθερές IP προσφέρουν λιγότερη ευελιξία σε σύγκριση με τους μαλακούς πυρήνες.
- ❖ **Οι σκληροί πυρήνες IP** παραδίδονται ως αντιπροσωπεύσεις GDSII ενός πλήρως τοποθετημένου και δρομολογημένου σχεδιασμού. Οι σκληροί πυρήνες IP είναι ενσωματωμένοι στα τελευταία στάδια της διαδικασίας σχεδιασμού. Προσφέρουν λιγότερη ευελιξία, αλλά με χαμηλότερο κόστος.

3.11.3 Ενσωμάτωση SoC

Μετά την ανάπτυξη όλων των απαραίτητων μαλακών πυρήνων IP, το SoC design house τους ενσωματώνει με απώτερο σκοπό να παράγει τις προδιαγραφές RTL ολόκληρου του SoC. Ο σχεδιασμός RTL περνάει από ένα στάδιο δοκιμασίας για να επαληθεύσει τη λειτουργική ορθότητα του SoC και να βρει τυχόν σφάλματα σχεδιασμού.

Ο ολοκληρωτής SoC συνθέτει την περιγραφή RTL σε μια πύλη-επίπεδο netlist. Η σύνθεση είναι μια διαδικασία με την οποία ένας κώδικας RTL μετασχηματίζεται σε μια υλοποίηση υλικού που αποτελείται από λογικές πύλες. Η διαδικασία σύνθεσης πραγματοποιείται με εργαλεία σχεδίασης με υπολογιστή λόγω χάρη Design Compiler από την Synopsys. Τα συγκεκριμένα εργαλεία βελτιστοποιούν το σχεδιασμό με στόχο την ελαχιστοποίηση του χρονισμού και της ισχύος. Έπειτα η πύλη-επίπεδο netlist περνά από τον επίσημο έλεγχο για να βεβαιωθείτε ότι η netlist είναι ισοδύναμη με την αναπαράσταση RTL. Οι σχεδιαστές SoC έχουν τη δυνατότητα να ενσωματώσουν έναν σταθερό πυρήνα IP από έναν προμηθευτή στο netlist SoC σε αυτό το στάδιο.

3.11.4 Εισαγωγή DFT

Το Design for Test γνωστό με την ονομασία DFT αναφέρεται στην προσθήκη δοκιμαστικής υποδομής μαζί με τη χρήση αλγορίθμων δοκιμής για τη δημιουργία αποτελεσματικών δοκιμών για τη βελτίωση της ευστάθειας ενός SoC. Η υψηλότερη δοκιμασία οδηγεί σε βελτιωμένη δοκιμαστική κάλυψη, ποιότητα δοκιμής και χαμηλότερο κόστος δοκιμών. Το DFT επιτρέπει την ολοκληρωμένη δοκιμή του κυκλώματος κατά τη διάρκεια της:

- ❖ Της κατασκευής
- ❖ Της συναρμολόγησης των συσκευασιών

ώστε να διασφαλίζεται η σωστή λειτουργία του. Για την επίτευξη αυτών των στόχων, ο ολοκληρωτής SoC ενσωματώνει τη δομή DFT στο SoC. Βέβαια αξίζει να αναφέρουμε ότι σε ορισμένες περιπτώσεις, η εισαγωγή DFT ανατίθεται στο σχεδιασμό δομών δοκιμής και εντοπισμού σφαλμάτων.

3.11.5 Φυσική διάταξη

Σε αυτό το σημείο η πύλη netlist μεταφράζεται σε ένα φυσικό σχεδιασμό διάταξης. Πιο συγκεκριμένα κάθε πύλη μεταφράζεται σε διάταξη τρανζίστορ. Η φυσική διάταξη εκτελεί την τοποθέτηση του τρανζίστορ και τη δρομολόγηση των καλωδίων καθώς και την τοποθέτηση του δέντρου ρολογιών και του ηλεκτρικού δικτύου. Σε αυτό το στάδιο είναι επίσης δυνατή η εισαγωγή σκληρών πυρήνων IP και η ενσωμάτωσή τους στο SoC. Μετά την εκτέλεση της στατικής ανάλυσης χρονισμού και του κλεισίματος ισχύος, ο ολοκληρωτής SoC παράγει την τελική διάταξη σε μορφή GDSII και την αποστέλλει σε χυτήριο για κατασκευή.

3.11.6 Παραγωγή

Με την πάροδο των χρόνων και την εξέλιξη της τεχνολογίας τα ολοκληρωμένα κυκλώματα και τα SoCs συρρικνώνεται σε πολύ βαθιά επίπεδα υπομικρομέτρων, καθώς επίσης και η πολυπλοκότητα και το κόστος κατασκευής τσιπ αυξάνονται σημαντικά. Πιο συγκεκριμένα μόνο μερικές εταιρείες μπορούν να αντέξουν οικονομικά να διατηρήσουν τις σύγχρονες εγκαταστάσεις κατασκευής. Οι σχεδιαστές της SoC απολαμβάνουν μειωμένο κόστος με κόστος μειωμένου ελέγχου της ακεραιότητας του προϊόντος και συνεπώς μειωμένης

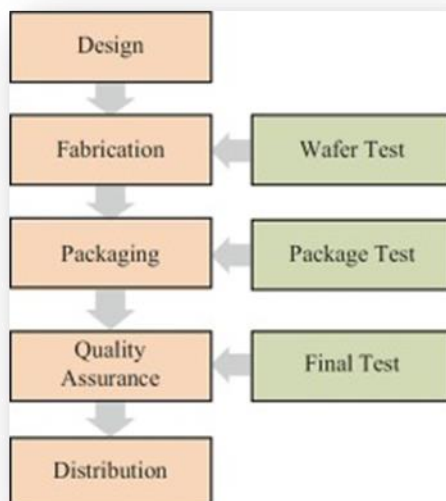
εμπιστοσύνης στην διαδικασία κατασκευής. Το χυτήριο εκτελεί επίσης δομικές / λειτουργικές δοκιμές στο καλούπι για να βρει κατασκευαστικά ελαττώματα. Αυτά τα ελαττώματα οφείλονται σε ατέλειες στις διαδικασίες κατασκευής. Το κλάσμα τσιπ χωρίς ελαττώματα που παράγονται σε μια παραγωγική διαδικασία ονομάζεται *απόδοση*. Τα ελαττωματικά τσιπ απορρίπτονται και οι καλές μάρκες αποστέλλονται στη συσκευασία.

3.11.7 Συναρμολόγηση

Μετά την κατασκευή, το χυτήριο αποστέλλει δοκιμασμένα στη γραμμή συναρμολόγησης για να κόψει τα πλακίδια σε αρκετές μήτρες και να συσκευάσει τα καλά για να παράγει μάρκες. Η προηγμένη λειτουργία συναρμολόγησης περιλαμβάνει:

- ❖ Την επικάλυψη πλακιδίων
- ❖ Την τοποθέτηση μήτρας
- ❖ Την επανασύνδεση συγκόλλησης
- ❖ Την υποφόρτωση
- ❖ Τον εγκλοβισμό εγκλεισμό σε κάψουλες
- ❖ Τη σύνδεση με σφαιρίδια υποστρώματος.

Μετά από αυτές τις διαδικασίες, η συναρμολόγηση εκτελεί δομικές με σκοπό να εντοπίσει ελαττώματα στο τσιπ που θα μπορούσαν να εισαχθούν κατά τη διάρκεια της διαδικασίας συναρμολόγησης. Στην παρακάτω εικόνα παρουσιάζεται η διαδικασία δοκιμής, όπου η δοκιμή συσκευασίας εκτελείται στη συναρμολόγηση, ακολουθούμενη από την τελική δοκιμή για τη διασφάλιση της ποιότητας. Μετά από αυτές τις δοκιμές, τα τσιπ χωρίς ελαττώματα αποστέλλονται στους διανομείς ή στους ολοκληρωτές συστημάτων.



Εικόνα 22 :SoC design και ροή δοκιμής

Σε αυτό το σημείο αξίζει να αναφέρουμε ότι η δοκιμή Wafer και η δοκιμή Πακέτου που εκτελούνται από το χυτήριο και το συγκρότημα, αντίστοιχα, αποτελούν δοκιμές. Αυτές οι δοκιμές εκτελούνται για την εύρεση ελαττωμάτων στο τσιπ που εισάγεται κατά τη διάρκεια της διαδικασίας κατασκευής και συναρμολόγησης. Επιπροσθέτως δεν ελέγχουν τη λειτουργικότητα των τσιπ, πράγμα που εξασφαλίζει την ορθή λειτουργικότητα των τσιπ. Εν αντιθέσει η τελική δοκιμή που εκτελείται κατά τη διάρκεια της διαδικασίας διασφάλισης ποιότητας επικεντρώνεται κυρίως στη δοκιμή λειτουργικότητας τσιπ.

3.11.8 Διανομή

Τα δοκιμαζόμενα ολοκληρωμένα κυκλώματα αποστέλλονται είτε στους διανομείς είτε στους ολοκληρωτές συστημάτων. Οι διανομείς πωλούν αυτά τα ολοκληρωμένα κυκλώματα. Οι διανομείς διακρίνονται σε διάφορους τύπους συμπεριλαμβανομένων των εξουσιοδοτημένων διανομέων της OCM, των ανεξάρτητων διανομέων, των αποκλειστικών προμηθευτών μέσω διαδικτύου και των χρηματιστών.

3.11.9 Διάρκεια ζωής

Η διαδικασία διάρκειας ζωής αρχίζει με το συνδυασμό όλων των στοιχείων και υποσυστημάτων μαζί για την παραγωγή του τελικού προϊόντος, για παράδειγμα, ενός

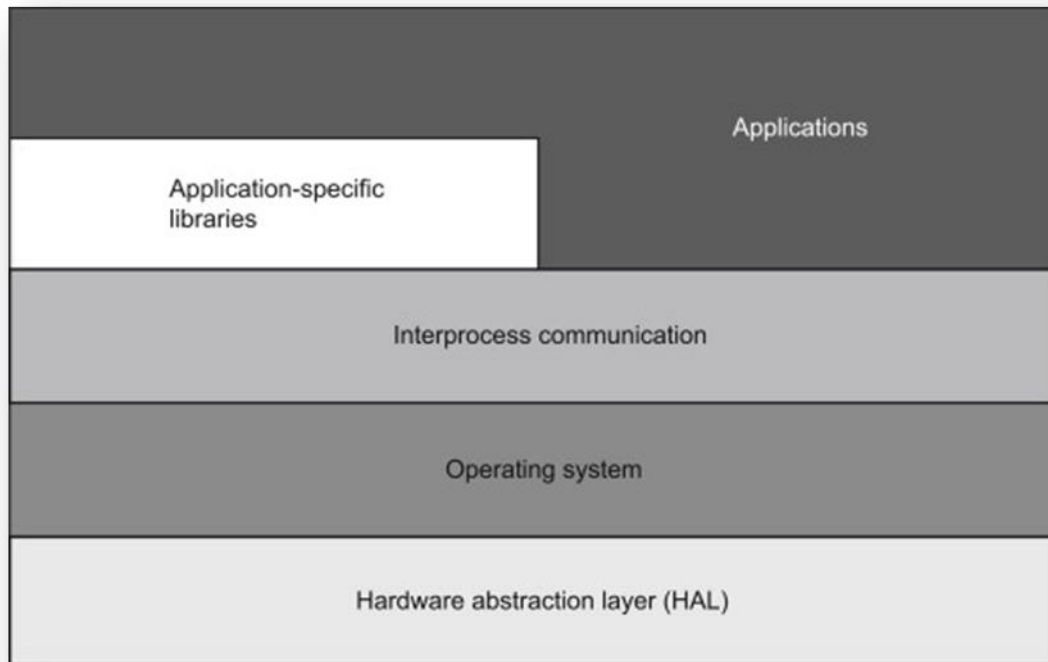
τυπωμένου κυκλώματος (PCB). Η εταιρία αναλαμβάνει την τοποθέτηση όλων των απαραίτητων εξαρτημάτων σε ένα ή περισσότερα PCB για να φτιάξει το τελικό προϊόν. Μόλις συναρμολογηθεί το τελικό προϊόν, αποστέλλεται στον καταναλωτή.

3.12 Λογισμικό πολλαπλών επεξεργαστών

Η εμφάνιση συστημάτων on-chips (SoC) οδήγησε σε μια νέα γενιά προσαρμοσμένου ενδιάμεσου λογισμικού που βασίζεται λιγότερο σε τυπικές υπηρεσίες και μοντέλα. Το SoC middleware έχει σχεδιαστεί από το μηδέν για διάφορους λόγους μερικούς από τους οποίους θα αναφέρουμε παρακάτω:

- ❖ Τα συστήματα αυτά είναι συχνά περιορισμένα σε ενέργεια
- ❖ Η ενέργεια και οι υπηρεσίες πρέπει να εφαρμόζονται με μεγάλη αποτελεσματικότητα.
- ❖ Παρόλο που η SoC μπορεί να υποχρεωθεί να χρησιμοποιήσει εξωτερικές υπηρεσίες τυποποιημένων υπηρεσιών, δεν είναι υποχρεωμένοι να χρησιμοποιούν πρότυπα εντός του τσιπ
- ❖ Τα σημερινά SoCs αποτελούνται από ένα σχετικά μικρό αριθμό επεξεργαστών. Τα συστήματα των 50 επεξεργαστών του αύριο μπορούν στην πραγματικότητα να κάνουν μεγαλύτερη χρήση των τυποποιημένων υπηρεσιών της βιομηχανίας, αλλά τα σημερινά συστήματα σε τσιπ συχνά χρησιμοποιούν προσαρμοσμένο μεσαίο λογισμικό.

Στη συνέχεια παρουσιάζουμε μια τυπική στοίβα λογισμικού για έναν ενσωματωμένο πολυεπεξεργαστή SoC . Η συγκεκριμένη στοίβα έχει πολλά στοιχεία:



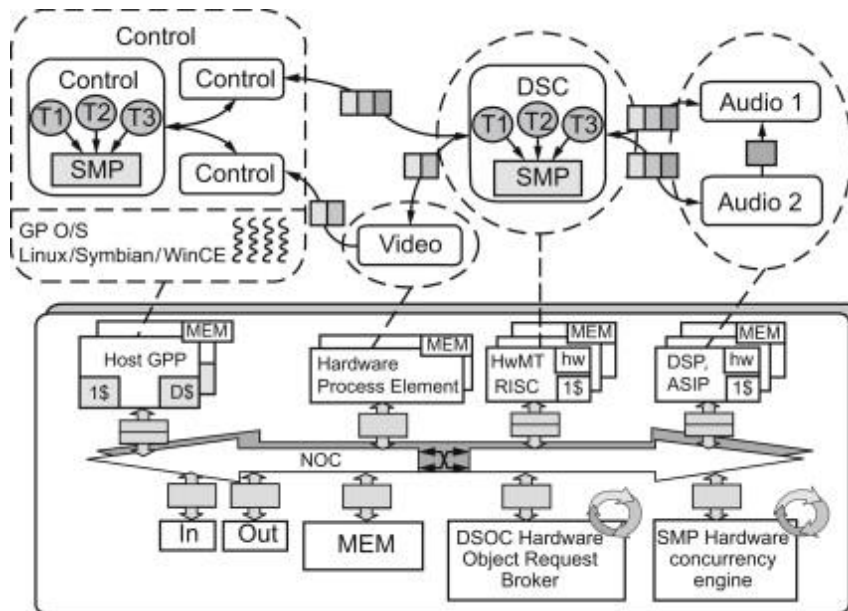
Εικόνα 23: Μια στοίβα λογισμικού και υπηρεσίες σε έναν ενσωματωμένο πολυεπεξεργαστή

- ❖ Το **επίπεδο αφαίρεσης υλικού** γνωστό με την ονομασία HAL το οποίο παρέχει μια ομοιόμορφη αφαίρεση για συσκευές και άλλα αρχέτυπα υλικού. Το HAL αφαιρεί το υπόλοιπο λογισμικό από τις ίδιες τις συσκευές και από ορισμένα στοιχεία του επεξεργαστή.
- ❖ Το **λειτουργικό σύστημα σε πραγματικό χρόνο** ελέγχει βασικούς πόρους του συστήματος, όπως τον προγραμματισμό διαδικασιών και τη μνήμη.
- ❖ Οι **βιβλιοθήκες που αφορούν συγκεκριμένες εφαρμογές** παρέχουν βοηθητικές εφαρμογές για τον υπολογισμό ή την επικοινωνία που σχετίζονται με την εφαρμογή.
- ❖ Ο **κώδικας εφαρμογής** χρησιμοποιεί αυτά τα επίπεδα για να παρέχει την τελική υπηρεσία ή λειτουργία.

MultiFlex

Το περιβάλλον προγραμματισμού MultiFlex αποτελεί περιβάλλον κατάλληλο για να υποστηρίξει πολλαπλά μοντέλα προγραμματισμού που υποστηρίζονται από επιταχυντές υλικού. Το MultiFlex υποστηρίζει επίσης και την συμμετρική πολλαπλή επεξεργασία (SMP) υποσυστήματα. Διαφορετικά τμήματα του συστήματος χαρτογραφούνται σε διάφορα

τμήματα της αρχιτεκτονικής: οι λειτουργίες ελέγχου μπορούν να λειτουργούν πάνω από ένα λειτουργικό σύστημα στον κεντρικό επεξεργαστή. ορισμένες λειτουργίες υψηλής απόδοσης, όπως το βίντεο, μπορούν να λειτουργούν με επιταχυντές. Κάποιες παραλλαγές που μπορούν να παραλληλιστούν μπορούν να προχωρήσουν σε ένα πολυνηματικό σύνολο επεξεργαστών υλικού. και ορισμένες λειτουργίες μπορούν να πάνε σε DSPs. Οι μονάδες DSOC και SMP στην αρχιτεκτονική διαχειρίζονται την επικοινωνία μεταξύ των διαφόρων υποσυστημάτων.



Εικόνα 24: Ο μεσίτης αντικειμένων και ο κινητήρας παράλληλης παραγωγής SMP στο MultiFlex. [7] [9][10]

Κεφάλαιο 4ο : Σύγκριση NOC -SOC

4.1 Εισαγωγή

Με τον όρο σύστημα σε chip η αλλιώς Soc όπως προαναφέραμε σε άλλο σημείο της παρούσας πτυχιακής εργασίας αποτελεί ένα ολοκληρωμένο κύκλωμα το οποίο έχει την ικανότητα να ενσωματώνει όλα τα εξαρτήματα ενός υπολογιστή ή κάποιου άλλου ηλεκτρονικού συστήματος. Τα εν λόγω συστήματα περιλαμβάνουν τα παρακάτω στοιχεία:

- ❖ Μια κεντρική μονάδα επεξεργασίας CPU
- ❖ Μια μνήμη
- ❖ Θύρες εισόδου
- ❖ Θύρες εξόδου
- ❖ Δευτερεύουσα αποθήκευση

Επιπλέον δύναται να περιλαμβάνουν λειτουργίες όπως:

- ❖ Επεξεργασία ψηφιακού σήματος
- ❖ Επεξεργασία αναλογικού σήματος
- ❖ Επεξεργασία μικτού σήματος
- ❖ Επεξεργασία ραδιοσυχνότητας

Δεδομένου ότι ενσωματώνονται σε ένα μόνο υπόστρωμα, τα SoCs καταναλώνουν πολύ λιγότερη ισχύ καθώς επίσης καταλαμβάνουν πολύ λιγότερη περιοχή από τα σχέδια πολλαπλών τσιπ με αντίστοιχη λειτουργικότητα. Εξαιτίας αυτού, τα SoCs είναι πολύ συνηθισμένα σε κινητά τηλέφωνα – smartphones.

Τα συστήματα σε Chip σε αντίθεση με την κοινή παραδοσιακή αρχιτεκτονική υπολογιστών βασίζεται στη μητρική πλακέτα, η οποία έχει την ικανότητα να χωρίζει τα εξαρτήματα με βάση τη λειτουργία και τα συνδέει μέσω μιας κεντρικής πλακέτας διασύνδεσης. Ενώ η μητρική πλακέτα στεγάζει και συνδέει αποσπώμενα ή αντικαταστάσιμα εξαρτήματα, τα SoCs ενσωματώνουν όλα αυτά τα στοιχεία σε ένα ενιαίο ολοκληρωμένο κύκλωμα, σαν να

είχαν ενσωματωθεί όλες αυτές οι λειτουργίες στη μητρική πλακέτα. Ένα SoC δύναται να ενσωματώνει :

- ❖ Τυπικές διεπαφές CPU
- ❖ Γραφικά
- ❖ Μνήμη
- ❖ Συνδεσιμότητα σκληρού δίσκου
- ❖ USB
- ❖ Μνήμες τυχαίας προσπέλασης
- ❖ Μνήμες ανάγνωσης
- ❖ Μνήμες δευτερεύουσας αποθήκευσης

Και ασφαλώς όλα τα παραπάνω σε ένα μόνο κύκλωμα, ενώ μια μητρική πλακέτα θα συνδεθεί αυτά τα στοιχεία ως διακριτά εξαρτήματα ή κάρτες επέκτασης.



Εικόνα 25: SoC

Ορισμένα ενσωματωμένα συστήματα υπολογιστών βελτιώνουν την απόδοση καθώς επίσης δύναται να ελαχιστοποιούν σε μεγάλο βαθμό την κατανάλωση ενέργειας και την περιοχή πεπιεσμένου ημιαγωγού που απαιτείται για έναν ισοδύναμο σχεδιασμό. Ο συγκεκριμένος

σχεδιασμός αποτελείται από διακεκριμένες μονάδες, με κόστος μειωμένης δυνατότητας αντικατάστασης εξαρτημάτων. Τα σχέδια SoC είναι πλήρως ενσωματωμένα σε διαφορετικά στοιχεία. Για τους λόγους αυτούς, υπήρξε μια γενική τάση για στενότερη ενσωμάτωση εξαρτημάτων στη βιομηχανία υλικού υπολογιστών. Λόγω της επιρροής των SoCs και των διδαγμάτων που αντλήθηκαν από τις αγορές κινητών και ενσωματωμένων υπολογιστών. Τα συστήματα-on-chip μπορούν να θεωρηθούν ως μέρος μιας μεγαλύτερης τάσης για υπολογιστική ενσωμάτωση και επιτάχυνση υλικού.

Ένα SoC ενσωματώνει έναν μικροελεγκτή ή έναν μικροεπεξεργαστή με προηγμένα περιφερειακά όπως:

- ❖ Μονάδα επεξεργασίας γραφικών
- ❖ Μονάδα Wifi
- ❖ Έναν ή περισσότερους συνεργαζόμενους επεξεργαστές

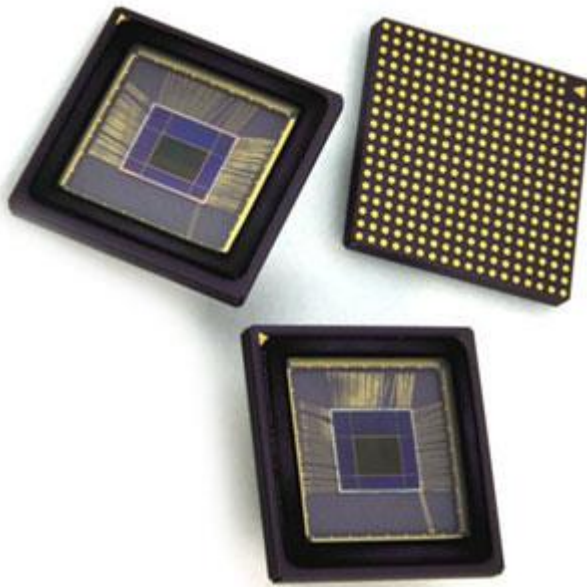
4.2 NOC και SOC

Τα δίκτυα σε chip (βλ. NOC) και τα συστήματα σε chip (βλ. SOC) αποτελούν υποσυστήματα που βασίζονται σε ένα ολοκληρωμένο κύκλωμα που ενσωματώνει ακόμη και ένα συστατικό ενός συγκεκριμένου συστήματος. Το NOC έχει σχεδιαστεί για ένα οργανωμένο δίκτυο, εν αντιθέσει το SOC το οποίο προορίζεται για μια οργανωμένη συσκευή λόγω χάρη ένας υπολογιστής. Αυτός είναι ο λόγος για τον οποίο η NOC λειτουργεί ως αναπόσπαστος σύνδεσμος μεταξύ του κωδικού IP και του συστήματος στο τσιπ του υπολογιστή. Ενώ το σύστημα στο τσιπ συνδέει τον υπολογιστή ή οποιαδήποτε άλλη ηλεκτρονική συσκευή σε ένα μοναδικό σύστημα. Έτσι, το SOC είναι περισσότερο σαν ένα ενσωματωμένο σύστημα που συνδέει όλες τις μονάδες μιας συγκεκριμένης συσκευής μαζί. Τόσο το NOC όσο και το SOC είναι εξίσου σημαντικά για οποιοδήποτε σύστημα. Στη συνέχεια παρουσιάζονται τέσσερα βασικά πλεονεκτήματα που συνδέονται με αυτήν την ολοκλήρωση.

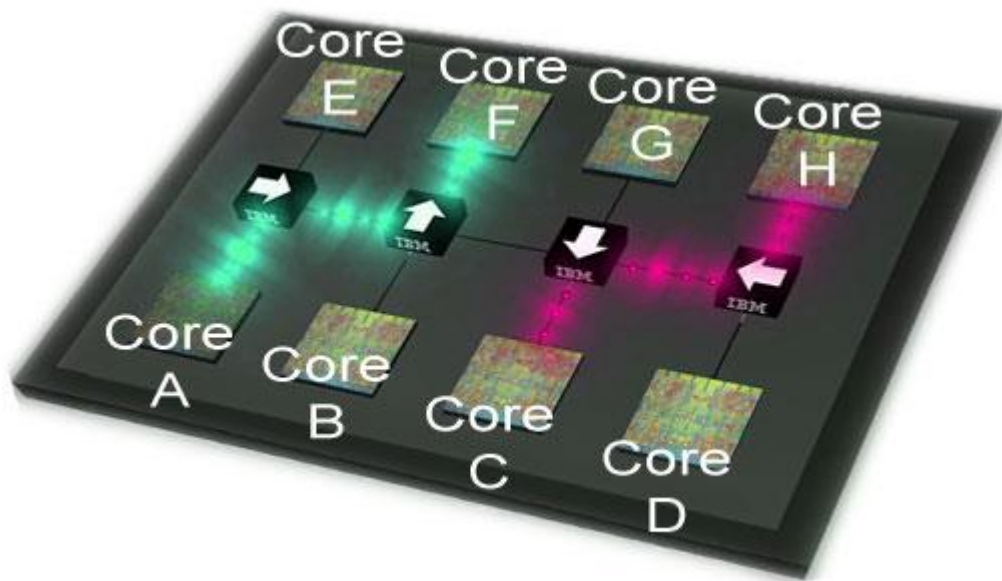
- ❖ **Υψηλότερες συχνότητες λειτουργίας :** Όταν το τσιπ NOC συνδέεται με το SOC ενός συστήματος τότε πρόκειται να απλοποιήσει τις εφαρμογές υλικού μειώνοντας τις λειτουργίες δρομολόγησης καθιστώντας τη διασύνδεση SOC με το NOC έτσι ώστε να μπορούν να λειτουργήσουν άμεσα σε υψηλότερες συχνότητες λειτουργίας. Από την άλλη πλευρά ένα SOC είναι πάντα ενσωματωμένο σε μια μακρά ευαίσθητη πορεία που χρειάζονται ακριβή τοποθέτηση τέτοιων τσιπ έτσι ώστε η PE του συστήματος να μην

επηρεάζεται λόγω της ολοκλήρωσης. Το NOC θεωρείται ότι είναι ασύγχρονο τοπικά SOC που επιτρέπει στην ηλεκτρονική μονάδα να λειτουργεί με σύγχρονο τρόπο διατηρώντας μια δεξιόστροφη σύνδεση μεταξύ τους.

- ❖ **Μειωμένες συσπάσεις καλωδίωσης:** Η δρομολόγηση συγκεκριμένων δεδομένων με το SOC απαιτεί μεγάλη καλωδίωση. Μπορούμε εύκολα να κατανοήσουμε ότι αυτό είναι κάτι το οποίο αυξάνει τις συσσωρευμένες καλωδιώσεις προκαλώντας πολλές επιπλοκές στο σύστημα.
- ❖ **Αλλαγή IP σε μια Ακραία Ευκολία:** Ένα σύστημα αρκετά συχνά αντιμετωπίζει μπλοκ πνευματικής ιδιοκτησίας ημιαγωγών, οπότε όταν έχετε ενσωματώσει το κύκλωμα με το NoC τότε μπορείτε να ανταλλάξετε τα μπλοκ IP χωρίς να δημιουργηθεί το παραμικρό πρόβλημα. Αυτό επιτρέπει στα μάρκες να ανταποκρίνονται το συντομότερο δυνατό και βεβαιώνεται ότι το ενσωματωμένο σύστημα λειτουργεί σύμφωνα με το πρωτόκολλο της μονάδας. Σε μια μικρή μονάδα δικτύου το NOC διασυνδέεται με το συνθετικό στοχευόμενο μπλοκ IP, έτσι ώστε άλλες τοπολογίες που είναι μέρος του συστήματος να μπορούν να λειτουργούν με αποτελεσματικό τρόπο.
- ❖ **Ευκολία κλεισίματος χρονισμού:** Όταν η NOC τοποθετείται με ακρίβεια στο πλαίσιο SOC τότε μπορεί εύκολα να λειτουργήσει σύμφωνα με το κλείσιμο χρονισμού χωρίς να επηρεάζει το τσιπ με οποιονδήποτε τρόπο.



Εικόνα 26: NoC



Εικόνα 27: NoC

4.3 Διαφορά της NOC και SOC

Θα παρουσιάσουμε εν συντομία τις διαφορές μεταξύ των εννοιών Network on Chip και System on Chip.

Το δίκτυο για το τσιπ είναι ένα ειδικό σχέδιο για τη δημιουργία δεσμών μεταξύ πεπερασμένων στοιχείων εντός του SoC ή του επεξεργαστή. Εξασφαλίζει μέγιστες ταχύτητες μεταφοράς δεδομένων και μείωση του συνολικού αριθμού των απαραίτητων φυσικών συνδέσεων. Επίσης, όπως έχουμε ήδη παρατηρήσει, επιτρέπει τη διάθεση αρκετών IP με διαφορετικούς σκοπούς και από διάφορους προμηθευτές μέσα στον ίδιο κρύσταλλο.

Το σύστημα σε Chip (SoC) είναι ένα ενιαίο τσιπ που περιέχει ένα πλήρες σύνολο διαφορετικών και διασυνδεδεμένων μονάδων, που έχουν σχεδιαστεί για την επίλυση ενός ορισμένου εύρους εργασιών. Παραδοσιακά, το SoC περιλαμβάνει πολλούς πυρήνες υπολογιστών, ελεγκτές μνήμης, υποσυστήματα I / O, συνδέσεις μεταξύ τους και μέσα μεταγωγής .

Ο σχεδιασμού του SOC διαφέρει κατά πολύ από του NOC. Στο Soc υπάρχουν το υλικό και το λογισμικό που λειτουργεί ως κέντρο ελέγχου των εξαρτημάτων. Μερικά εξαρτήματα είναι οι πυρήνες DSP, οι μικροεπεξεργαστές και οι μικροελεγκτές. Ο βασικός στόχος του SOC

είναι να διασφαλίσει ότι τόσο το υλικό όσο και οι εφαρμογές λογισμικού λειτουργούν με παράλληλο τρόπο. Για να επιτευχθεί αυτό, το SOC τείνει να κάνει χρήση μπλοκ υλικού για τα εξαρτήματα υλικού και τα προγράμματα οδήγησης λογισμικού για τα στοιχεία του λογισμικού. Είναι ακριβώς όπως οι στοίβες πρωτοκόλλων που υπάρχουν στο εσωτερικό του συστήματος, έτσι ώστε η συσκευή να μπορεί να λειτουργεί σύμφωνα με αυτό. Εδώ, οι λειτουργίες του λογισμικού διαμορφώνονται με τη βοήθεια του περιβάλλοντος ανάπτυξης λογισμικού και το υλικό είναι ενσωματωμένο με τη βοήθεια του εργαλείου CAD .

Βέβαια σε ορισμένες περιπτώσεις η υπολογιστική ισχύς αυτών των SOC επηρεάζεται δυσμενώς . Για τον παραπάνω λόγο τους καθιστά ένα περίπλοκο σύστημα χρήσης και λίγο δαπανηρό. Σε αυτό το σημείο έκανε την εμφάνιση του το NoC με σκοπό να αντιμετωπιστούν τέτοια προβλήματα κατά τρόπο διαχειρίσιμο. Με τις λειτουργίες NOC τα μπλοκ IP θα έχουν την δυνατότητα να ανταλλάσσουν τα δεδομένα χρησιμοποιώντας μια κοινή πλατφόρμα που ονομάζεται "μεταφορά". Αυτό το είδος τσιπ λειτουργεί με "**πολύ μεγάλης κλίμακας ολοκλήρωσης**". Χρησιμοποιώντας ένα παχύ στρώμα στοιβάζονται τσιπ για τη λειτουργία επικοινωνίας πυρήνα συστήματος. Αυτό είναι δομημένο με τη βοήθεια του συνδέσμου δεδομένων από σημείο σε σημείο που συνδέεται τεχνικά με τους δρομολογητές, ακολουθώντας το πρωτόκολλο και στη συνέχεια κάνοντας μια απόφαση δρομολόγησης. Αυτό το τσιπ είναι αρκετά παρόμοιο με εκείνο του δικτύου τηλεπικοινωνιών που λειτουργεί με τη χρήση λειτουργιών ψηφιακής δικτύωσης.

Το NOC με την πάροδο των χρόνων και την εξέλιξη της τεχνολογίας έχει καθιερωθεί. Εν συγκρίσει NOC και SOC, το NOC κερδίζει τον αγώνα. Η τεχνολογία, τα οφέλη και οι προσαρμοστικές ικανότητες που παρουσιάζονται από αυτό το τσιπ είναι ολοφάνερα και είναι κάτι που υποστηρίζει σε μεγάλο βαθμό την "Ποιότητα της Υπηρεσίας" και έχει επανεκκινήσει τις δυνατότητες του συστήματος On Chips. Υπερτερεί στο ότι υπάρχει ελάχιστη ποσότητα πρακτικής που απαιτείται από το τέλος του χρήστη για να το λειτουργήσει σε καλύτερη μορφή, αλλά το επίπεδο ποιότητας που φέρνει αυτό το τσιπ είναι πραγματικά εντυπωσιακό. Μέχρι τώρα, υπάρχει μια πληθώρα NOC που σχεδιάστηκαν σύμφωνα με γνωστά πρωτόκολλα, αλλά μόνο λίγα NOCs κατασκευάστηκαν από πυρίτιο. Στο μέλλον αναμένεται ότι η NOC θα έχει ένα ευρύ φάσμα εφαρμογών με επιτυχείς υλοποιήσεις.[5] [10][11]

ΣΥΜΠΕΡΑΣΜΑΤΑ

Κατά την εκπόνηση της παρούσας πτυχιακής εργασίας μελετήσαμε τα Network on chip. Αρχικά ορίσαμε ένα Network on chip ως «*ένα σχέδιο*» για την οργάνωση της επικοινωνίας μεταξύ λειτουργικών μονάδων που βρίσκονται στο ίδιο τσιπ. Βασικό του μέλημα είναι ο συνδυασμός πυρήνων υπολογιστών με διαφορετικούς σκοπούς. Έπειτα παρουσιάσαμε τις τοπολογίες mesh, torus, folded torus, 2D octagon network, 2D spidergon network, 2D binary tree network, 2D spin network 2D, BFT network και EFTI network από τις οποίες αποτελείται. Καθώς επίσης και την ενεργειακή του απόδοση, τη θερμική του ανάλυση και τις αναπτυξιακές προοπτικές του.

Στο επόμενο κεφάλαιο γνωρίσαμε την αρχιτεκτονική και τα χαρακτηριστικά γνωρίσματα των Network on chip. Οι αρχιτεκτονικές τσιπ δικτύου κατατάσσονται σε τέσσερις ομάδες: τον διαμοιρασμό μέσων δικτύων, τα άμεσα δίκτυα, τα έμμεσα δίκτυα και τα υβριδικά δίκτυα. Στο τρίτο κεφάλαιο ορίσαμε ένα σύστημα σε τσιπ, το γνωστό SOC και γνωρίσαμε τα πλεονεκτήματα και μειονεκτήματα του. Το System-on-Chip όπως προαναφέραμε είναι το ολοκληρωμένο σύστημα που ενσωματώνει όλα τα κυκλώματα του συστήματος στο ενιαίο τσιπ (SoC) αποτελεί την πιο προηγμένη μορφή η οποία χρησιμοποιεί ισχυρούς επεξεργαστές και διάφορα περιφερειακά. Αποτελείται από ενσωματωμένο υλικό και λογισμικό που ελέγχει τους επεξεργαστές, τους ελεγκτές και άλλα τα περιφερειακά.

Στο τελευταίο κεφάλαιο της παρούσας πτυχιακής εργασίας παρουσιάσαμε μια σύγκριση των NOC και SOC. Ουσιαστικά θα μελετήσαμε τις ομοιότητες και τις διαφορές τους.

Τα δίκτυα σε chip (βλ. NOC) και τα συστήματα σε chip (βλ. SOC) αποτελούν υποσυστήματα που βασίζονται σε ένα ολοκληρωμένο κύκλωμα που ενσωματώνει ακόμη και ένα συστατικό ενός συγκεκριμένου συστήματος. Το NOC έχει σχεδιαστεί για ένα οργανωμένο δίκτυο, εν αντιθέσει το SOC το οποίο προορίζεται για μια οργανωμένη συσκευή λόγω χάρη ένας υπολογιστής. Αυτός είναι ο λόγος για τον οποίο η NOC λειτουργεί ως αναπόσπαστος σύνδεσμος μεταξύ του κωδικού IP και του συστήματος στο τσιπ του υπολογιστή. Ενώ το σύστημα στο τσιπ συνδέει τον υπολογιστή ή οποιαδήποτε άλλη ηλεκτρονική συσκευή σε ένα μοναδικό σύστημα. Έτσι, το SOC είναι περισσότερο σαν ένα ενσωματωμένο σύστημα που

συνδέει όλες τις μονάδες μιας συγκεκριμένης συσκευής μαζί. Τόσο το NOC όσο και το SOC είναι εξίσου σημαντικά για οποιοδήποτε σύστημα.

BIBΛΙΟΓΡΑΦΙΑ

[1] Santanu Kundu, Santanu Chattopadhyay (χ.χ). *Network-on-Chip, The Next Generation of System-on-Chip Integration*.

[2] Νικολόπουλος Χ. (χ.χ). Network-on-Chip Architectures: A Holistic Design Exploration

[3] **Santanu Kundu Santanu Chattopadhyay (2014)**. Network-on-Chip: The Next Generation of System-on-Chip Integration

[4] **Keren Bergman Luca P. Carloni Aleksandr Biberman Johnnie Chan Gilbert Hendry. (2013)** Photonic Network-on-Chip Design.

[5] Jari Nurmi H. Tenhunen J. Isoaho Axel Jantsch. (2006). Interconnect-Centric Design for Advanced SOC and NOC

[6] Abderazek Ben Abdallah. (2013). Multicore Systems On-Chip: Practical Software/Hardware Design Kef3

[7] network on chip: the future of processor microarchitecture today. (2018). Διαθέσιμο στο δικτυακό ιστότοπο: <https://sirinsoftware.com/blog/technology/network-on-chip/>

[9] Σιόκης, Βαρβαρίγος (2017). *Ο ρόλος των οπτικών διασυνδέσεων στο σχεδιασμό των αρχιτεκτονικών κέντρων δεδομένων*. Διαθέσιμο στο δικτυακό ιστότοπο: <https://www.sciencedirect.com/topics/engineering/network-on-chip>

[10] Τι είναι το Σύστημα σε Chip (SoC). (2019). Διαθέσιμο στο δικτυακό ιστότοπο: <https://anysilicon.com/what-is-a-system-on-chip-soc/>

[11] NOC vs SOC. (2014). Διαθέσιμο στο δικτυακό ιστότοπο: <https://www.mepits.com/tutorial/207/vlsi/noc-vs-soc>