

ΒΙΒΛΙΟΘΗΚΗ
ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΙΩΑΝΝΙΝΩΝ



026000265545



**ΣΥΣΤΗΜΑ ΚΑΤΑΓΡΑΦΗΣ ΚΑΙ ΑΠΕΙΚΟΝΙΣΗΣ
ΗΛΕΚΤΡΙΚΩΝ ΣΗΜΑΤΩΝ ΑΠΟ ΤΟΝ ΜΙΚΡΟΛΩΡΙΔΙΑΚΟ
ΑΙΣΘΗΤΗΡΑ ΠΥΡΙΤΙΟΥ ΤΟΥ ΑΝΙΧΝΕΥΤΗ PRESHOWER**

181

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ **ΜΠΛΕ**

Νικόλαος Γ. Τζούλης
Φυσικός

Επίβλεψη: Καθηγητής Φ.Α. Τριάντης
Εργαστήριο Φυσικής Υψηλών Ενεργειών

ΔΙΑΤΜΗΜΑΤΙΚΟ ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ
ΣΠΟΥΔΩΝ ΣΤΙΣ ΣΥΓΧΡΟΝΕΣ ΗΛΕΚΤΡΟΝΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ

ΤΜΗΜΑ ΦΥΣΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

Ιωάννινα, Οκτώβριος 2001



Αφιερώνω την παρούσα εργασία
στους γονείς μου Γεώργιο και Μάρθα.



ΠΕΡΙΛΗΨΗ

Το αντικείμενο αυτής της μεταπτυχιακής διπλωματικής εργασίας είναι η μελέτη, η κατασκευή και ο έλεγχος ενός συστήματος καταγραφής και απεικόνισης ηλεκτρικών σημάτων. Τα ηλεκτρικά σήματα προέρχονται από μικρολωριδιακό αισθητήρα πυριτίου του ανιχνευτή Preshower του υπό κατασκευή πειράματος CMS, στο CERN της Ελβετίας. Το σύστημα αποτελείται από δύο ηλεκτρονικές πλακέτες, την ROH (Readout Hybrid) και την ROB (Readout Board), καθώς και από το περιβάλλον εργασίας του χρήστη, το οποίο έχει υλοποιηθεί με το πακέτο λογισμικού LabVIEW. Η πλακέτα ROH περιλαμβάνει τον μικρολωριδιακό αισθητήρα πυριτίου, το αναλογικό ολοκληρωμένο Δstream (Front End, FE), που προενισχύει και μορφοποιεί τα ηλεκτρικά σήματα που δέχεται από τον αισθητήρα, και έναν τελεστικό ενισχυτή. Η πλακέτα ROB περιλαμβάνει τον ψηφιοποιητή αναλογικών ηλεκτρικών σημάτων, το FPGA (Field Programmable Gate Array), όπου αποθηκεύονται τα ψηφιοποιημένα σήματα και παράγονται τα σήματα ελέγχου του συστήματος, και το μικροελεγκτή μC , που διεκπεραιώνει την επικοινωνία του συστήματος με τον χρήστη μέσω σειριακού διαύλου RS232. Τέλος, στο περιβάλλον εργασίας LabVIEW απεικονίζονται τα αποθηκευμένα σήματα κάθε δειγματοληψίας που έχει γίνει στον αισθητήρα, ενώ ο χρήστης μπορεί να ρυθμίζει τις παραμέτρους του συστήματος, όπως ο τρόπος και η συχνότητα δειγματοληψίας των ηλεκτρικών σημάτων που παράγει ο αισθητήρας.



ABSTRACT

The subject of this MSc thesis is the development and the testing of a system, which registers and represents electrical signals coming from silicon microstrip detectors of the Preshower detector. The Preshower is part of the CMS experiment, which is assembled at CERN in Switzerland. The system consists of two electronic boards, the ROH (Readout Hybrid) and the ROB (Readout Board), and the LabVIEW-based user interface running on a PC. The ROH includes the silicon microstrip detector, the Δ stream front-end chip, which preamplifies and shapes the electrical signals produced by the detector, and an operational amplifier. The ROB includes the ADC (Analog-to-Digital Converter), which digitizes the electrical signals, the FPGA (Field Programmable Gate Array), where the digitized signals are stored and the system's control signals are produced, and the μ C (microcontroller), which carries out the communication between the system's boards and the PC. The communication is realized through a RS232 serial cable. Finally, the LabVIEW user interface represents the stored data originating from the sampling of the detector's microstrips. Moreover, the user, through the LabVIEW program, is able to adjust the parameters of the system, such as the sampling method and the sampling frequency.



ΠΕΡΙΕΧΟΜΕΝΑ

ΕΙΣΑΓΩΓΗ.....	3
---------------	---

1. ΑΝΙΧΝΕΥΤΕΣ PRESHOWER ΤΟΥ CMS

1.1 Ο επιταχυντής σωματιδίων LHC.....	7
1.2 Το πείραμα CMS.....	8
1.3* Οι ανιχνευτικές διατάξεις Preshower.....	9

2. ΣΥΣΤΗΜΑ ΚΑΤΑΓΡΑΦΗΣ ΚΑΙ ΑΠΕΙΚΟΝΙΣΗΣ ΗΛΕΚΤΡΙΚΩΝ ΣΗΜΑΤΩΝ ΑΠΟ ΤΟΝ ΜΙΚΡΟΛΩΡΙΔΙΑΚΟ ΑΙΣΘΗΤΗΡΑ ΠΥΡΙΤΙΟΥ ΤΟΥ ΑΝΙΧΝΕΥΤΗ PRESHOWER

2.1 ΠΛΑΚΕΤΑ ROH (Readout Hybrid).....	13
2.1.1 Αισθητήρας πυριτίου του ανιχνευτή Preshower.....	13
2.1.2 Front End ολοκληρωμένο κύκλωμα Dstream.....	15
2.1.3 Ενισχυτής OPA620.....	17
2.2 ΠΛΑΚΕΤΑ ROB (Readout Board).....	17
2.2.1 Κύκλωμα κρυστάλλου @ 40MHz.....	18
2.2.2 Μονάδα ψηφιοποίησης σημάτων AD9042.....	18
2.2.3 FPGA σειράς XC4000E της XILINX.....	20
2.2.4 Μικροελεγκτής οικογένειας 8051 της ATMEL.....	22
2.2.5 Δίαυλος επικοινωνίας RS232.....	23

3. ΕΣΩΤΕΡΙΚΟ ΚΥΚΛΩΜΑ ΤΟΥ FPGA

3.1 Μέθοδοι προγραμματισμού του FPGA.....	25
3.2 Το εσωτερικό κύκλωμα του FPGA.....	26
3.3 Υπομονάδα καταχωρητών.....	33
3.4 Υπομονάδα διαίρεσης και διανομής των ρολογιών του συστήματος.....	34
3.5 Υπομονάδα εσωτερικής μνήμης RAM.....	35
3.6 Υπομονάδα μεθόδου δειγματοληψίας MODE0.....	36
3.7 Υπομονάδα μεθόδου δειγματοληψίας MODE1.....	37
3.8 Λοιπά στοιχεία του κυκλώματος.....	39
3.9 Οι ακροδέκτες του FPGA.....	39

4. ΛΕΙΤΟΥΡΓΙΑ ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ

4.1 Υλοποίηση επικοινωνίας συστήματος – χρήστη.....	41
4.2 Κώδικας μικροελεγκτή για τη διεκπεραίωση της επικοινωνίας.....	41
4.3 Εγγραφή δεδομένων στους καταχωρητές του FPGA.....	44



5.	LabVIEW ΠΕΡΙΒΑΛΛΟΝ ΓΙΑ ΤΟΝ ΧΡΗΣΤΗ	
5.1	Λειτουργίες του περιβάλλοντος χρήστη.....	47
5.2	Χρήση του περιβάλλοντος χρήστη.....	47
6.	ΕΛΕΓΧΟΣ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ – ΑΠΟΤΕΛΕΣΜΑΤΑ – ΣΥΜΠΕΡΑΣΜΑΤΑ	
6.1	Μετρήσεις τάσεων τροφοδοσίας στις πλακέτες ROB και ROH.....	51
6.2	Τροφοδοσία του Δstream.....	53
6.3	Σήματα ελέγχου του Δstream.....	54
6.4	Προσομοίωση χρονισμού σημάτων για την εγγραφή της μνήμης.....	58
6.5	Απεικόνιση κυματομορφών στο περιβάλλον εργασίας του προγράμματος LabVIEW.....	60
6.6	Επίλυση προβλήματος δειγματοληψίας σε υψηλές συχνότητες.....	65
	ΑΝΑΦΟΡΕΣ.....	69

ΠΑΡΑΡΤΗΜΑΤΑ

A.	ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΟΥ ΟΛΟΚΛΗΡΩΜΕΝΟΥ ΔSTREAM.....	71
B.	ΣΧΗΜΑΤΙΚΑ ΤΩΝ ΠΛΑΚΕΤΩΝ ROH – ROB.....	75
Γ.	ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΤΟΥ FPGA – PROM.....	87
Δ.	ΠΕΡΙΓΡΑΦΗ ΛΕΙΤΟΥΡΓΙΑΣ ΤΟΥ STATE MACHINE EDITOR.....	91
E.	ΥΠΟΜΟΝΑΔΕΣ ΕΣΩΤΕΡΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΤΟΥ FPGA.....	95
ΣΤ.	ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ ΜΕ ΚΩΔΙΚΑ ΣΕ ΓΛΩΣΣΑ ASSEMBLY.....	107
Z.	ΠΡΟΤΥΠΟ ΕΠΙΚΟΙΝΩΝΙΑΣ RS232.....	117
H.	ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΠΕΡΙΒΑΛΛΟΝΤΟΣ ΕΡΓΑΣΙΑΣ LabVIEW.....	123



ΕΙΣΑΓΩΓΗ

Η εργασία αυτή πραγματοποιήθηκε στο πλαίσιο του Προγράμματος Μεταπτυχιακών Σπουδών στις "Σύγχρονες Ηλεκτρονικές Τεχνολογίες" κατά το ακαδημαϊκό έτος 2000 – 2001 στο Εργαστήριο Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων.

Στόχος και αντικείμενο της παρούσας εργασίας ήταν η μελέτη, η υλοποίηση και ο έλεγχος ενός συστήματος καταγραφής και απεικόνισης ηλεκτρικών σημάτων, προερχόμενα από μικρολωριδιακό αισθητήρα πυριτίου (Σχήμα 1). Το σύστημα αποτελείται από δύο πλακέτες, την ROH και την ROB, και από ένα εργασιακό περιβάλλον για το χρήστη, το οποίο τρέχει σε έναν ηλεκτρονικό υπολογιστή PC και προγραμματίστηκε με τη βοήθεια του λογισμικού πακέτου LabVIEW 6.0 της εταιρίας National Instruments [1]. Η επικοινωνία μεταξύ των δύο πλακετών και του ηλεκτρονικού υπολογιστή είναι βασισμένη στο πρότυπο RS232. Αξίζει να σημειωθεί ότι το συγκεκριμένο σύστημα θα χρησιμοποιηθεί για τον έλεγχο των μικρολωριδιακών αισθητήρων πυριτίου τον ανιχνευτή Preshower του πειράματος CMS. Επίσης, η πλακέτα ROH αποτελεί μια πρώτη ανάπτυξη του υβριδικού των αναλογικών ηλεκτρονικών που θα χρησιμοποιηθεί στον Preshower.

Η πλακέτα ROH αποτελεί τη βάση στήριξης του μικρολωριδιακού αισθητήρα πυριτίου. Επιπλέον, η πλακέτα ROH συμπεριλαμβάνει το front end ολοκληρωμένο Δstream, που προενισχύει και μορφοποιεί τα ηλεκτρικά σήματα που παράγει ο αισθητήρας, καθώς και έναν ενισχυτή για να ενισχύσει και να οδηγήσει τα σήματα στη πλακέτα ROB.

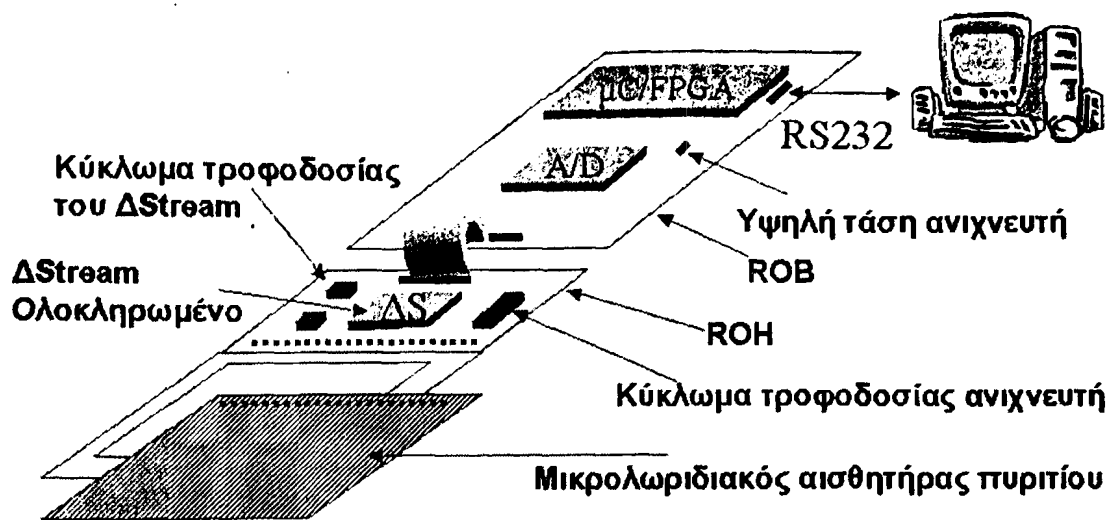
Στην πλακέτα ROB βρίσκεται ένας μετατροπέας αναλογικού σήματος σε ψηφιακό ADC, που ψηφιοποιεί τα ηλεκτρικά σήματα, τα οποία προέρχονται από τη ROH. Επίσης, στην ROB υπάρχει ένα FPGA, προγραμματισμένο να αποθηκεύει τα ψηφιοποιημένα σήματα και να παράγει τα σήματα ελέγχου του Δstream, καθώς και ένας μικροελεγκτής για να διεξάγει το πρωτόκολλο επικοινωνίας των ROH και ROB με τον ηλεκτρονικό υπολογιστή.

Στην οθόνη του ηλεκτρονικού υπολογιστή, όπως προαναφέραμε, έχει προγραμματιστεί να απεικονίζεται ένα φιλικό προς το χρήστη περιβάλλον εργασίας, που υλοποιήθηκε με το λογισμικό πακέτο LabVIEW. Με τη βοήθεια του συγκεκριμένου περιβάλλοντος εργασίας, ο χρήστης μπορεί να επιλέγει τον τρόπο και τη συχνότητα δειγματοληψίας των ηλεκτρικών σημάτων που παράγει ο αισθητήρας. Ακόμη, ο χρήστης είναι σε θέση να βλέπει τα καταγεγραμμένα σήματα, τα οποία απεικονίζονται με μορφή γραφήματος στο περιβάλλον εργασίας.

Η συγκεκριμένη μεταπτυχιακή εργασία περιέχει 6 κεφάλαια και 8 παραρτήματα, τα οποία αναλυτικότερα είναι τα εξής:

□ Στο κεφάλαιο 1 παρουσιάζεται ο ανιχνευτής Preshower, ο οποίος αποτελεί τμήμα του πειράματος CMS. Το πείραμα CMS θα διεξαχθεί στις εγκαταστάσεις του CERN, του Ευρωπαϊκού Κέντρου Πυρηνικών Ερευνών, και θα υλοποιηθεί κάνοντας χρήση του επιταχυντή σωματιδίων LHC, που βρίσκεται υπό κατασκευή.





ΣΧΗΜΑ 1: Διάγραμμα συστήματος καταγραφής και απεικόνισης ηλεκτρικών σημάτων από μικρολωριδιακό αισθητήρα πυριτίου

- Στο κεφάλαιο 2 γίνεται αναλυτική παρουσίαση των τμημάτων που αποτελούν τις πλακέτες ROH και ROB. Οι πλακέτες αυτές έχουν το ρόλο αναπτυξιακών πλατφόρμων για τις τελικές πλακέτες που θα τοποθετηθούν στον ανιχνευτή Preshower.
- Στο κεφάλαιο 3 αναλύεται το κύκλωμα με το οποίο προγραμματίζεται το FPGA του συστήματος, ώστε να παράγει τα σήματα ελέγχου του Δstream και να αποθηκεύει τα ψηφιοποιημένα δεδομένα των ηλεκτρικών σημάτων που βγαίνουν από το Δstream και τον ψηφιοποιητή.
- Στο τέταρτο κεφάλαιο αναλύεται το πρωτόκολλο επικοινωνίας που υλοποιεί ο μικροελεγκτής, ώστε τα αποθηκευμένα δεδομένα μεν να φτάνουν στον ηλεκτρονικό υπολογιστή, ο χρήστης δε να μπορεί να ρυθμίζει τις παραμέτρους της δειγματοληψίας των σημάτων.
- Στο κεφάλαιο 5 αναλύονται οι λειτουργίες του περιβάλλοντος εργασίας του χρήστη, όπως η απεικόνιση των δεδομένων με μορφή γραφήματος και οι επιλογές των ρυθμίσεων των παραμέτρων του συστήματος.
- Στο έκτο και τελευταίο κεφάλαιο της εργασίας παρουσιάζονται τα αποτελέσματα των ελέγχων που πραγματοποιήθηκαν στο σύστημα, καθώς και τα συμπεράσματα που εξάγονται για τη λειτουργία του συστήματος.
- Στο παράρτημα Α αναλύονται τα τεχνικά χαρακτηριστικά και η λειτουργία του front end ολοκληρωμένου Δstream.
- Στο παράρτημα Β δίνονται τα σχηματικά, τα χωροταξικά διαγράμματα και οι κατάλογοι υλικών, που χρειάστηκαν για την κατάσκευή των πλακετών ROH και ROB.
- Στο τρίτο παράρτημα περιγράφονται οι δύο τρόποι που χρησιμοποιήθηκαν για τον προγραμματισμό του FPGA του συστήματος, ο ένας απευθείας από τον ηλεκτρονικό υπολογιστή με τη βοήθεια του σειριακού καλωδίου XChecker και ο άλλος με τη χρήση μιας προγραμματισμένης μνήμης PROM, επί της πλακέτας ROB.
- Στο παράρτημα Δ εξηγείται η λειτουργία του εργαλείου State Machine Editor, που εμπεριέχεται στο λογισμικό πακέτο Xilinx Foundation Series 3.1i της εταιρίας Xilinx. Επίσης δίνονται και οι δύο μηχανές καταστάσεων που

υλοποιήθηκαν με τη βοήθεια αυτού του εργαλείου, για τις ανάγκες του εσωτερικού κυκλώματος του FPGA.

- Στο πέμπτο παράρτημα παραθέτονται τα σχηματικά των υπομονάδων που αποτελούν το εσωτερικό κύκλωμα του FPGA.
- Στο παράρτημα ΣΤ περιγράφεται η διαδικασία προγραμματισμού του μικροελεγκτή που ακολουθήθηκε και δίνεται ο κώδικας, γραμμένος σε γλώσσα Assembly, με τον οποίο προγραμματίζουμε τον μικροελεγκτή του συστήματος.
- Στο παράρτημα Ζ παρουσιάζονται τα χαρακτηριστικά του προτύπου επικοινωνίας RS232.
- Στο όγδοο και τελευταίο παράρτημα της εργασίας δίνονται τα μπλοκ διαγράμματα του προγράμματος, που γράφτηκε σε γραφική γλώσσα G, με τη βοήθεια του λογισμικού πακέτου LabVIEW και αποτελούν το περιβάλλον εργασίας του χρήστη.

Σε αυτό το σημείο της εργασίας θα ήθελα να ευχαριστήσω μερικούς ανθρώπους, η συμβολή των οποίων στην πραγματοποίηση αυτής της εργασίας υπήρξε σημαντική.

Κατ' αρχάς θα ήθελα να ευχαριστήσω τον επιβλέποντα της συγκεκριμένης εργασίας, τον Καθηγητή Φ. Τριάντη, διευθυντή του Εργαστηρίου Φυσικής Υψηλών Ενεργειών (ΕΦΥΕ) του Πανεπιστημίου Ιωαννίνων, για την καθοδήγησή του σε όλη τη διάρκεια του προγράμματος των μεταπτυχιακών σπουδών μου και ειδικότερα κατά την εκπόνηση της διπλωματικής μου εργασίας.

Ακόμη, τις ευχαριστίες μου θα ήθελα να τις μεταβιβάσω στον Επίκουρο Καθηγητή Ν. Μάνθο, μέλος του ΕΦΥΕ του Πανεπιστημίου Ιωαννίνων, για τις συμβουλές και τη βοήθειά του, στον Δρ. Κ. Κλουκίνα, ερευνητή του Ευρωπαϊκού Κέντρου Πυρηνικών Ερευνών CERN, για τη συμβολή του στην ολοκλήρωση της παρούσας εργασίας, καθώς επίσης και στον Επίκουρο Καθηγητή Ι. Ευαγγέλου και στον Επίκουρο Καθηγητή Π. Κόκκα, μέλη του ΕΦΥΕ του Πανεπιστημίου Ιωαννίνων.

Επιπλέον, θέλω να εκφράσω ιδιαίτερες ευχαριστίες στους συναδέλφους μου κ.κ. Κ. Προύσκα και Β. Χριστοφιλάκη για την ενεργή συμμετοχή τους στην υλοποίηση τμημάτων της παρούσας εργασίας, καθώς και στους συναδέλφους μου Α. Αναστασίου, Α. Ασημίδη, Ν. Γριμάνη, Ε. Κοντομάρκο, και Ο. Μητρόπουλο και για τη βοήθεια που μου πρόσφεραν και για το πνεύμα συνεργασίας που επέδειξαν σε όλη τη διάρκεια της εκπόνησης αυτής της εργασίας.



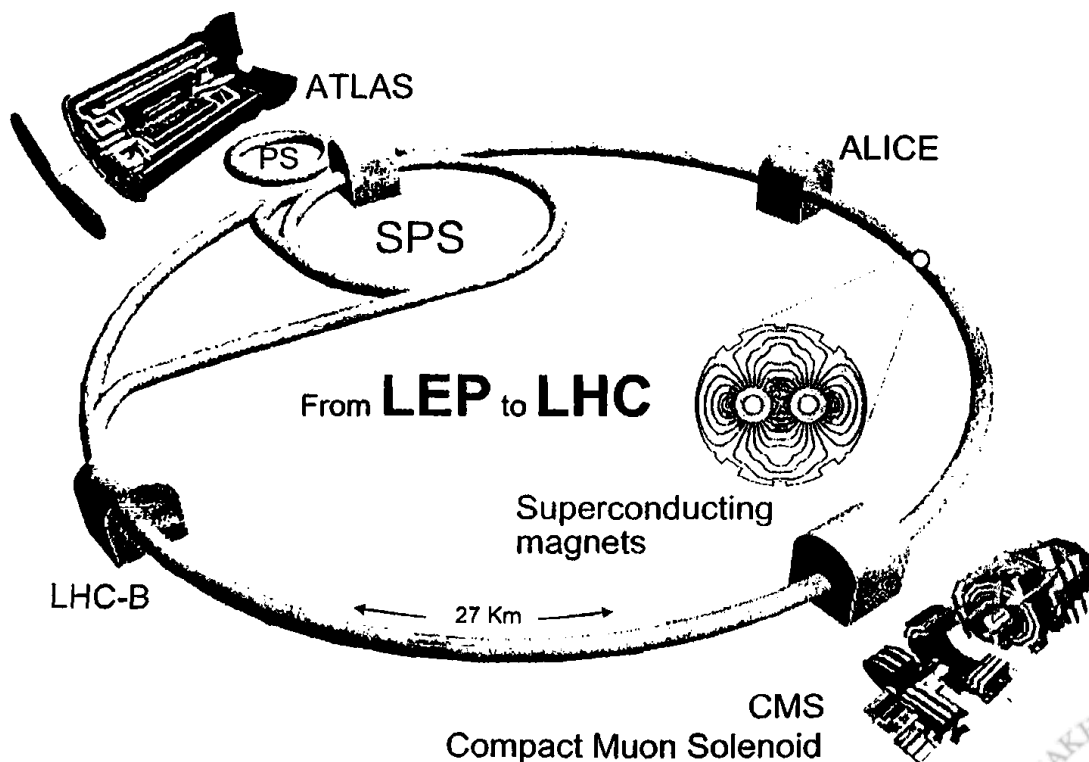
1. ΑΝΙΧΝΕΥΤΕΣ PRESHOWER ΤΟΥ CMS

Οι ανιχνευτές Preshower αποτελούν επιμέρους τμήματα του πειράματος CMS (Compact Muon Solenoid), το οποίο ετοιμάζεται και συναρμολογείται σε εγκαταστάσεις του Ευρωπαϊκού Κέντρου Πυρηνικών Ερευνών, δηλαδή του CERN (European Center for Nuclear Research) [1]. Το πείραμα CMS θα διεξαχθεί με τη βοήθεια του επιταχυντή LHC (Large Hadron Collider), ο οποίος αντικαθιστά τον επιταχυντή LEP (Large Electron Positron collider) στις εγκαταστάσεις του CERN.

1.1 Ο επιταχυντής σωματιδίων LHC

Ο επιταχυντής LHC (Σχήμα 1.1) είναι εγκατεστημένος σε ένα υπόγειο κυκλικό τούνελ στα περίχωρα της Γενεύης, σε βάθος μέχρι και 100 m κάτω από την επιφάνεια του εδάφους, το οποίο έχει περίμετρο 27 km! Το συγκεκριμένο τούνελ είχε φτιαχτεί αρχικά για να στεγάσει τον επιταχυντή LEP, ο οποίος αντικαθίσταται πλέον από τον LHC. Με την ολοκλήρωση της κατασκευής του, ο LHC θα είναι ο ισχυρότερος επιταχυντής σωματιδίων στον κόσμο (Σχήμα 1.2) [2].

The Large Hadron Collider (LHC)



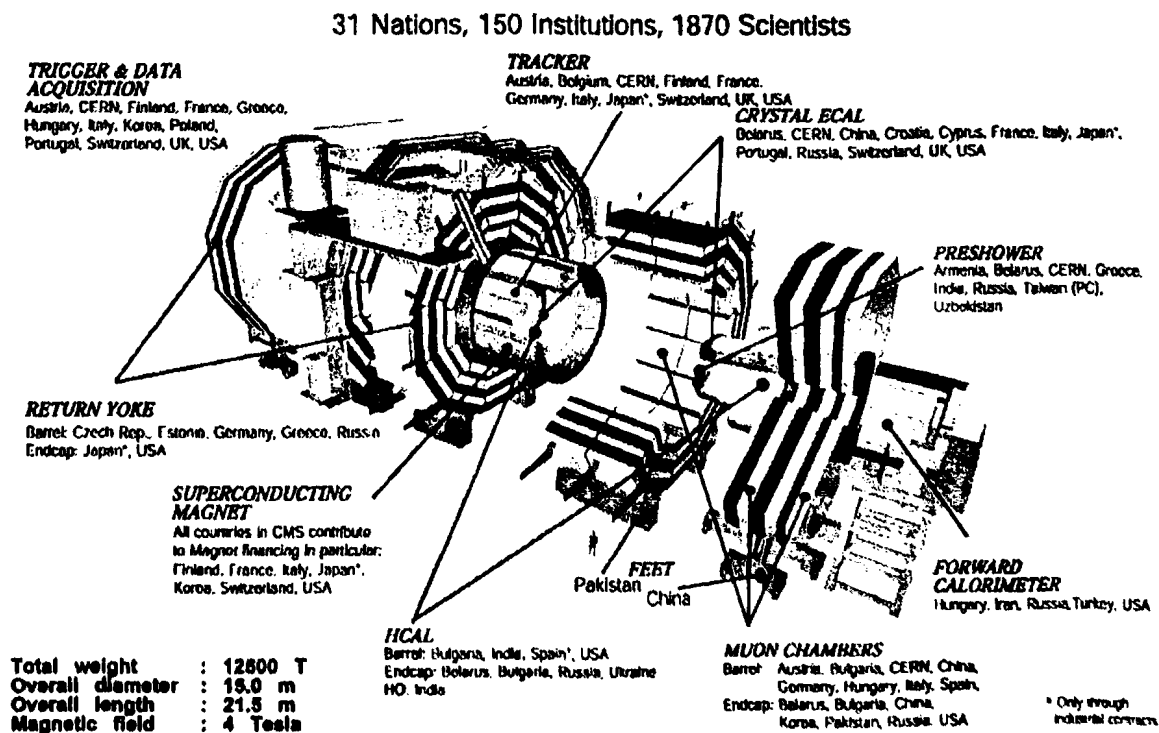
ΣΧΗΜΑ 1.1: Ο επιταχυντής σωματιδίων LHC και τα πειράματα που περιλαμβάνει

	Beams	Energy	Luminosity
LEP	$e^+ e^-$	200 GeV	$10^{32} \text{ cm}^{-2}\text{s}^{-1}$
LHC	$p p$	14 TeV	10^{34}
	Pb Pb	1312 TeV	10^{27}

ΣΧΗΜΑ 1.2: Σύγκριση ενέργειας και φωτεινότητας των επιταχυντών LEP και LHC

1.2 Το πείραμα CMS

Ένα από τα πειράματα που θα διεξαχθούν με τη βοήθεια του επιταχυντή είναι και το CMS (Σχήμα 1.3) [3]. Η ιδέα της κατασκευής ενός συμπαγούς ανιχνευτή, βασισμένου σε ένα σωληνοειδές πηνίο (solenoid), παρουσιάστηκε τον Οκτώβριο του 1990. Η υιοθέτηση σωληνοειδούς πηνίου υπαγορεύτηκε από την απαίτηση για συμπαγή σχεδίαση του ανιχνευτή, ώστε να επιτευχθεί ένα πολύ ισχυρό μαγνητικό πεδίο (~4 Tesla).



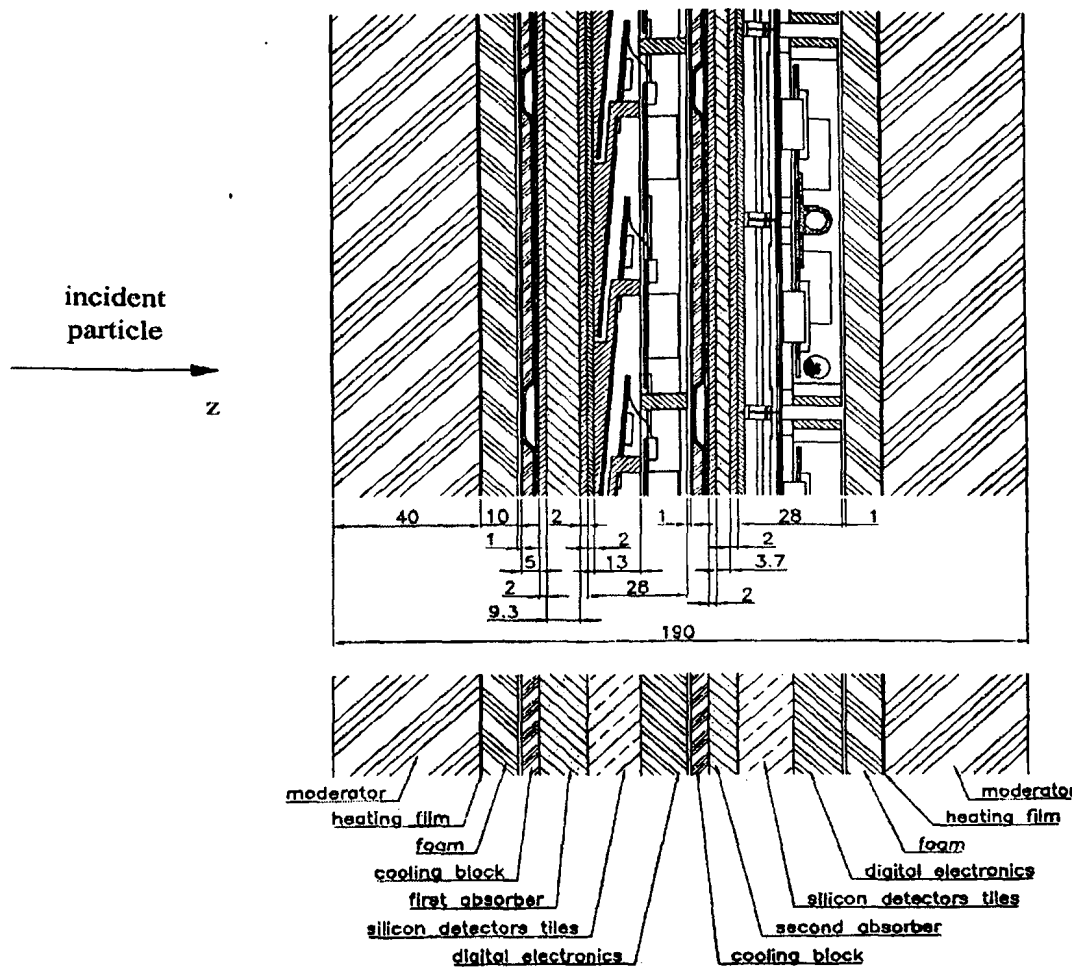
ΣΧΗΜΑ 1.3: Μεγέθη, εμπλεκόμενα έθνη και επιμέρους τμήματα του πειράματος CMS

Ο κύριος στόχος του πειράματος CMS είναι να διακρίνει τα ποικίλα χαρακτηριστικά της σύγχρονης φυσικής, προσδιορίζοντας και καταμετρώντας τα παραγόμενα, από τις συγκρούσεις σωματίδια, όπως μίονια, ηλεκτρόνια και φωτόνια σε ένα ευρύ φάσμα ενεργειών και σε υψηλή φωτεινότητα. Πρόκληση επίσης αποτελεί για το συγκεκριμένο πείραμα η πιθανή ανίχνευση σωματιδίων (μποζονίων) του Higgs, των οποίων η ύπαρξη προβλέπεται από τη θεωρία του Σταθερού Μοντέλου (Standard Model). Ο ανιχνευτής του πειράματος CMS όταν ολοκληρωθεί θα έχει συνολική διάμετρο 15 m, συνολικό μήκος 22 m και συνολικό βάρος 12,500 τόννων. Ο ανιχνευτής θα αποτελείται από επιμέρους τμήματα, όπως το ηλεκτρομαγνητικό καλορίμετρο ECAL, το αδρονικό καλορίμετρο HCAL, τον ανιχνευτή τροχιών TRACKER και τον ανιχνευτή μιονίων MUON CHAMBERS. Για το συγκεκριμένο πείραμα απασχολούνται περίπου 2000 επιστήμονες, από 150 επιστημονικά ιδρύματα σε 30 χώρες!

1.3 Οι ανιχνευτικές διατάξεις Preshower

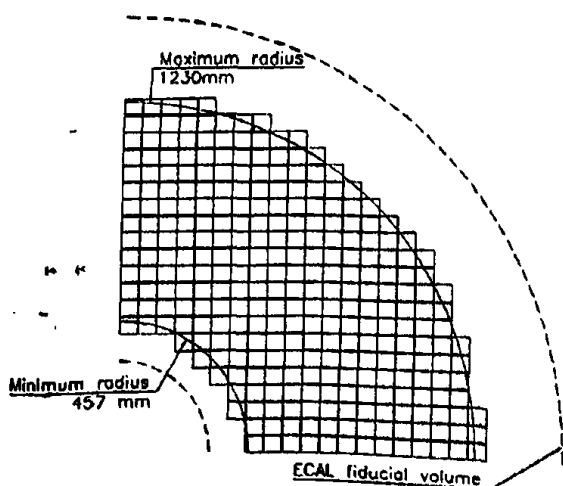
Το πείραμα CMS περιλαμβάνει δύο ανιχνευτές Preshower τοποθετημένους στις έδρες, που είναι κάθετες στον άξονα της τροχιάς των σωματιδίων, στα δύο άκρα του κυλινδρικού ηλεκτρομαγνητικού καλορίμετρου (endcaps) και στο περίβλημα του (barrel), παράλληλα προς τον άξονα διέλευσης των σωματιδίων [4],[5]. Αυτοί οι δύο ανιχνευτές έχουν πολλά κοινά στοιχεία στη σχεδίασή τους, ειδικά δε τα ηλεκτρονικά τους είναι πανομοιότυπα. Η λειτουργία του ανιχνευτή του περιβλήματος επικεντρώνεται στην καταμέτρηση της γωνίας της κατεύθυνσης των φωτονίων, όταν παραχθούν από τις συγκρούσεις των σωματιδίων στο κέντρο του πειράματος CMS, ενώ η λειτουργία των ανιχνευτών Preshower των δύο εδρών έχει ως στόχο το διαχωρισμό των ιχνών που δημιουργεί ένα μεμονωμένο φωτόνιο από ένα ζεύγος φωτονίων, που προέρχεται από την εξασθένηση ενός πιονίου μεγάλης ενέργειας. Ένας ανιχνευτής Preshower αποτελείται, από τα εξωτερικά επίπεδα προς τα εσωτερικά, από ένα επιβραδυντή νετρονίων πάχους 40 mm, ένα πολύ λεπτό θερμικό φιλμ, ένα θερμομονωτικό στρώμα αφρού πάχους 10 mm, μια μονάδα ψύξης, ένα στρώμα απορρόφησης ενέργειας από Al και Pb. Στη συνέχεια, ο ανιχνευτής Preshower περιλαμβάνει ένα επίπεδο αισθητήρων πυριτίου για τη γ συνιστώσα των ιχνών των φωτονίων, θεωρώντας ότι η z συνιστώσα του ορθοκανονικού συστήματος αναφοράς είναι παράλληλη προς την τροχιά ενός φωτονίου που προσπίπτει κάθετα στο επίπεδο των αισθητήρων. Ακολούθως, υπάρχει ακόμα ένα επίπεδο αισθητήρων πυριτίου για την εύρεση της x συνιστώσας των ιχνών που δημιουργούν οι τροχιές των διερχόμενων φωτονίων. Αξίζει επίσης να σημειωθεί ότι κάθε επίπεδο αισθητήρων πυριτίου περιλαμβάνει τα αντίστοιχα αναλογικά ηλεκτρονικά front-end και μια μητρική κάρτα που φιλοξενεί τα ψηφιακά ηλεκτρονικά ελέγχου και καταγραφής των σημάτων που παράγουν οι αισθητήρες πυριτίου. Τα επιμέρους τμήματα που αποτελούν έναν ανιχνευτή Preshower φαίνονται αναλυτικότερα στο Σχήμα 1.4.



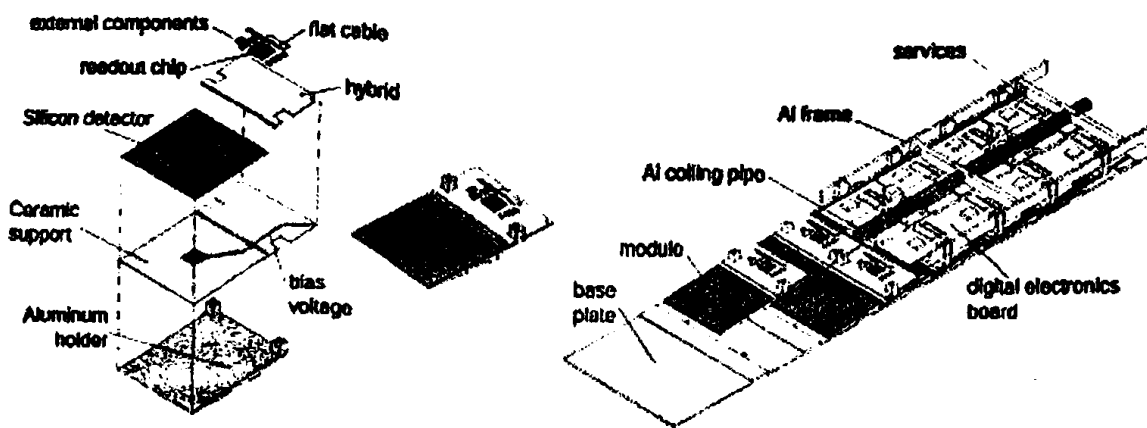


ΣΧΗΜΑ 1.4: Τομή ενός ανιχνευτή Preshower

Η τοποθέτηση των αισθητήρων πυριτίου γίνεται σε συστοιχίες (ladders), αποτελούμενες από δύο παράπλευρες σειρές αυτόνομων στοιχείων (modules). Κάθε τέτοιο αυτόνομο στοιχείο αποτελείται από μια αλουμινένια κατασκευή στήριξης (holder), ένα κεραμικό επίπεδο υποστήριξης που περιλαμβάνει και την γραμμή τροφοδοσίας του αισθητήρα πυριτίου (ceramic), έναν αισθητήρα πυριτίου διαστάσεων $(63 \times 63) \text{ mm}^2$ αποτελούμενο από 32 λωρίδες πάχους 1.9 mm έκαστη και ένα υβριδικό τμήμα που περιλαμβάνει τα αναλογικά ηλεκτρονικά front-end. Αξίζει να σημειωθεί ότι το αλουμινένιο στήριγμα σχηματίζει κεκλιμένο επίπεδο, σε σχέση με τη βάση των συστοιχιών, γωνίας 4.5° , ώστε τα αυτόνομα στοιχεία να τοποθετούνται κατά τέτοιο τρόπο, που να εξασφαλίζεται η κάλυψη όλου του επιπέδου της συστοιχίας από τους αισθητήρες πυριτίου. Τα ψηφιακά ηλεκτρονικά τοποθετούνται σε κατασκευή πάνω από τα αυτόνομα στοιχεία και συνδέονται με αυτά μέσω επιπέδου καλωδίου (flat cable). Οι συστοιχίες τοποθετούνται εν συνεχεία η μία δίπλα στην άλλη, ώστε να καλύπτεται ολόκληρη η επιφάνεια του ανιχνευτή Preshower (Σχήματα 1.5 και 1.6).



ΣΧΗΜΑ 1.5: Κάλυψη ενός τεταρτημορίου του ανιχνευτή Preshower από αισθητήρες πυριτίου



ΣΧΗΜΑ 1.6: Συναρμολόγηση ενός αυτόνομου στοιχείου και μιας συστοιχίας



Από την ανάλυση των δεδομένων που προέκυψαν από την επεξεργασία των δεδομένων του CMS, προέκυψε ότι η απόδοση των ανιχνευτών Preshower είναι εξαιρετική, με ποσοστά ανίχνευσης που φτάνουν το 100% για ενέργειες που είναι μεγαλύτερες από 10 GeV. Η απόδοση αυτή είναι ανεξάρτητη της γωνίας πρόσπτωσης των σωματιδίων, γεγονός που αποτελεί σημαντικό πλεονέκτημα για την ανίχνευση των Preshower. Η ανάλυση των δεδομένων έδειξε επίσης ότι η απόδοση των ανιχνευτών Preshower είναι ανεξάρτητη της ενέργειας του πρωτονίου, γεγονός που αποτελεί σημαντικό πλεονέκτημα για την ανίχνευση των Preshower. Η ανάλυση των δεδομένων έδειξε επίσης ότι η απόδοση των ανιχνευτών Preshower είναι ανεξάρτητη της ενέργειας του πρωτονίου, γεγονός που αποτελεί σημαντικό πλεονέκτημα για την ανίχνευση των Preshower.



2. ΣΥΣΤΗΜΑ ΚΑΤΑΓΡΑΦΗΣ ΚΑΙ ΑΠΕΙΚΟΝΙΣΗΣ ΗΛΕΚΤΡΙΚΩΝ ΣΗΜΑΤΩΝ ΑΠΟ ΤΟΝ ΜΙΚΡΟΛΩΡΙΔΙΑΚΟ ΑΙΣΘΗΤΗΡΑ ΠΥΡΙΤΙΟΥ ΤΟΥ ΑΝΙΧΝΕΥΤΗ PRESHOWER

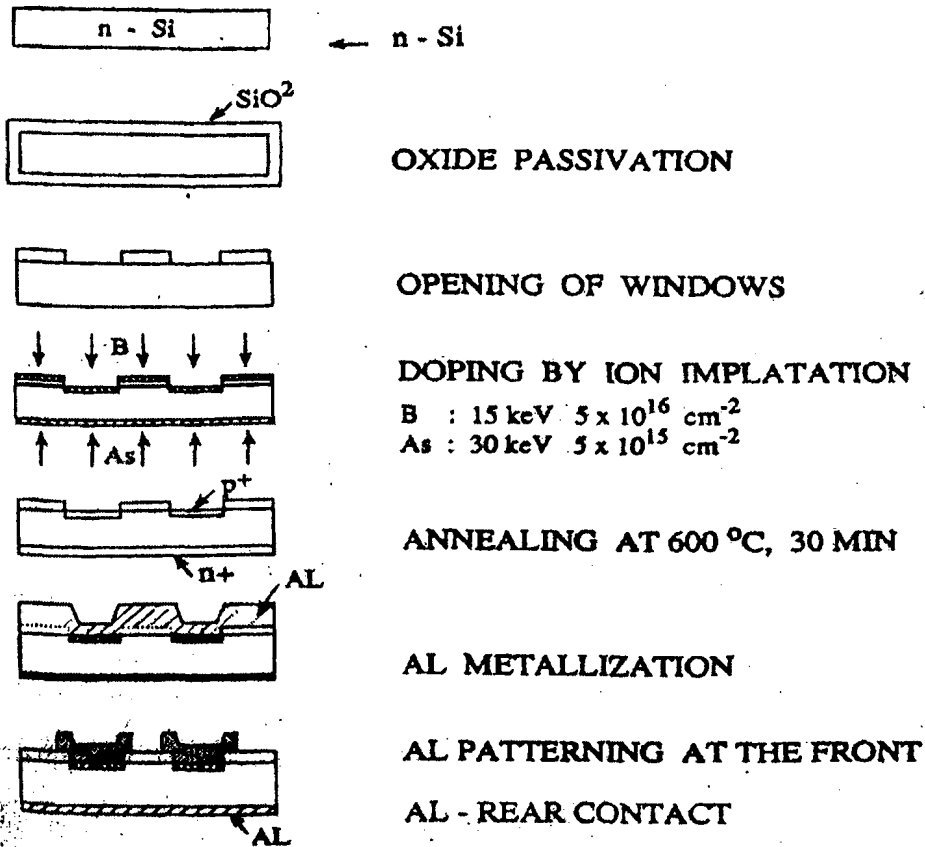
2.1 ΠΛΑΚΕΤΑ ROH (Readout Hybrid)

Μία από τις δύο πλακέτες που αποτελούν το σύστημα καταγραφής και απεικόνισης ηλεκτρικών σημάτων, που προέρχονται από αισθητήρες πυριτίου, είναι η ROH. Η πλακέτα ROH χρησιμοποιείται ως βάση στήριξης του αισθητήρα. Τα κανάλια (μικρολωρίδες) του αισθητήρα συνδέονται ένα προς ένα με τα αντίστοιχα κανάλια του ολοκληρωμένου Δstream, το οποίο επίσης βρίσκεται επί της πλακέτας ROH. Επιπλέον, η πλακέτα ROH φέρει έναν τελεστικό ενισχυτή, που μπορεί να συνδεθεί σειριακά με την έξοδο του Δstream. Πληροφορίες που σχετίζονται με τη σχεδίαση και την υλοποίηση της πλακέτας ROH παραθέτονται στο παράρτημα Β.1.

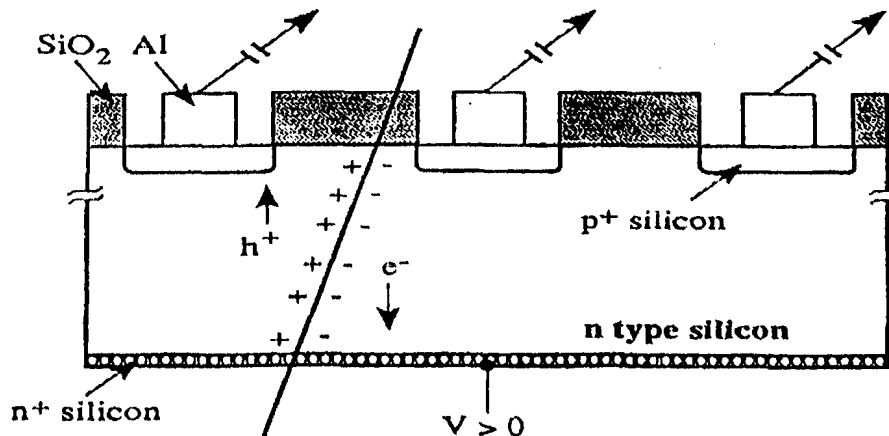
2.1.1 Αισθητήρας πυριτίου του ανιχνευτή Preshower

Οι αισθητήρες ημιαγωγών χρησιμοποιούνται στην Πυρηνική Φυσική [6] ήδη από τη δεκαετία του '50, αλλά σε πειράματα Φυσικής υψηλών Ενεργειών εμφανίστηκαν πολύ αργότερα, κατά τη δεκαετία του '70. Από το 1980, οπότε ο J. Kemmer εισήγαγε την επίπεδη τεχνική κατασκευής ολοκληρωμένων κυκλωμάτων σε πυρίτιο (Σχήμα 2.1), οι αισθητήρες πυριτίου εξελίσσονται με γοργούς ρυθμούς και χρησιμοποιούνται σε ολοένα διευρυνόμενο φάσμα εφαρμογών [7]. Η φιλοσοφία της επίπεδης τεχνικής στηρίζεται στην κατασκευή πολύ λεπτών επιπέδων p-τύπου πυριτίου, με την εμφύτευση ιόντων βορίου, πάνω σε υπόβαθρο n-τύπου πυριτίου, το οποίο δημιουργείται με το βομβαρδισμό του πυριτίου με ιόντα φωσφόρου ή αρσενικού [8]. Στη συνέχεια, επιμεταλλώνονται οι εμπλουτισμένες επιφάνειες με αλουμίνιο, ώστε να είναι δυνατή η σύνδεση τους με μικροσυγκολλήσεις με τα ηλεκτρονικά τροφοδοσίας και ενίσχυσης σήματος.

Οι αισθητήρες μικρολωρίδων πυριτίου είναι πολύ δημοφιλείς στη Φυσική Υψηλών Ενεργειών κυρίως λόγω της πολύ καλής διακριτικής τους ικανότητας, που παρέχουν για τη μέτρηση της ενέργειας [9]. Για κάθε 3.6 eV ενέργειας που απελευθερώνεται μέσα στο πυρίτιο από τη διέλευση ενός φορτισμένου σωματιδίου, δημιουργείται ενός ζεύγους οπής-ηλεκτρονίου. Η λειτουργία ενός αισθητήρα πυριτίου βασίζεται στη δημιουργία ζευγών οπών-ηλεκτρονίων στην περιοχή απογύμνωσης του πυριτίου, όταν υπάρξει διέλευση φορτισμένου σωματιδίου μέσω αυτής (Σχήμα 2.2). Η περιοχή απογύμνωσης προκαλείται από το ηλεκτρικό πεδίο που δημιουργεί μια τάση πόλωσης που εφαρμόζεται στα άκρα της διεπαφής ανάμεσα στα επίπεδα p-τύπου και n-τύπου. Αυτή η τάση πόλωσης συνεισφέρει ακόμη στη συλλογή των οπών και των ηλεκτρονίων που δημιουργούνται από τις διελεύσεις των σωματιδίων. Οι οπές και τα ηλεκτρόνια που συλλέγονται σε κάθε διέλευση παράγουν ηλεκτρικό σήμα, το οποίο αποτελεί την πληροφορία που μπορεί να συλλεχθεί από τους συγκεκριμένους αισθητήρες.

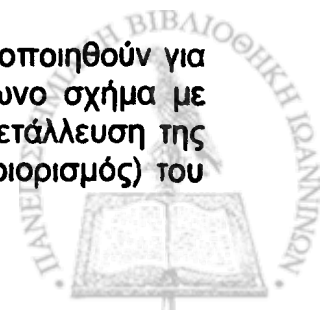


ΣΧΗΜΑ 2.1: Διαδοχικά στάδια της επίπεδης τεχνικής για την κατασκευή μικρολωριδιακών αισθητήρων πυριτίου



ΣΧΗΜΑ 2.2: Διερχόμενο σωματίδιο από τομή ενός αισθητήρα πυριτίου

Οι μικρολωριδιακοί αισθητήρες πυριτίου που θα χρησιμοποιηθούν για τις ανάγκες του ανιχνευτή Preshower έχουν έκαστος τετράγωνο σχήμα με πλευρά μήκους 63 mm, ώστε να γίνει η καλύτερη δυνατή εκμετάλλευση της κυκλικής επιφάνειας διαμέτρου 4 ιντσών (κατασκευαστικός περιορισμός) του



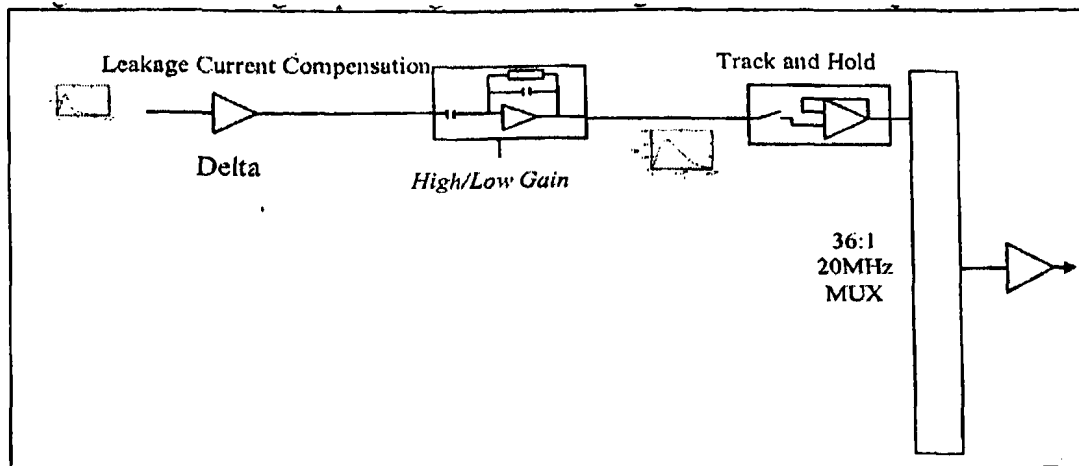
κάθε δίσκου καθαρού πυριτίου (silicon wafer). Κάθε αισθητήρας περιλαμβάνει 32 μικρολωρίδες, διαστάσεων 1.8 mm πλάτος επί 60.8 mm μήκος, οι οποίες απέχουν μεταξύ τους 1.9 mm. Τόσο η σχεδίαση, όσο και η κατασκευή των αισθητήρων έγινε κατά τέτοιο τρόπο ώστε να αντέχουν σε υψηλές τάσεις (~400 V), να βελτιστοποιηθεί η ικανότητα συλλογής φορτίων και ο λόγος σήματος προς θόρυβο S/N και να ελαχιστοποιηθούν οι παρεμβολές των σημάτων μεταξύ των μικρολωρίδων, ο θόρυβος που εισάγει ο αισθητήρας και η κατανάλωση ενέργειας [10].

2.1.2 Front End ολοκληρωμένο κύκλωμα Δstream

Το front end ολοκληρωμένο αναλογικό κύκλωμα με την ονομασία Δstream αναπτύχθηκε με σκοπό να ικανοποιήσει τις ανάγκες των μετρήσεων, που διεξάγει η αναπτυξιακή ομάδα του ανιχνευτή Preshower του πειράματος CMS [11]. Επιπλέον, το Δstream προσφέρεται ως πρότυπο ολοκληρωμένο για τη δοκιμή κάποιων υπομονάδων, που θα συμπεριληφθούν στη τελική σχεδίαση του front end ολοκληρωμένου κυκλώματος με την ονομασία PACE, το οποίο θα ενσωματωθεί στον ανιχνευτή Preshower. Το Δstream έχει κατασκευαστεί με τεχνολογία αντοχής στη ραδιενέργεια και μπορεί να αντέξει μέχρι και 10 Mrads ιονίζουσας ακτινοβολίας.

Το κύκλωμα του ολοκληρωμένου Δstream περιλαμβάνει 36 πανομοιότυπα κανάλια. Η είσοδος των 32 κεντρικών καναλιών συνδέεται στο σύστημά μας με μία από τις μικρολωρίδες του αισθητήρα πυριτίου, δηλαδή τα δύο πρώτα και τα δύο τελευταία κανάλια του Δstream θα παραμείνουν ασύνδετα. Τα κανάλια που μένουν ασύνδετα αποσκοπούν στον καθορισμό του κοινού θορύβου (common noise) όταν είναι συνδεδεμένος ο αισθητήρας πυριτίου. Κάθε κανάλι αποτελείται από ένα προενισχυτή (preamplifier), ένα μορφοποιητή σήματος (shaper) και ένα κύκλωμα ανίχνευσης-συγκράτησης (track-and-hold) (Σχήμα 2.3). Ο προενισχυτής έχει τη δυνατότητα να παράγει δύο διαφορετικές ενισχύσεις του σήματος, χαμηλή ενίσχυση (Low Gain) της τάξης των 4 mV/mip σε μια περιοχή 0 - 400 mip/s και υψηλή ενίσχυση (High Gain) της τάξης των 30mV/mip σε μια περιοχή 0 - 50 mip/s. Σε αυτό το σημείο κρίνεται σκόπιμο να δοθεί ο ορισμός του ενός mip, ο οποίος είναι 1 mip = 4 fCb. Η επιλογή της ενίσχυσης που θα δώσει ο προενισχυτής γίνεται με τη βοήθεια του σήματος HG: όταν είναι '0' επιλέγεται η χαμηλή ενίσχυση, ενώ όταν το σήμα HG είναι '1' έχει γίνει επιλογή της υψηλής ενίσχυσης. Η έξοδος κάθε καναλιού οδηγείται στην είσοδο ενός πολυπλέκτη 36 εισόδων και μιας αναλογικής εξόδου (OUT). Περισσότερες πληροφορίες αναφορικά με το Δstream παραθέτονται στο παράρτημα Α.





ΣΧΗΜΑ 2.3: Λειτουργικό διάγραμμα του ολοκληρωμένου Δstream

Το ολοκληρωμένο Δstream δέχεται, για την πραγματοποίηση των λειτουργιών του, συγκεκριμένα σήματα ελέγχου, τα οποία παράγονται σε άλλο τμήμα του συστήματος στην πλακέτα ROB, σύμφωνα με τις ρυθμίσεις που έχει επιλέξει ο χρήστης. Πιο συγκεκριμένα, η λειτουργία του Δstream έχει ως ακολούθως, το σήμα HOLDN θα πρέπει να είναι σε κατάσταση ανίχνευσης (track), δηλαδή σε λογικό επίπεδο '1', ώστε να λαμβάνει το Δstream τα σήματα από τον αισθητήρα. Αφού ληφθεί κάποιο σήμα και μετά την πάροδο 25 nsec από τη στιγμή της έλευσής του, το σήμα HOLDN θα πρέπει να μεταπηδήσει σε κατάσταση συγκράτησης (hold), δηλαδή σε λογικό επίπεδο '0'. Καθ' όλη τη διάρκεια της πολυπλεξίας των 36 καναλιών του Δstream πρέπει να διατηρείται η κατάσταση συγκράτησης. Κατόπιν, θα πρέπει να αποδοθεί ένας παλμός, διάρκειας μιας περιόδου του ρολογιού πολυπλεξίας CLK, στην είσοδο του σήματος S στο Δstream, ώστε να ξεκινήσει η διαδικασία πολυπλεξίας των καναλιών. Ο ρυθμός της πολυπλεξίας εξαρτάται από τη συχνότητα του σήματος CLK, το οποίο έχει το ρόλο του ρολογιού του πολυπλέκτη, που εμπεριέχεται στο Δstream. Η δειγματοληψία των σημάτων που έχουν συγκρατηθεί πραγματοποιείται στην αρνητική ακμή των παλμών του ρολογιού CLK. Το κύκλωμα του Δstream δύναται να επανέλθει στην αρχική του κατάσταση ανίχνευσης, όταν το σήμα RESET οδηγηθεί σε λογικό επίπεδο '0'. Όταν το Δstream βρίσκεται σε κατάσταση συγκράτησης, το σήμα RESET πρέπει να βρίσκεται σε λογικό επίπεδο '1'. Τέλος, μετά το πέρας της πολυπλεξίας των 36 καναλιών, το Δstream παράγει έναν παλμό MUXQ, για την περίπτωση που χρειαστεί να χρησιμοποιηθούν οι πολυπλέκτες από πολλά Δstreams ολοκληρωμένα σε ακολουθιακή σειρά (daisy chain), δηλαδή το ένα μετά το άλλο.

2.1.3 Ενισχυτής OPA620

Ο ενισχυτής OPA620 είναι ένας μονολιθικός, ευρέως φάσματος (έως και 200 MHz) και μεγάλης ακρίβειας τελεστικός (operational) ενισχυτής [12]. Εξαιτίας της αρχιτεκτονικής του κυκλώματος του, ο OPA620 προσφέρεται για χρήση σε εφαρμογές που απαιτούν υψηλή ταχύτητα απόκρισης και ακρίβεια στο επίπεδο του σήματος στην έξοδο του ενισχυτή.

Ο OPA620 έχει πολύ γρήγορο χρόνο αποκατάστασης, δηλαδή ο χρόνος που μεσολαβεί από τη λήψη του σήματος στην είσοδό του μέχρι την αποκατάστασή του στην έξοδο του ενισχυτή στα πλαίσια ενός καθορισμένου σφάλματος φάσματος. Ο χρόνος αποκατάστασης του OPA620 είναι της τάξης των 25 nsec με περιθώριο σφάλματος 0.01%. Ο συγκεκριμένος τύπος ενισχυτή έχει επίσης τη δυνατότητα να οδηγεί μεγάλα φορτία στην έξοδό του, όπως για παράδειγμα ένα σήμα πλάτους 6 Volts p-p σε γραμμή φόρτου των 50 Ω.

Ο τρόπος που έχει επιλεγεί να γίνει η σύνδεση του ενισχυτή OPA620 στην πλακέτα ROH παρέχει ενίσχυση του σήματος εισόδου που δίνεται από τη σχέση [13]:

$$V_{out} = V_{in} * \left(1 + \frac{R_3 + R_5}{R_4}\right)$$

Στο ROH, οι τιμές των αντιστάσεων R_3 , R_4 και R_5 είναι τέτοιες ώστε ο συντελεστής ενίσχυσης του σήματος να είναι 5.45 (Σχήμα 2.4).

2.2 ΠΛΑΚΕΤΑ ROB (Readout Board)

Η δεύτερη πλακέτα, η οποία ολοκληρώνει το σύστημα, είναι η ROB (Σχήμα 2.5), η οποία συνδέεται με τη ROH και με τον ηλεκτρονικό υπολογιστή (PC), μέσω σειριακού καλωδίου. Στη συγκεκριμένη πλακέτα βρίσκεται ο κρύσταλλος, ο οποίος παρέχει το περιοδικό σήμα που χρονίζει το υπόλοιπο κύκλωμα, ο μετατροπέας αναλογικού σήματος σε ψηφιακό (ADC) που ψηφιοποιεί τα σήματα που έρχονται από τη πλακέτα ROH. Επίσης, επί της πλακέτας ROB βρίσκεται το FPGA, που αποθηκεύει τα ψηφιοποιημένα σήματα και παράγει τα σήματα ελέγχου του Δstream, καθώς και ο μικροελεγκτής (μC), που διεκπεραιώνει την επικοινωνία των δύο πλακετών, ROH και ROB, με τον PC. Από τον ηλεκτρονικό υπολογιστή ο χρήστης ρυθμίζει τις παραμέτρους του συστήματος και ελέγχει τα αποτελέσματα των σημάτων που παράγει ο αισθητήρας πυριτίου.



2.2.1 Κύκλωμα κρυστάλλου @ 40MHz

Στο σύστημα έχει χρησιμοποιηθεί ως ρολόι, ένας κρύσταλλος ακριβείας (crystal oscillator) που δίνει παλμούς συχνότητας 40 MHz, δηλαδή ένα παλμό κάθε 25 nsec [14].

Έχει ληφθεί μέριμνα στη σχεδίαση του κυκλώματος, ώστε ο κρύσταλλος να μην εισάγει θόρυβο στην υπόλοιπη πλακέτα μέσω των ακροδεκτών τροφοδοσίας του. Συγκεκριμένα, τόσο στον ακροδέκτη τάσης VCC, όσο και στον ακροδέκτη της γης GND συνδέσαμε σε σειρά από ένα φερρίτη (πηνίο) και παράλληλα προς αυτούς τους ακροδέκτες συνδέθηκε ένας πυκνωτής 100 nF. Με αυτήν την συνδεσμολογία κατορθώθηκε να μειωθούν στο ελάχιστο δυνατό οι αρμονικές ταλαντώσεις, πολλαπλάσιες των 40 MHz, που εισήγαγε ο κρύσταλλος στο υπόλοιπο κύκλωμα της πλακέτας [15].

Στην έξοδο του κρυστάλλου έχει τοποθετηθεί ένα ολοκληρωμένο, το 74HC14, ένας Schmitt trigger αναστροφέας [16]. Ο σκοπός του συγκεκριμένου ολοκληρωμένου είναι να ενισχύσει το σήμα του κρυστάλλου για να είναι σε θέση να οδηγήσει το υπόλοιπο κύκλωμα.

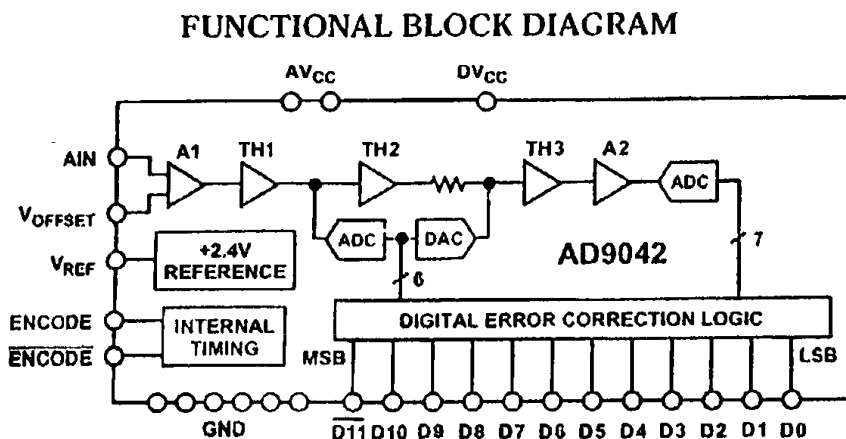
2.2.2 Μονάδα ψηφιοποίησης σημάτων AD9042

Η πλακέτα ROB δέχεται τα σήματα που παράγει ο μικρολωριδιακός αισθητήρας πυριτίου, μέσω της πλακέτας ROH, ενισχυμένα μεν, σε αναλογική μορφή δε. Ωστόσο, στο σύστημά μας η αποθήκευση, η επεξεργασία και η απεικόνιση αυτών των σημάτων προϋποθέτει να είναι σε ψηφιακή μορφή. Γι' αυτόν το σκοπό χρησιμοποιείται ένας μετατροπέας αναλογικού σήματος σε ψηφιακό (ADC: Analog-to-Digital Converter), ο οποίος έχει τοποθετηθεί επί της πλακέτας ROB κοντά στην είσοδο των σημάτων που προέρχονται από την ROH, ώστε να αποφευχθεί η αλλοίωση της πληροφορίας που φέρουν τα αναλογικά σήματα κατά τη μεταφορά τους.

Η μονάδα ψηφιοποίησης των αναλογικών σημάτων που έχει επιλεγεί για το σύστημα είναι το ολοκληρωμένο AD9042 της εταιρίας ANALOG DEVICES [17]. Το AD9042 είναι ένας ADC με 12μπιτη ψηφιακή έξοδο, μέγιστη συχνότητα δειγματοληψίας του αναλογικού σήματος τα 41 MSPS (Mega Samples Per Second: εκατομμύρια δείγματα ανά δευτερόλεπτο) και κατανάλωση ισχύος της τάξης των 500 mW.

Η λειτουργία της μονάδας ψηφιοποίησης AD9042 (Σχήμα 2.4), που περιγράφεται παρακάτω, βασίζεται σε αρχιτεκτονική δύο σταδίων, ώστε να εγγυάται την ακρίβεια των 12 bits στην έξοδό της. Συγκεκριμένα, η αναλογική είσοδος AIN του AD9042 δειγματοληπτείται σε κάθε άνοδο του σήματος της εισόδου ENCODE, στην οποία έχει συνδεθεί σήμα (ADClk) με την επιθυμητή συχνότητα δειγματοληψίας. Η αναλογική είσοδος AIN μπορεί να δεχθεί σήμα πλάτους έως 1Volt, από κορυφή σε κορυφή, με κέντρο αναφοράς την τάση V_{OFFSET} . Στο σύστημα έχει ρυθμιστεί η V_{OFFSET} στα 1.9 Volts, παρεμβάλλοντας ένα ποτενσιόμετρο ανάμεσα σε αυτήν και την εσωτερική τάση αναφοράς V_{REF} του ολοκληρωμένου, που είναι ίση με 2.4 Volts. Με αυτήν τη ρύθμιση, ο ψηφιοποιητής μπορεί να δεχθεί στην είσοδό του θετικό αναλογικό σήμα πλάτους από 0 έως 1 Volt. Το εισερχόμενο στον ψηφιοποιητή αναλογικό σήμα οδηγείται στον διαφορικό ενισχυτή A1 και στη συνέχεια στην υπομονάδα

ανίχνευσης-συγκράτησης (track-and-hold) TH1. Η υψηλή κατάσταση (high state) του σήματος ENCODE θέτει την υπομονάδα TH1 σε κατάσταση συγκράτησης. Η τιμή που έχει συγκρατηθεί στη TH1 οδηγείται ως είσοδος σε εσωτερικό ψηφιοποιητή ADC1 6μπιτης εξόδου, η οποία ακολούθως εισάγεται σε 6μπιτο αποψηφιοποιητή (DAC: Digital-to-Analog Converter) ακρίβειας 12 bits. Η έξοδος του αποψηφιοποιητή αφαιρείται από το αρχικό αναλογικό σήμα και το αποτέλεσμα εισάγεται στην υπομονάδα ανίχνευσης-συγκράτησης TH3. Η υπομονάδα ανίχνευσης-συγκράτησης TH2, που είναι συνδεδεμένη στη γραμμή του αρχικού αναλογικού σήματος και παράλληλα προς τον



ΣΧΗΜΑ 2.4: Λειτουργικό διάγραμμα του ψηφιοποιητή AD9042

ψηφιοποιητή και τον αποψηφιοποιητή, έχει χρησιμοποιηθεί ώστε να εξαλειφθεί η ψηφιακή καθυστέρηση που εισάγει ο εσωτερικός ψηφιοποιητής ADC1. Κατόπιν, στον επόμενο κύκλο του σήματος ENCODE, η τιμή που έχει συγκρατηθεί από την υπομονάδα TH3, αφού ενισχυθεί από τον ενισχυτή A2, εισάγεται σε εσωτερικό ψηφιοποιητή ADC2 7μπιτης εξόδου. Το επιπλέον bit χρησιμοποιείται για να αντιμετωπιστούν τυχόν σφάλματα γραμμικότητας του ψηφιοποιητή ADC1. Τελικά, οι έξοδοι των 2 ψηφιοποιητών αθροίζονται, διορθώνονται με εσωτερική λογική εξάλειψης ψηφιακών σφαλμάτων και παράγουν στην έξοδο του ολοκληρωμένου μια 12μπιτη τιμή.

Η τιμή που δίνει στην έξοδο του ο ADC AD9042 είναι συμβατή με σήματα επιπέδου CMOS και είναι κωδικοποιημένη σε μορφή (format) twos complement. Με τη χρήση της twos complement μορφής στην έξοδο του AD9042 είναι δυνατό να αναπαρασταθούν και αρνητικές τιμές! Σε μια twos complement κωδικοποίηση, το MSB (Most Significant Bit) ενός αριθμού αναπαριστά το πρόσημό του. Αν το MSB έχει την τιμή '1', τότε ο αριθμός είναι αρνητικός, δηλαδή έχει το πρόσημο '-', ενώ αν το MSB έχει την τιμή '0', τότε ο αριθμός είναι θετικός, δηλαδή έχει το πρόσημο '+'. Οι θετικοί αριθμοί, σε μια twos complement κωδικοποίηση, αναπαρίστανται σε δυαδική μορφή δίχως να έχουν υποστεί κάποια άλλη επεξεργασία. Από την άλλη μεριά, οι αρνητικοί αριθμοί αναπαρίστανται σε δυαδική μορφή κατόπιν κωδικοποίησης, κατά την οποία παίρνουμε το συμπλήρωμα (complement) του αριθμού και του προσθέτουμε μια μονάδα '1' [18],[19].



Στη συνέχεια παραθέτονται κάποια παραδείγματα αριθμών με twos complement κωδικοποίηση:

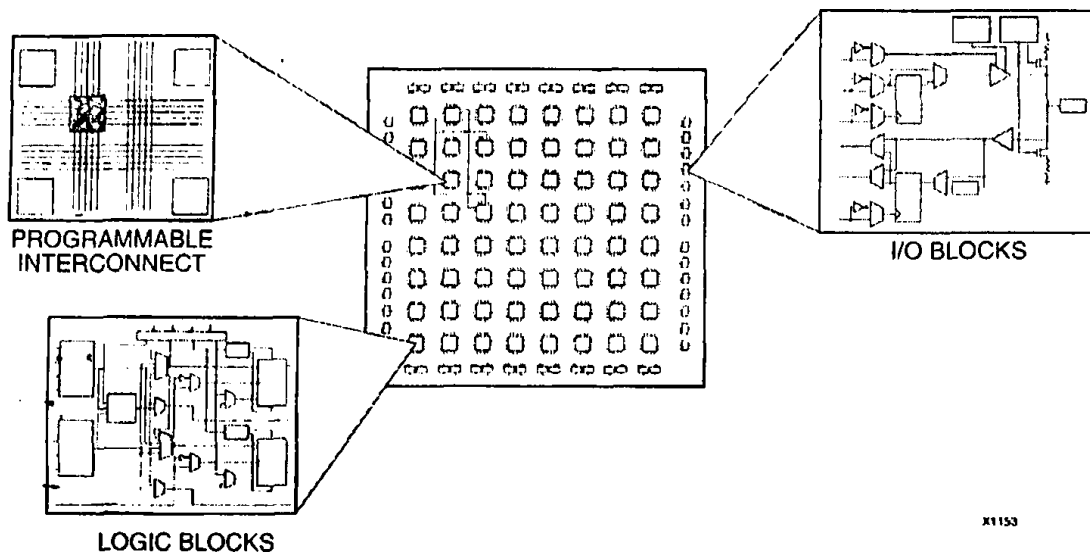
<u>ΑΡΙΘΜΟΣ</u>	<u>ΔΥΑΔΙΚΗ ΜΟΡΦΗ</u>	<u>ΣΥΜΠΛΗΡΩΜΑ+1</u>	<u>TWOS COMPLEMENT</u>
+5	0000 0101	----	----
-5	0000 0101	1111 1010+1	1111 1011
+127	0111 1111	----	----
-127	0111 1111	1000 0000+1	1000 0001
-128	1000 0000	0111 1111+1	1000 0000
0	0000 0000	----	----

Με τη ρύθμιση που έχει επιλεγεί για την τάση V_{OFFSET} του ADC, τα δεδομένα στην έξοδό του είναι πάντα θετικοί αριθμοί. Συνεπώς, η μόνη επεξεργασία που πρέπει να εφαρμοστεί σε αυτούς τους αριθμούς, για να διαβαστούν σωστά τα δεδομένα που παράγει ο ADC, είναι η αντιστροφή του MSB. Η επεξεργασία αυτή, μέσα στο σύστημα, λαμβάνει χώρα κατά την ανάγνωση των δεδομένων από το περιβάλλον χρήστη του προγράμματος LabVIEW, πριν την απεικόνισή τους.

2.2.3 FPGA σειράς XC4000E της XILINX

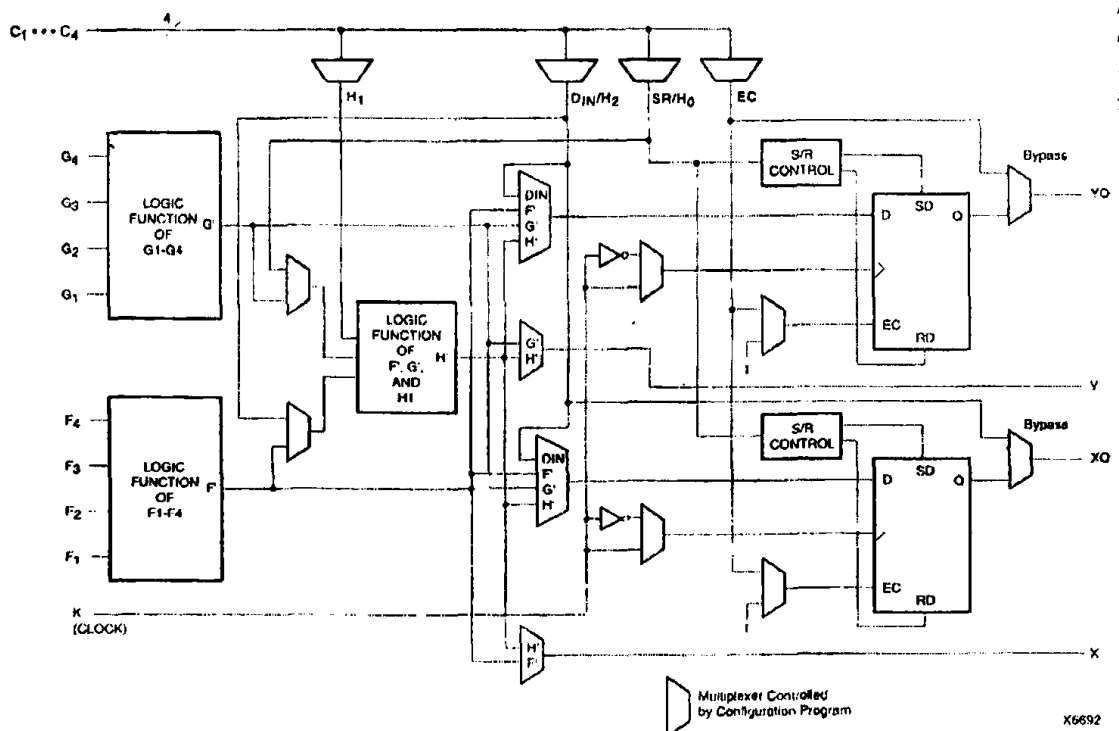
Η βασική αρχιτεκτονική των FPGAs (Field Programmable Gate Arrays) της εταιρίας XILINX αποτελείται από μία δυσδιάστατη διάταξη πυλών, ως ένας πίνακας λογικών κυψελών (Logic blocks) περικυκλωμένος από μία περιφέρεια υπομονάδων εισόδου/εξόδου (I/O blocks) [20]. Ανάμεσα στις λογικές κυψέλες υπάρχουν μεταλλικές διασυνδέσεις, ομαδοποιημένες σε οριζόντια και κάθετα κανάλια, που μπορούν να ενωθούν μέσω προγραμματιζόμενων διακοπών, ώστε να σχηματιστεί το επιθυμητό εσωτερικό δίκτυο σημάτων του FPGA (Σχήμα 2.5). Επιπλέον, κάθε ολοκληρωμένο της σειράς XC4000 περιέχει μεγάλα τμήματα από πύλες AND στην περιφέρεια κάθε λογικής κυψέλης, με τα οποία εκτελούνται λογικές όπως οι αποκωδικοποιήσεις. Ένα σημείο που πρέπει να τονιστεί είναι ότι η ταχύτητα του εσωτερικού κυκλώματος ενός FPGA εξαρτάται από τον τρόπο διασύνδεσης των λογικών μονάδων του.





ΣΧΗΜΑ 2.5: Εσωτερική αρχιτεκτονική του FPGA

Τα FPGAs της σειράς XC4000E χαρακτηρίζονται από λογικές δομές που ονομάζονται CLB (Configurable Logic Blocks), των οποίων η λειτουργία στηρίζεται στις υπομονάδες LFs (Logic Functions). Τα LFs είναι πίνακες μνήμης του ενός bit και εμπεριέχονται στα CLB. Ένα LF πραγματοποιεί οποιαδήποτε λογική συνάρτηση, εξαρτώμενη από τις εισόδους του CLB, με τον προγραμματισμό της μνήμης με τους πίνακες αληθείας της συνάρτησης.



ΣΧΗΜΑ 2.6: Διάγραμμα λογικής δομής CLB του FPGA σειράς XC4000

Κάθε CLB περιλαμβάνει 3 LFs, τα δύο είναι των 4 εισόδων και ένα τρίτο που συνδέεται με τις εξόδους των δύο πρώτων. Με αυτήν τη διάταξη επιτρέπεται σε κάθε CLB να εκτελεί μεγάλη ποικιλία λογικών συναρτήσεων.



Επίσης, κάθε CLB περιέχει δύο flip-flops, όπως και κύκλωμα αριθμητικής λογικής για τη γρήγορη παραγωγή των carry και borrow σημάτων για τα λειτουργία των adders και των counters (Σχήμα 2.6).

Το FPGA που επιλέχθηκε για το σύστημα είναι το XC4005E σε πλαστικό περιβλήμα (PLCC package) των 84 pins. Το συγκεκριμένο FPGA αποτελείται από 196 CLBs, τα οποία έχουν τη διάταξη ενός πίνακα διαστάσεων 14 x 14 και μπορεί να χωρέσει μέχρι 5000 λογικές πύλες και 6272 RAM bits, ενώ η τυπική του χωρητικότητα σε πύλες κυμαίνεται από 3000 έως 9000, θεωρώντας ότι γίνεται χρήση του 20 έως 30 % των CLBs ως μνήμη RAM. Το FPGA που χρησιμοποιείται στο σύστημα μπορεί να υποστηρίξει συχνότητα εξωτερικών σημάτων έως 80 MHz (εσωτερικά έως 150 MHz) και έχει βαθμό ταχύτητας (speed grade) -1, ο οποίος είναι ο πιο γρήγορος της οικογένειας XC4000E. Ο βαθμός ταχύτητας χαρακτηρίζει την απόκριση των εσωτερικών δομών του FPGA σε ένα εξωτερικά εφαρμοζόμενο σήμα χρονισμού του κυκλώματος.

2.2.4 Μικροελεγκτής οικογένειας 8051 της ATMEL

Ο μικροελεγκτής (μC) που επιλέχθηκε να καλύψει τις ανάγκες του συστήματος για αμφίδρομη επικοινωνία του περιβάλλοντος με το ίδιο το σύστημα είναι ο AT89S8252 της εταιρίας ATMEL [21]. Ο AT89S8252 είναι ένας χαμηλής κατανάλωσης και υψηλής απόδοσης, 8μπιτος, CMOS μικροελεγκτής. Ο μικροελεγκτής είναι συμβατός με τη χωροταξία των ακροδεκτών και το σύνολο εντολών του βιομηχανικού προτύπου 80C51. Η επιλογή του συγκεκριμένου μικροελεγκτή έγινε με κριτήριο ότι ο συνδυασμός μιας 8μπιτης μονάδας επεξεργασίας (CPU) με μια επαναπρογραμματιζόμενη μνήμη των 8 Kbytes μέσα στο ίδιο ολοκληρωμένο προσφέρει μια πλατφόρμα χαμηλού κόστους και μεγάλης προσαρμοστικότητας για ένα ευρύ φάσμα εφαρμογών. Σε αυτόν το μικροελεγκτή είναι δυνατό να εφαρμοστούν με ευκολία τυχόν αλλαγές στο πρόγραμμά του, που θα κρίνει ο χρήστης ότι είναι αναγκαίες, ανάλογα με τις απαιτήσεις που θα έχει από το σύστημα.

Ο μικροελεγκτής AT89S8252 περιλαμβάνει διάφορα χρήσιμα χαρακτηριστικά, όπως μια μνήμη ROM (Read Only Memory) μεγέθους 8 Kbytes, η οποία είναι ικανή να σβηστεί και να επαναπρογραμματιστεί για περισσότερες από 1000 φορές και χρησιμοποιείται για να αποθηκεύει το πρόγραμμα, του οποίου τις εντολές εκτελεί ο μικροελεγκτής. Επιπρόσθετα, ο μικροελεγκτής συμπεριλαμβάνει μια μνήμη RAM (Random Access Memory) μεγέθους 256 bytes, 32 αμφίδρομες γραμμές επικοινωνίας, μια διπλή σειριακή θύρα επικοινωνίας, κύκλωμα ρολογιού κ.α. [22]. Αξίζει επίσης να σημειωθεί ότι στο συγκεκριμένο σύστημα ο μC χρονίζεται με τη βοήθεια εξωτερικού κρυστάλλου, συχνότητας 11.052 MHz.

Στη συγκεκριμένη εφαρμογή, η πληροφορία στο σύστημα μεταδίδεται διαμέσου ενός διαύλου RS232 με ρυθμό (Baud Rate) που έχει καθοριστεί στα 57.6 Kbps. Ο καθορισμός του ρυθμού μετάδοσης των δεδομένων γίνεται μέσω του προγράμματος λειτουργίας του μικροελεγκτή σε συνεργασία με τον κρύσταλλο που δίνει το σήμα ρολογιού στο μικροελεγκτή. Τα δεδομένα μεταδίδονται σε πακέτα των 9 bits, από τα οποία το πρώτο αποτελεί τον

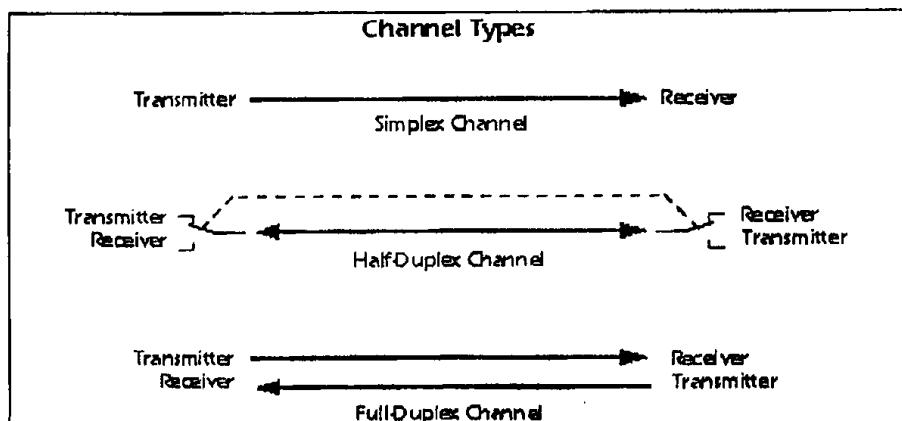


παλμό εκκίνησης της μετάδοσης (start bit) και τα υπόλοιπα 8 bits αποτελούν την πληροφορία.

Ο προγραμματισμός του μικροελεγκτή μπορεί να υλοποιηθεί, είτε μέσω μιας σειριακής διασύνδεσης SPI ή με τη βοήθεια ενός συμβατικού προγραμματιστή μνήμης. Για τις ανάγκες της εργασίας χρησιμοποιήθηκε ο προγραμματιστής SUPERPRO II Universal Programmer της εταιρίας XELTEK και το συνεργαζόμενο με αυτόν λογισμικό Sp2 [23]. Περισσότερες πληροφορίες σχετικές με τον προγραμματισμό του μικροελεγκτή παρατίθενται στο παράρτημα ΣΤ.

2.2.5 Δίαυλος επικοινωνίας RS232

Η επικοινωνία των πλακετών του συστήματος με τον υπολογιστή, στον οποίο τρέχει το περιβάλλον εργασίας του χρήστη, υλοποιείται με δίαυλο που στηρίζεται στο πρότυπο RS232. Το πρότυπο διασύνδεσης RS232 δεν υποστηρίζει τα λογικά επίπεδα TTL (High = 5 V, Low = 0 V), τα οποία χρησιμοποιεί ο μC . Γι' αυτό το λόγο χρησιμοποιείται το ολοκληρωμένο MAX233, που αποτελείται από δύο ανεξάρτητα ζεύγη πομπών και δεκτών, για τη μετατροπή των λογικών επιπέδων του RS232 σε TTL και το αντίστροφο [24]. Ο δίαυλος επικοινωνίας που έχει επιλεγεί, υποστηρίζει μία πλήρως αμφίδρομη (Full Duplex), σειριακή (Bit Serial) και ασύγχρονη επικοινωνία μεταξύ των δύο σημείων του συστήματος, της πλακέτας ROB και ενός PC (Σχήμα 2.7), [25], [26]. Περισσότερες πληροφορίες που αφορούν το δίαυλο επικοινωνίας RS232 δίνονται στο παράρτημα Ζ.



ΣΧΗΜΑ 2.7: Τύποι διαύλων επικοινωνίας



3. ΕΣΩΤΕΡΙΚΟ ΚΥΚΛΩΜΑ ΤΟΥ FPGA

Όπως έχει ήδη περιγραφεί, το ολοκληρωμένο FPGA αποτελείται από μια διάταξη λογικών δομών, που έχουν τη δυνατότητα να συνδέονται μεταξύ τους. Με τη βοήθεια κατάλληλων πακέτων λογισμικού, όπως το Xilinx Foundation Series, ο χρήστης μπορεί να σχεδιάσει ένα κύκλωμα, το οποίο υλοποιείται εντός του ολοκληρωμένου, όταν προγραμματιστεί το FPGA. Στο κεφάλαιο αυτό περιγράφεται αναλυτικά το κύκλωμα που υλοποιείται εντός του FPGA, κάθε φορά που το προγραμματίζουμε.

3.1 Μέθοδοι προγραμματισμού του FPGA

Ο προγραμματισμός του FPGA είναι δυνατόν να πραγματοποιηθεί με διάφορους τρόπους (Σχήμα 3.1). Ο τρόπος με τον οποίο θα προγραμματιστεί κάθε φορά το FPGA καθορίζεται από τον χρήστη. Η επιλογή της μεθόδου προγραμματισμού υλοποιείται με τη βοήθεια προκαθορισμένων ακροδεκτών του FPGA, των M0, M1 και M2 που αντιστοιχούν στους ακροδέκτες 32, 30 και 34.

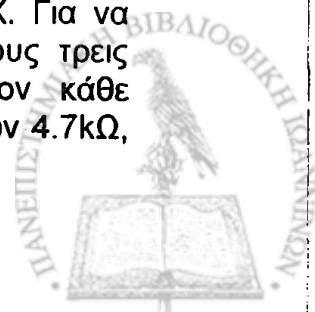
Mode	M2	M1	M0	CCLK	Data
Master Serial	0	0	0	output	Bit-Serial
Slave Serial	1	1	1	input	Bit-Serial
Master Parallel Up	1	0	0	output	Byte-Wide, increment from 00000
Master Parallel Down	1	1	0	output	Byte-Wide, decrement from 3FFFF
Peripheral Synchronous*	0	1	1	input	Byte-Wide
Peripheral Asynchronous	1	0	1	output	Byte-Wide
Reserved	0	1	0	—	—
Reserved	0	0	1	—	—

Note: * Peripheral Synchronous can be considered byte-wide Slave Parallel

ΣΧΗΜΑ 3.1: Μέθοδοι προγραμματισμού του FPGA

Για τις ανάγκες της συγκεκριμένης εφαρμογής χρησιμοποιούνται δύο διαφορετικοί τρόποι προγραμματισμού, ο Master Serial και ο Slave Serial.

Με τη μέθοδο προγραμματισμού Master Serial, το κύκλωμα φορτώνεται σειριακά στο FPGA μέσω μιας μνήμης PROM, στην οποία το έχουμε εκ των προτέρων αποθηκεύσει. Το ολοκληρωμένο που χρησιμοποιούμε ως μνήμη είναι το XC17128D της εταιρίας XILINX. Για να επιλέξουμε τη συγκεκριμένη μέθοδο, πρέπει να γειώσουμε και τους τρεις προκαθορισμένους ακροδέκτες M0, M1 και M2. Ανάμεσα στον κάθε ακροδέκτη και τη γη συνίσταται να συνδέεται σε σειρά αντίσταση των 4.7kΩ,



ώστε να αποφευχθεί τυχόν βραχυκύκλωμα των ακροδεκτών με τη γη του συστήματος.

Με τη μέθοδο προγραμματισμού Slave Serial, το κύκλωμα φορτώνεται σειριακά απευθείας από το PC στο FPGA μέσω εξειδικευμένων για φόρτωση προγραμμάτων σε FPGAs παθητικών καλωδίων, όπως το XCHECKER (DLC4) της εταιρίας XILINX. Για να επιλέξουμε αυτήν τη μέθοδο, πρέπει να οδηγήσουμε στην τάση τροφοδοσίας τους προκαθορισμένους ακροδέκτες M0, M1 και M2. Ανάμεσα στον κάθε ακροδέκτη και την τροφοδοσία συνίσταται να συνδέεται σε σειρά αντίσταση των 10kΩ, ώστε και πάλι να αποφευχθεί περίπτωση βραχυκυκλώματος των ακροδεκτών με την τροφοδοσία του συστήματος.

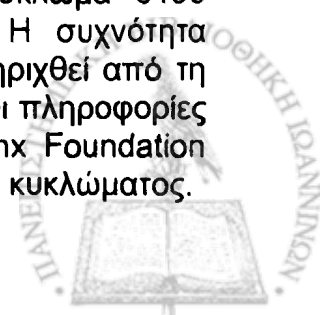
Η διαδικασία προγραμματισμού του FPGA ξεκινά όταν του δώσουμε τροφοδοσία. Στη συνέχεια, δειγματοληπτείται το επίπεδο τάσης των ακροδεκτών M0, M1 και M2, ώστε να καθοριστεί η μέθοδος προγραμματισμού του. Στην περίπτωση της μεθόδου Master Serial, το FPGA παράγει σήματα ελέγχου για να οδηγήσει τη μνήμη, ενώ στη μέθοδο Slave Serial τα σήματα ελέγχου παράγονται από το PC με τη χρήση του εργαλείου Hardware Debugger του λογισμικού πακέτου XILINX Foundation Series. Στο παράρτημα Γ δίνονται επιπλέον πληροφορίες σχετικά με τις μεθόδους προγραμματισμού ενός FPGA.

3.2 Το εσωτερικό κύκλωμα του FPGA

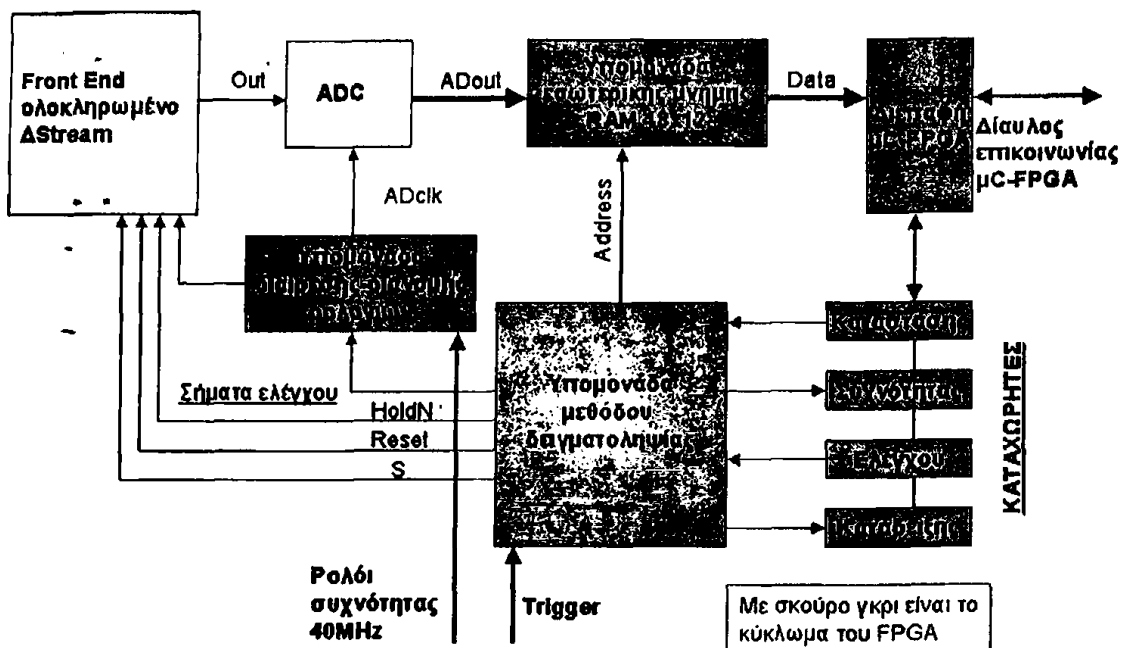
Το εσωτερικό κύκλωμα του FPGA (Σχήμα 3.3) κρίθηκε σκόπιμο να βασιστεί σε σύγχρονη σχεδίαση. Ο σύγχρονος σχεδιασμός του κυκλώματος του FPGA κρίθηκε απαραίτητος ώστε να εξαιρεθούν κάποια φαινόμενα αστάθειας των σημάτων ελέγχου του *Dstream* που παρήγαγε το κύκλωμα, όταν είχε σχεδιαστεί ασύγχρονα. Επίσης, με τη συνδρομή του σύγχρονου σχεδιασμού έγινε ευκολότερος ο εντοπισμός και η αντιμετώπιση σφαλμάτων και αρμονικότερη η συνεργασία των διάφορων υπομονάδων του κυκλώματος, σε σχέση με την ασύγχρονη σχεδίαση που είχε επιλεγεί αρχικά για το εσωτερικό κύκλωμα του FPGA.

Σε ένα κύκλωμα βασισμένο στη σύγχρονη σχεδίαση, όλα τα σήματα που εμπεριέχονται σε αυτό αλλάζουν κατάσταση μόνο στην άνοδο, στην κάθοδο ή και στις δύο ακμές του παλμού του ρολογιού. Επιπλέον, σε κάθε εναλλαγή του ρολογιού συνίσταται να αλλάζει κατάσταση μόνο ένα σήμα του κυκλώματος, ώστε να αποφεύγονται καταστάσεις ανταγωνισμού μεταξύ των σημάτων (*racing conditions*). Στη σύγχρονη σχεδίαση είναι δυνατό να μεταβάλλονται πολλά σήματα του κυκλώματος ταυτόχρονα, αρκεί να μην είναι άμεσα εξαρτώμενα μεταξύ τους.

Το κύκλωμα, με το οποίο προγραμματίζεται το FPGA για να καλύψει τις ανάγκες του συστήματος καταγραφής και απεικόνισης ηλεκτρικών σημάτων από μικρολωριδιακό αισθητήρα πυριτίου, ισοδυναμεί με κύκλωμα 6150 πυλών και χρησιμοποιεί το 59% των διαθέσιμων CLB's. Η συχνότητα εσωτερικών σημάτων του κυκλώματος που μπορεί να υποστηριχθεί από τη συγκεκριμένη υλοποίηση μπορεί να φτάσει έως τα 37.6 MHz. Οι πληροφορίες αυτές δίνονται στην αναφορά που παράγει το λογισμικό Xilinx Foundation Series 3.1i κατά τη διαδικασία υλοποίησης (*implementation*) του κυκλώματος.

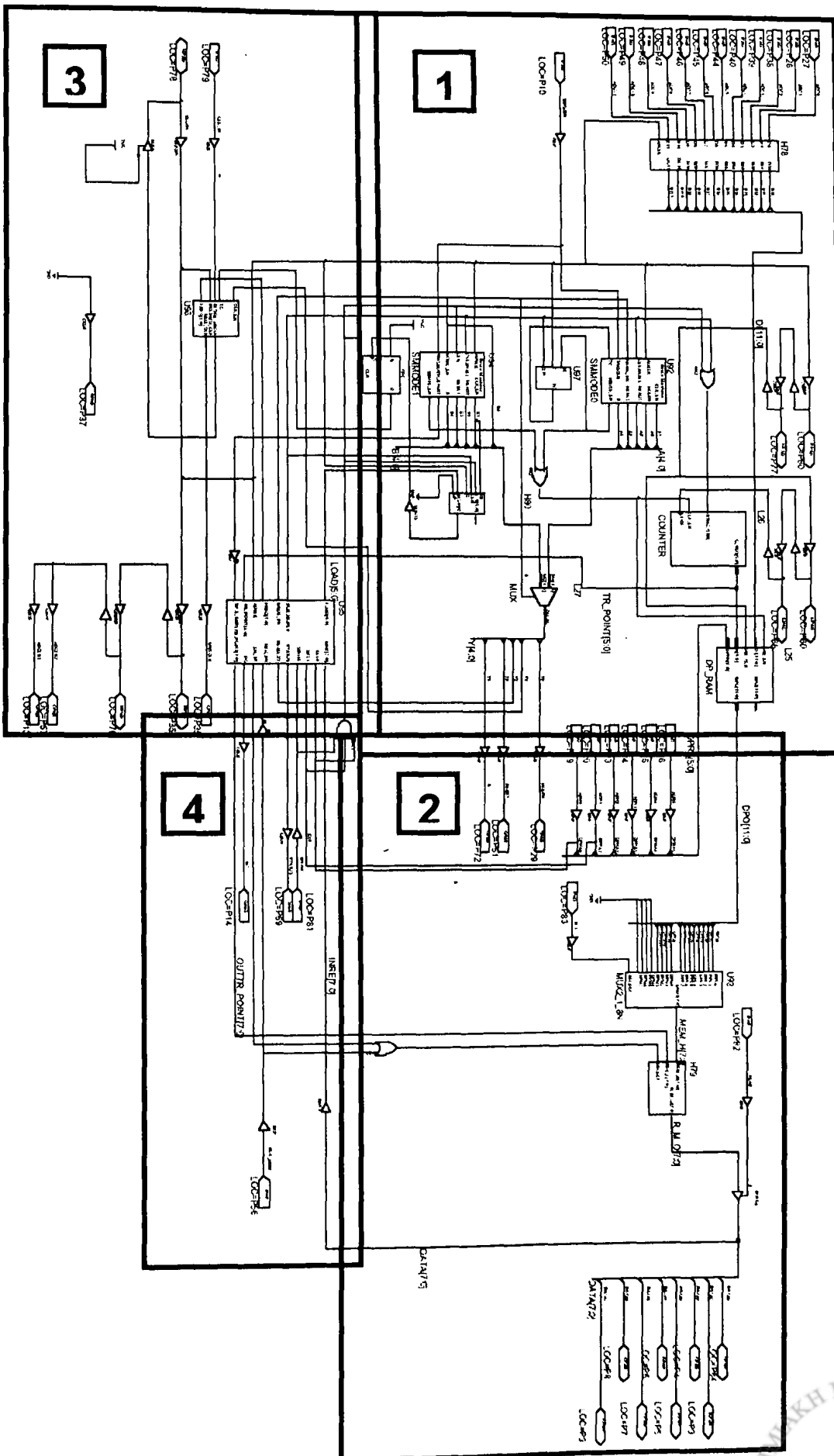


Εσωτερικό κύκλωμα του FPGA



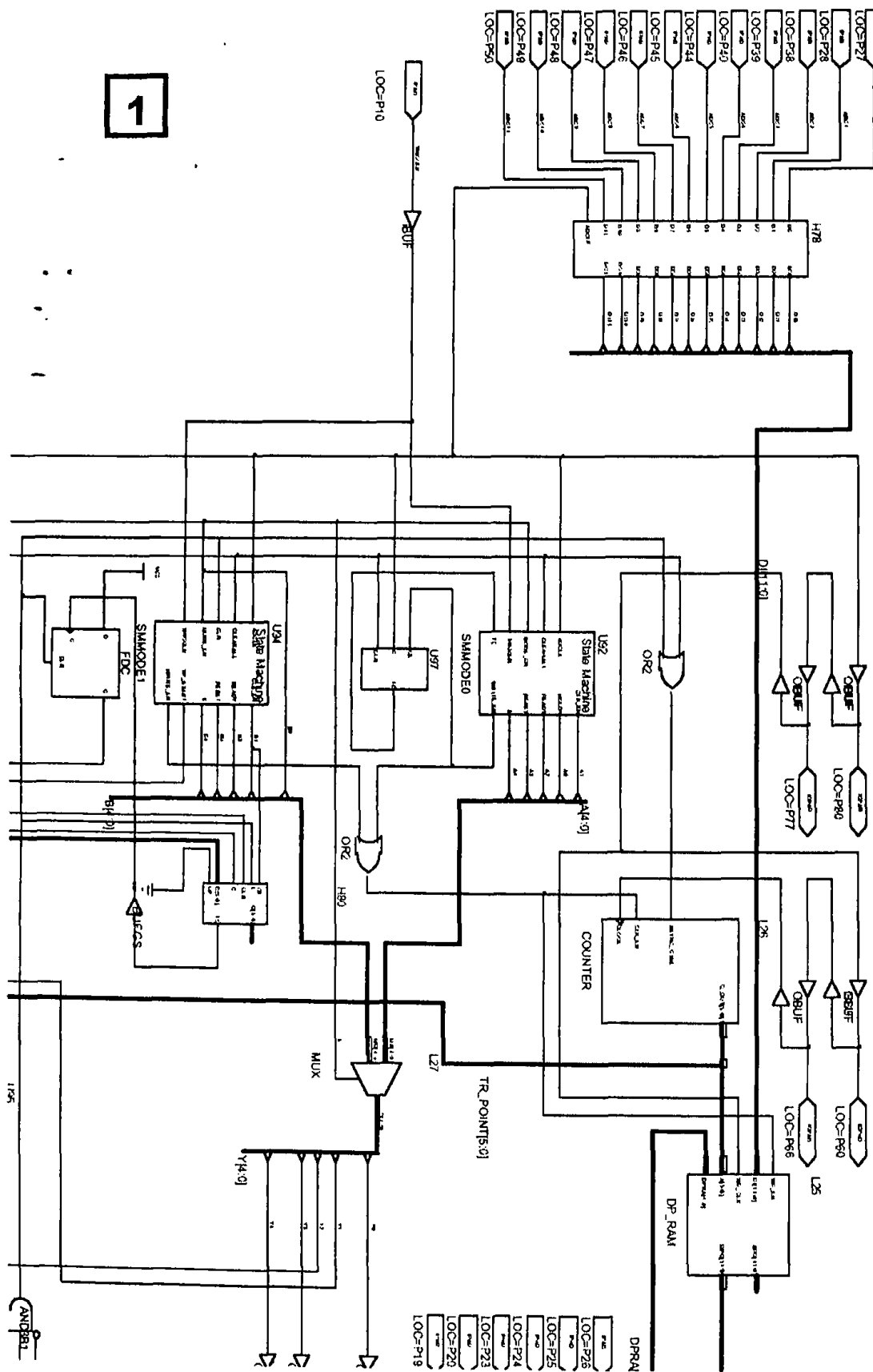
ΣΧΗΜΑ 3.2: Διάγραμμα του εσωτερικού κυκλώματος του FPGA

Η λειτουργία του εσωτερικού κυκλώματος του FPGA έχει ως κύριους στόχους να παράγει τα σήματα ελέγχου του ολοκληρωμένου Δstream, να αποθηκεύει τα ψηφιοποιημένα δεδομένα που δίνει στην έξοδό του ο ADC και να τα διαθέτει προς ανάγνωση, όποτε αυτό ζητηθεί (Σχήμα 3.2). Οι διαδικασίες για την επίτευξη αυτών των στόχων έχουν σε γενικές γραμμές ως εξής, αρχικά εγγράφονται οι καταχωρητές συχνότητας και ελέγχου με τα δεδομένα που επιθυμεί ο χρήστης του συστήματος. Με την εγγραφή του καταχωρητή ελέγχου επιλέγουμε την υπομονάδα της μεθόδου δειγματοληψίας, η οποία με τη σειρά της παράγει τα σήματα ελέγχου του ολοκληρωμένου Δstream και της υπομονάδας της εσωτερικής μνήμης RAM. Κατόπιν, αποθηκεύονται τα ψηφιοποιημένα δεδομένα της δειγματοληψίας των καναλιών του Δstream στην υπομονάδα εσωτερικής μνήμης RAM. Τέλος, όταν ζητηθεί από το χρήστη, το FPGA δίνει τα αποθηκευμένα δεδομένα στο δίαυλο αμφίδρομης επικοινωνίας (Data Bus) μεταξύ του FPGA και του μC, μέσω των ακροδεκτών 3-9 και 84.



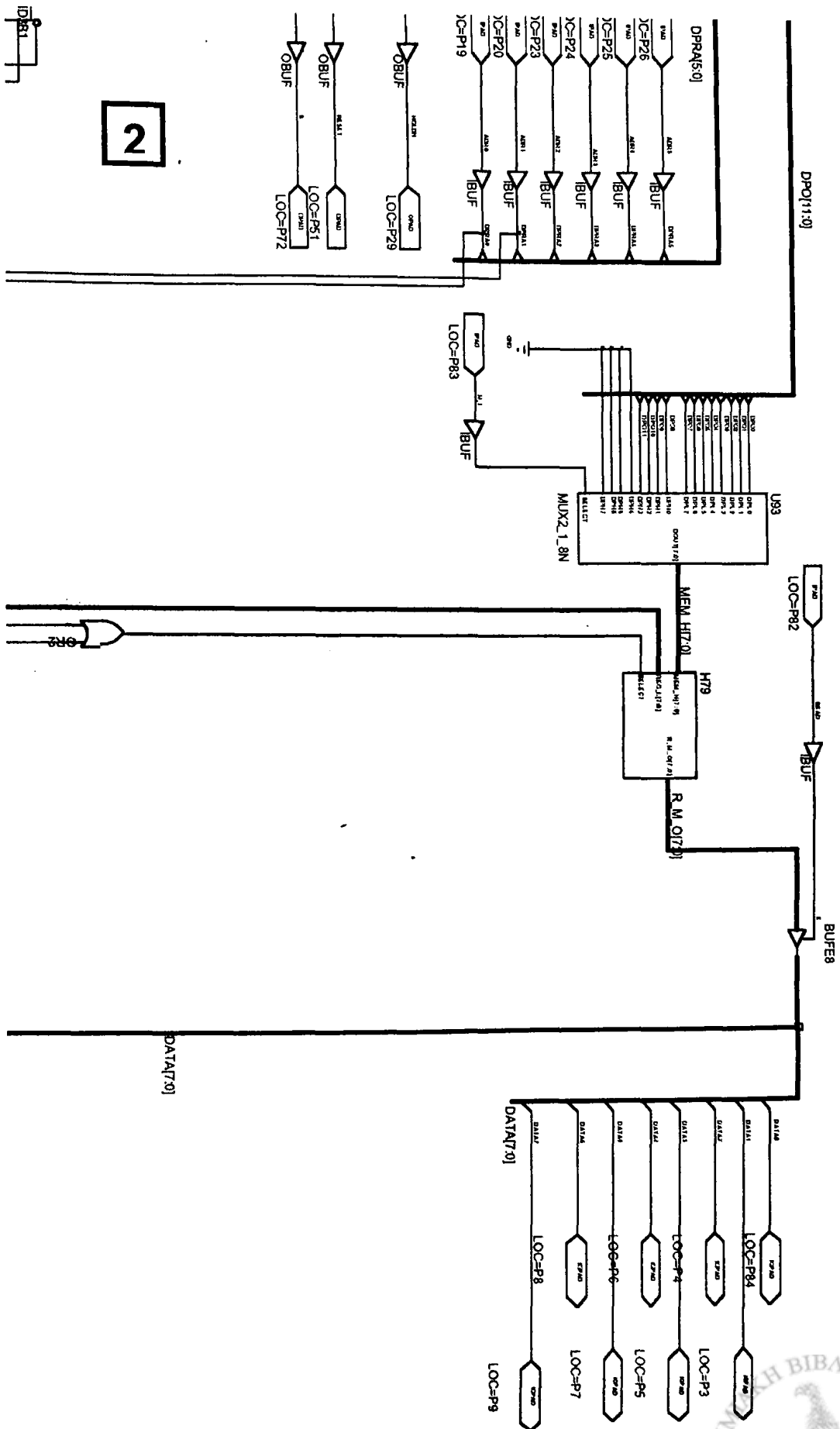
ΣΧΗΜΑ 3.3: Σχηματικό διάγραμμα του εσωτερικού κυκλώματος του FPGA





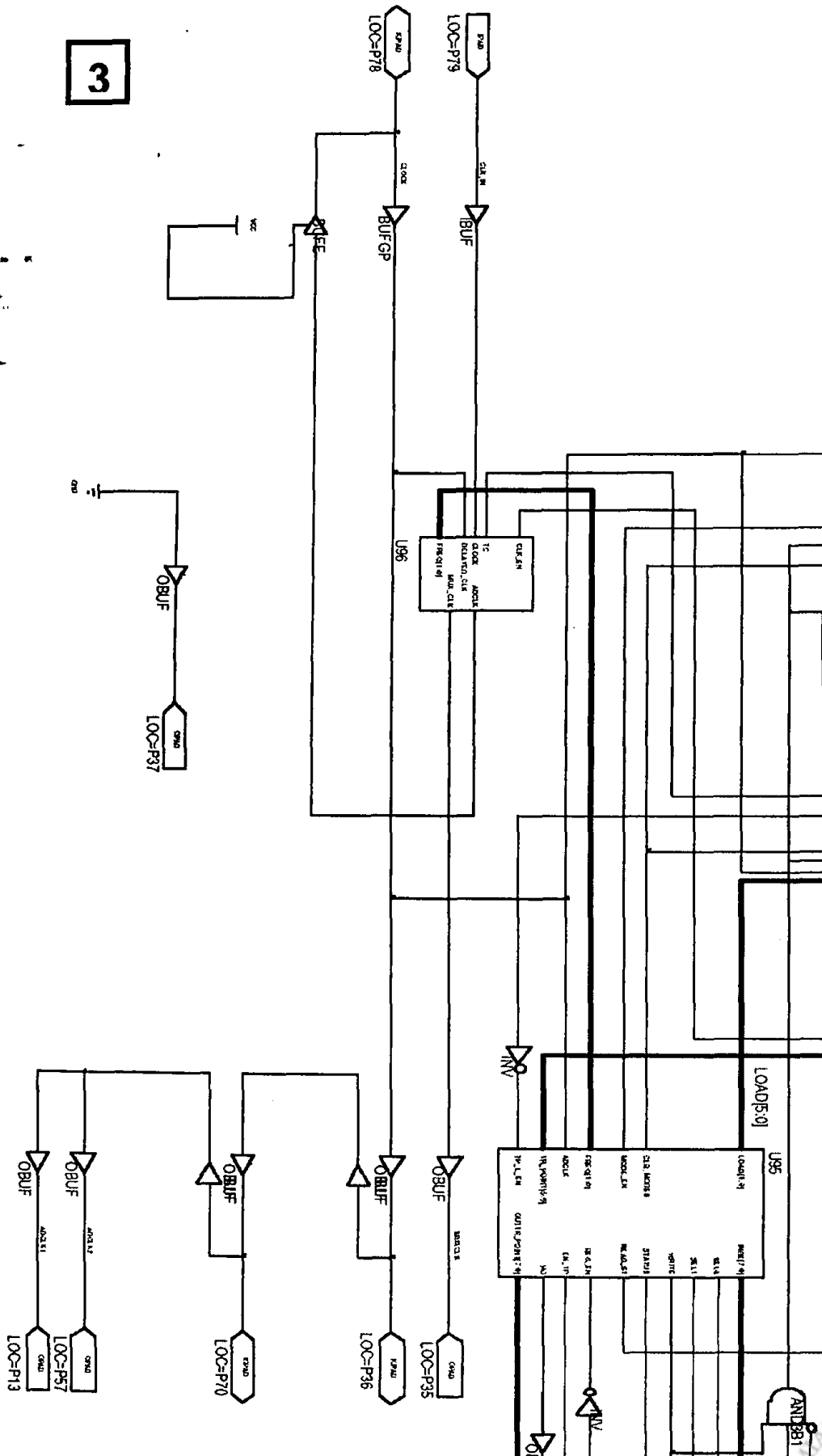
ΣΧΗΜΑ 3.4: Μεγέθυνση του τομέα 1 του σχήματος 3.3





ΣΧΗΜΑ 3.5: Μεγέθυνση του τομέα 2 του σχήματος 3.3

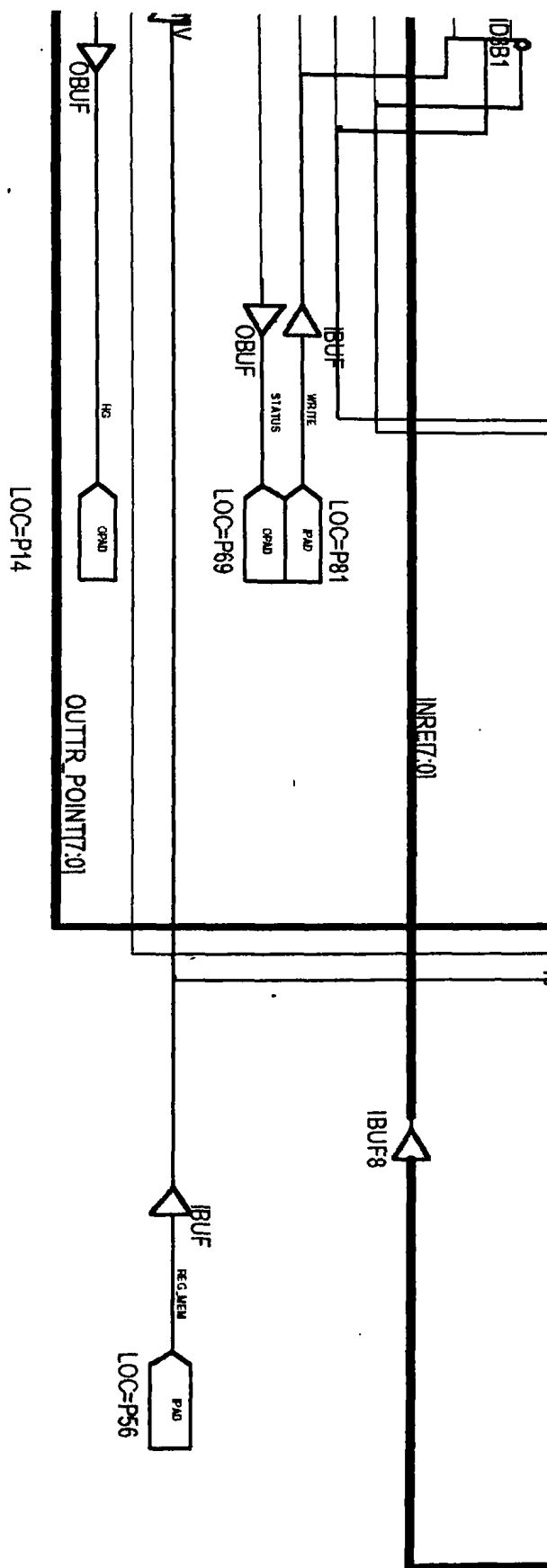




ΣΧΗΜΑ 3.6: Μεγέθυνση του τομέα 3 του σχήματος 3.3



4



ΣΧΗΜΑ 3.7: Μεγέθυνση του τομέα 4 του σχήματος 3.3



3.3 Υπομονάδα καταχωρητών

Η συγκεκριμένη υπομονάδα περιλαμβάνει όλους τους καταχωρητές (registers) που υπάρχουν μέσα στο FPGA. Αναλυτικότερα, έχει τον καταχωρητή συχνότητας (frequency), ελέγχου (control), κατάδειξης (trigger pointer) και κατάστασης (status). Επιπλέον, η υπομονάδα εμπεριέχει και το κύκλωμα που επιλέγει τον κάθε καταχωρητή. Το σχηματικό διάγραμμα της συγκεκριμένης υπομονάδας, καθώς και των υπομονάδων που εμπεριέχονται σε αυτήν δίνονται στο παράρτημα Ε.1.

Ο καταχωρητής συχνότητας αποτελείται από 8 bits, από τα οποία χρησιμοποιούνται μόνο τα 2 LSBs, χάριν απλοποίησης του κυκλώματος διαίρεσης της συχνότητας του ρολογιού των 40MHz. Ο αριθμός N αυτών των 2 bits ($N = 0,1,2,3$) χρησιμοποιείται ως διαιρέτης της συχνότητας των 40MHz βάσει της σχέσης:

$$f = \frac{40}{2^{N+1}} \text{MHz}$$

Τα υπόλοιπα 6 bits είναι διαθέσιμα για οποιαδήποτε μελλοντική τους χρήση, με τις κατάλληλες επεμβάσεις που θα χρειαστεί να γίνουν στο κύκλωμα. Ο καταχωρητής εγγράφεται μέσω του 8μπιτου διαύλου αμφίδρομης επικοινωνίας (Data Bus) μεταξύ του FPGA και του μικροελεγκτή (μC). Για να εγγράψουμε στον καταχωρητή τα δεδομένα του διαύλου πρέπει να τον επιλέξουμε πρώτα, μέσω του αντίστοιχου κυκλώματος και κατόπιν να δοθεί το σήμα εγγραφής WRITE. Τα δεδομένα που αποθηκεύονται στον καταχωρητή οδηγούνται στην υπομονάδα διαίρεσης και διανομής των ρολογιών του συστήματος.

Ο καταχωρητής ελέγχου αποτελείται και αυτός από 8 bits. Τα 6 LSBs χρησιμοποιούνται για την επιλογή ενός από τα 32 κανάλια του αισθητήρα πυριτίου που θα δειγματοληφθεί κατά τη λειτουργία του MODE1. Το 7^ο bit (HG) καθορίζει την ενίσχυση που θα κάνει ο προενισχυτής του Δstream στο σήμα που δέχεται από τον αισθητήρα. Αν το 7^ο bit είναι '0', τότε έχουμε μικρή ενίσχυση (Low Gain), ενώ αν είναι '1', τότε έχουμε μεγάλη ενίσχυση (High Gain). Το 8^ο bit (MODE_EN) καθορίζει τον τρόπο (mode) δειγματοληψίας των καναλιών του αισθητήρα. Αν το 8^ο bit είναι '0', τότε ενεργοποιείται το MODE0, ενώ αν είναι '1', τότε ενεργοποιείται το MODE1. Τα δεδομένα εγγράφονται στον καταχωρητή ελέγχου με τον ίδιο τρόπο που αναφέρθηκε για τον καταχωρητή συχνότητας. Τα 6 LSBs οδηγούνται με διάυλο σε μετρητή (counter) της υπομονάδας μεθόδου δειγματοληψίας MODE1, το 7^ο bit οδηγείται σε ακροδέκτη (pin 14) του FPGA και το 8^ο bit οδηγείται ως είσοδος στις υπομονάδες μεθόδου δειγματοληψίας MODE0 και MODE1.

Ο καταχωρητής κατάδειξης αποτελείται από 6 bits. Αυτά τα 6 bits καταδεικνύουν τη διεύθυνση της εσωτερικής μνήμης RAM στην οποία σταμάτησε η δειγματοληψία του επιλεγμένου καναλιού του αισθητήρα, κατά τη λειτουργία του MODE1. Ο καταχωρητής εγγράφεται μέσω ενός 6μπιτου διαύλου που προέρχεται από την έξοδο του μετρητή της υπομονάδας εσωτερικής μνήμης RAM. Για να εγγραφεί η διεύθυνση στον καταχωρητή πρέπει να είναι ενεργοποιημένη η μέθοδος δειγματοληψίας MODE1. Η ανάγνωση του καταχωρητή γίνεται μέσω ενός 8μπιτου διαύλου, ο οποίος έχει



γειωμένα τα 2 MSBs, που οδηγείται στο δίαυλο αμφίδρομης επικοινωνίας μεταξύ του FPGA και του μC . Για να διαβάσουμε τον καταχωρητή πρέπει να τον επιλέξουμε, μέσω του αντίστοιχου κυκλώματος και κατόπιν να δοθεί σήμα ανάγνωσης READ.

Ο καταχωρητής κατάστασης αποτελείται από 1 bit, το οποίο ονομάζεται και ready bit. Όταν το ready bit είναι '0', τότε το σύστημα είναι έτοιμο για δειγματοληψία του αισθητήρα, ενώ όταν είναι '1', τότε το σύστημα έχει ολοκληρώσει τη δειγματοληψία και είναι έτοιμο να δώσει τα αποτελέσματα της δειγματοληψίας, που είναι αποθηκευμένα στην εσωτερική μνήμη RAM, όταν αυτό του ζητηθεί από το χρήστη. Το ready bit γίνεται '1' όταν ολοκληρώσει τη διαδικασία δειγματοληψίας η επιλεγμένη υπομονάδα μεθόδου δειγματοληψίας MODE0 ή MODE1, οπότε και αποστέλλεται το αντίστοιχο σήμα (READY) ως είσοδος στην υπομονάδα καταχωρητών. Το ready bit γίνεται '0' όταν «καθαριστεί» ο καταχωρητής, δηλαδή εγγραφεί σε αυτόν ο αριθμός 0. Ταυτόχρονα με τον «καθαρισμό» του συγκεκριμένου καταχωρητή, επαναφέρονται οι υπομονάδες μεθόδου δειγματοληψίας MODE0 και MODE1 στην αρχική τους κατάσταση, δηλαδή είναι έτοιμες για τον επόμενο κύκλο δειγματοληψίας που θα τους ζητηθεί, με το σήμα (CLR_MODES). Για να εγγραφεί ο καταχωρητής πρέπει πρώτα να επιλεγθεί και κατόπιν να δοθεί το σήμα εγγραφής WRITE. Η κατάσταση του ready bit μπορεί ανά πάσα στιγμή να ελεγχθεί μέσω του ακροδέκτη 69 (STATUS) του FPGA.

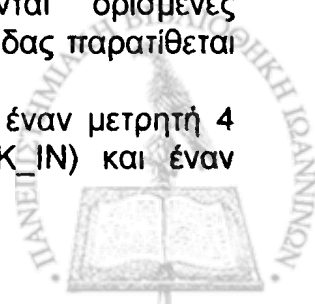
Το κύκλωμα επιλογής καταχωρητή αποτελείται από έναν αποπολυπλέκτη (demultiplexer) 2 εισόδων και 4 εξόδων, μία για την επιλογή κάθε καταχωρητή. Για την ενεργοποίηση του συγκεκριμένου κυκλώματος πρέπει ο ακροδέκτης 56 (REG_MEM) του FPGA να βρίσκεται σε λογικό επίπεδο '0'. Το περιεχόμενο των 2 εισόδων (SEL0 και SEL1) καθορίζεται από τα 2 LSBs του 6μπιτου διαύλου διευθυνσιοδότησης (Address Bus) μεταξύ του FPGA και του μC . Η αντιστοιχία μεταξύ του περιεχομένου των 2 LSBs και των καταχωρητών είναι η ακόλουθη:

<u>ΠΕΡΙΕΧΟΜΕΝΟ</u>	<u>ΚΑΤΑΧΩΡΗΤΗΣ</u>
00bin	Κατάστασης
01bin	Συχνότητας
10bin	Ελέγχου
11bin	Κατάδειξης.

3.4 Υπομονάδα διαίρεσης και διανομής των ρολογιών του συστήματος

Η υπομονάδα διαίρεσης και διανομής των ρολογιών του συστήματος περιλαμβάνει το κύκλωμα υποπολλαπλασιασμού της συχνότητας των 40MHz του κρυστάλλου καθώς και τη διανομή του υποπολλαπλασιασμένου ρολογιού στα υπόλοιπα τμήματα του συστήματος, όταν πληρούνται ορισμένες προϋποθέσεις. Το σχηματικό διάγραμμα αυτής της υπομονάδας παρατίθεται στο παράρτημα Ε.2.

Το κύκλωμα υποπολλαπλασιασμού αποτελείται από έναν μετρητή 4 καταστάσεων με είσοδο τη συχνότητα των 40MHz (CLK_IN) και έναν



πολυπλέκτη (multiplexer) 6 εισόδων και μιας εξόδου, που δίνει την επιθυμητή, διαιρεμένη συχνότητα. Οι 4 καταστάσεις του μετρητή οδηγούνται ως εισοδοί στον πολυπλέκτη, μία κατάσταση εκ των οποίων επιλέγεται μία ως έξοδος μέσω ενός 2μπιτου αριθμού που λειτουργεί ως διαιρέτης. Αυτά τα 2 bits προέρχονται από την έξοδο του καταχωρητή συχνότητας και οδηγούνται ως εισοδοί στον πολυπλέκτη. Η αντιστοιχία μεταξύ του διαιρέτη των 2 bits και της συχνότητας που λαμβάνουμε στην έξοδο του πολυπλέκτη είναι η ακόλουθη:

<u>ΔΙΑΙΡΕΤΗΣ</u>	<u>ΣΥΧΝΟΤΗΤΑ</u>
00bin	20 MHz
01bin	10 MHz
10bin	5 MHz
11bin	2.5 MHz.

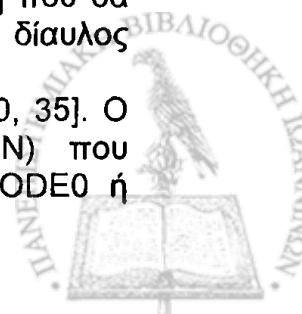
Η έξοδος του πολυπλέκτη, δηλαδή η επιθυμητή συχνότητα, οδηγείται εσωτερικά στον ακροδέκτη 78 ως είσοδος, ώστε να μπορέσουμε να εισάγουμε στη γραμμή έναν εξειδικευμένο buffer (BUFGP), ο οποίος επιτρέπει στο σήμα μας να οδηγήσει περισσότερα στοιχεία του κυκλώματος, δηλαδή να έχει αυξημένο fan out. Επίσης, με την προσθήκη του BUFGP επιτύχαμε ισότροπη κατανομή του ρολογιού στο κύκλωμα σε φυσικό επίπεδο. Από την έξοδο του BUFGP οδηγούμε, μέσω του ακροδέκτη 57 (ADCLK), τον ψηφιοποιητή AD9042 και από την ανεστραμμένη έξοδο του BUFGP, μέσω του ακροδέκτη 35 (MUX_CLK), τον πολυπλέκτη του Δstream.

3.5 Υπομονάδα εσωτερικής μνήμης RAM

Η υπομονάδα εσωτερικής μνήμης RAM περιλαμβάνει μια μνήμη dual port RAM διαστάσεων 48x12 και έναν 6μπιτο μετρητή, των οποίων τα σχηματικά διαγράμματα δίνονται στο παράρτημα Ε.3.

Η RAM έχει συνολικά 48 διευθύνσεις των 12 bits η καθεμία, από τις οποίες χρησιμοποιούνται οι 36, όσα είναι και τα κανάλια του Δstream. Μια dual port RAM έχει τη δυνατότητα να εγγράφεται σύγχρονα και να διαβάζεται ασύγχρονα την ίδια στιγμή, χωρίς ωστόσο να είναι δυνατό να εγγράφεται και να διαβάζεται ταυτόχρονα το ίδιο κανάλι! Στη μνήμη αυτή εγγράφονται τα ψηφιοποιημένα δεδομένα που στέλνει ο ψηφιοποιητής στους ακροδέκτες 27-28, 38-40 και 44-50) του FPGA μέσω ενός 12μπιτου διαύλου. Τα δεδομένα εγγράφονται με κάθε παλμό του ρολογιού, οπότε και έχει ανοιχθεί η επόμενη διεύθυνση της μνήμης με τη βοήθεια του μετρητή. Η ανάγνωση των δεδομένων υλοποιείται μέσω του 8μπιτου διαύλου αμφίδρομης επικοινωνίας μεταξύ του FPGA και του μC σε δύο δόσεις, πρώτα τα 8 LSBs των δεδομένων κάθε διεύθυνσης και στη συνέχεια τα υπόλοιπα 4 bits. Η διεύθυνση που θα διαβαστεί, καθορίζεται από τον αριθμό που έχει ο 6μπιτος διάυλος διευθυνσιοδότησης μεταξύ του FPGA και του μC.

Ο μετρητής είναι αύξουσας ακολουθίας μέσα στο διάστημα [0, 35]. Ο μετρητής ενεργοποιείται από το αντίστοιχο σήμα (WRITE_EN) που αποστέλλει η επιλεγμένη υπομονάδα μεθόδου δειγματοληψίας MODE0 ή



MODE1. Ο μηδενισμός του επιτυγχάνεται με το σήμα που αποστέλλει ο καταχωρητής κατάστασης για να «καθαρίσει» τις υπομονάδες μεθόδου δειγματοληψίας MODE0 και MODE1.

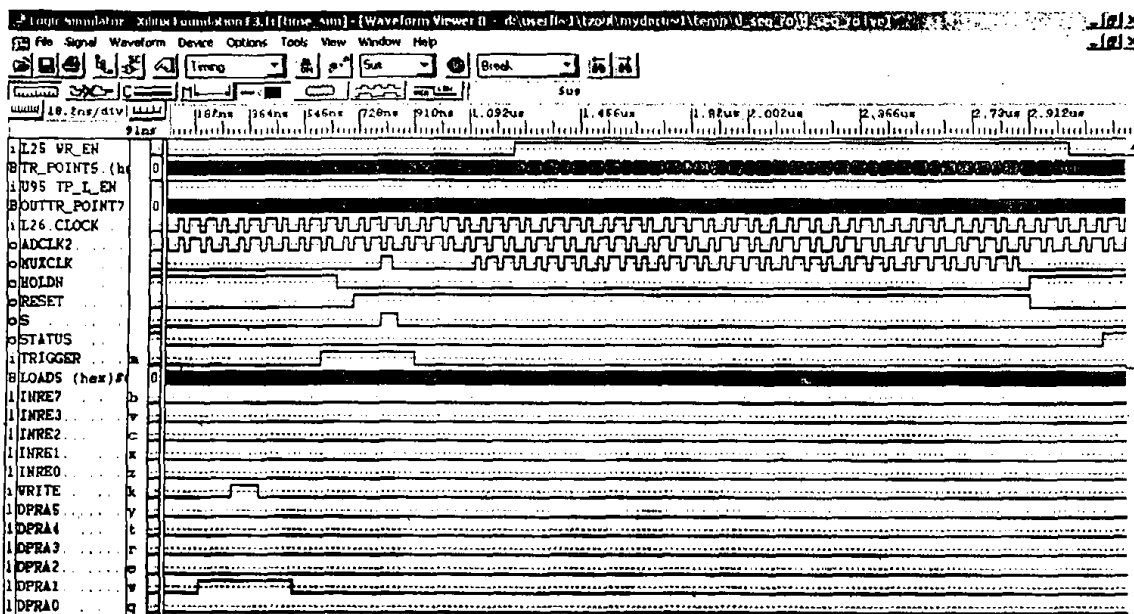
3.6 Υπομονάδα μεθόδου δειγματοληψίας MODE0

Επιλέγοντας την υπομονάδα μεθόδου δειγματοληψίας MODE0 παράγουμε τα απαραίτητα σήματα ελέγχου του Δstream, ώστε να διεξάγουμε μια χωρική σάρωση του αισθητήρα. Με την υπομονάδα μεθόδου δειγματοληψίας MODE0 ενεργοποιημένη δειγματοληπτούμε όλα τα κανάλια του Δstream από μια φορά, σε κάθε κύκλο δειγματοληψίας. Τα αποτελέσματα της δειγματοληψίας αποθηκεύονται στην αντίστοιχη θέση της εσωτερικής μνήμης RAM, δηλαδή τα δεδομένα από το 1^ο κανάλι στη διεύθυνση 00hex, από το 2^ο κανάλι στη διεύθυνση 01hex κ.ο.κ.

Η υπομονάδα μεθόδου δειγματοληψίας MODE0 περιλαμβάνει το κύκλωμα παραγωγής των απαραίτητων σημάτων ελέγχου για τη διεξαγωγή αλληλαπάλληλων κύκλων δειγματοληψίας, καθώς και ένα μετρητή. Το κύκλωμα παραγωγής των σημάτων ελέγχου είναι σχεδιασμένο με τη βοήθεια του εργαλείου State Machine Editor του λογισμικού πακέτου Xilinx Foundation Series. Ο μετρητής συνδέεται εξωτερικά με το υπόλοιπο κύκλωμα, από το οποίο ενεργοποιείται με το αντίστοιχο σήμα (CLK_EN) και στο οποίο αποστέλλει το σήμα τερματισμού (TC). Η χρήση του μετρητή εστιάζεται στην καταμέτρηση 32 συνεχόμενων καταστάσεων (states) του κυκλώματος, κατά τη διάρκεια των οποίων δε μεταβάλλονται τα σήματα ελέγχου της υπομονάδας. Το σχηματικό διάγραμμα του συγκεκριμένου μετρητή CB5CE παρουσιάζεται στο παράρτημα Ε.4.

Το κύκλωμα παραγωγής των σημάτων ελέγχου της υπομονάδας MODE0 ενεργοποιείται από τον καταχωρητή ελέγχου με το αντίστοιχο σήμα (MODE_EN) και επαναφέρεται στην αρχική του κατάσταση με το κατάλληλο σήμα (CLEARALL) που προέρχεται από τον καταχωρητή κατάστασης. Ο κύκλος δειγματοληψίας ξεκινά με εξωτερικό σκανδαλισμό (σήμα TRIGGER) και διεξάγεται με την συχνότητα του διαιρεμένου ρολογιού (ADCLK). Το κύκλωμα παράγει σήματα ελέγχου που αποστέλλονται στο Δstream (RESET, S, HOLDN), στην υπομονάδα εσωτερικής μνήμης RAM (WRITE_EN) και στον καταχωρητή κατάστασης (READY) (Σχήμα 3.6). Μόλις το κύκλωμα δεχθεί τον εξωτερικό σκανδαλισμό (TRIGGER), το Δstream πρέπει να τεθεί σε κατάσταση συγκράτησης, οπότε το σήμα HOLDN πέφτει ασύγχρονα, εξαρτώμενο από το TRIGGER. Στον επόμενο παλμό του ρολογιού σηκώνονται τα σήματα RESET, S και CLK_EN, ώστε να αρχίσει η πολυπλεξία των σημάτων από τα 36 κανάλια του Δstream και να οδηγηθούν σειριακά προς την είσοδο του ADC. Το σήμα S έχει διάρκεια ενός μόνο παλμού ρολογιού και μετά ξαναμηδενίζεται. Μετά από 3 παλμούς του ρολογιού ο ADC αρχίζει να δίνει τα ψηφιοποιημένα σήματα στην είσοδο του FPGA, επομένως σηκώνεται το σήμα WRITE_EN ώστε να επιτραπεί στη RAM να τα αποθηκεύσει. Όταν ολοκληρωθεί η διαδικασία πολυπλεξίας και των 36 καναλιών, στον επόμενο παλμό ρολογιού σηκώνεται το σήμα HOLDN και πέφτει το σήμα RESET, ώστε να επανέλθει το Δstream σε κατάσταση ανίχνευσης νέων σημάτων. Μετά την έλευση άλλων 3 παλμών του ρολογιού

σταματάμε την εγγραφή της RAM, ρίχνοντας το σήμα WRITE_EN. Κατόπιν σηκώνουμε το σήμα READY, ώστε να υποδηλώσουμε στο χρήστη, μέσω του περιβάλλοντος εργασίας, ότι ο κύκλος δειγματοληψίας ολοκληρώθηκε και είναι δυνατή η ανάγνωση των δεδομένων της RAM. Ο κύκλος δειγματοληψίας μπορεί να επαναληφθεί όταν σταλεί σήμα CLEARALL από το περιβάλλον εργασίας του χρήστη και πέσει το σήμα READY, οπότε το κύκλωμα αναμένει την άφιξη κάποιου νέου TRIGGER.



ΣΧΗΜΑ 3.8: Διάγραμμα προσομοίωσης χρονισμού σημάτων στο MODE0

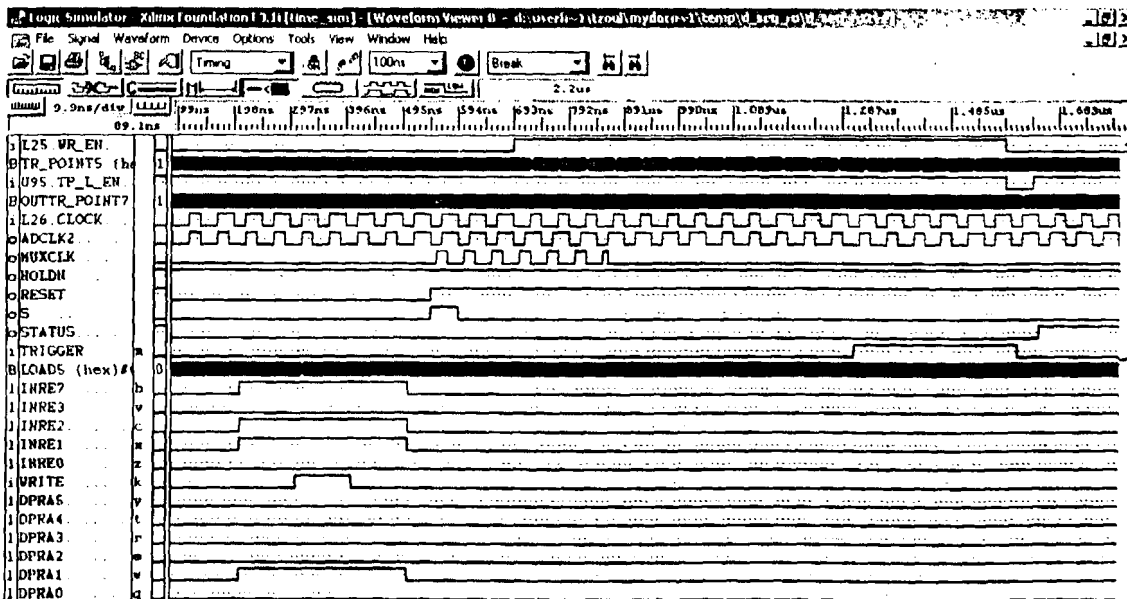
3.7 Υπομονάδα μεθόδου δειγματοληψίας MODE1

Επιλέγοντας την υπομονάδα μεθόδου δειγματοληψίας MODE1 για να παράγουμε τα απαραίτητα σήματα ελέγχου του Δstream, ώστε να διεξάγουμε μια χρονική σάρωση ενός καναλιού του αισθητήρα. Με την υπομονάδα μεθόδου δειγματοληψίας MODE1 ενεργοποιημένη δειγματοληπτούμε ένα από τα κανάλια του Δstream συνεχώς, μέχρι να διακοπεί ο κύκλος δειγματοληψίας. Τα αποτελέσματα της δειγματοληψίας αποθηκεύονται σε θέσεις της εσωτερικής μνήμης RAM, η οποία λειτουργεί κυκλικά, δηλαδή μόλις εγγραφεί η τελευταία θέση μνήμης, ανοίγει προς εγγραφή η πρώτη θέση της μνήμης.

Η υπομονάδα μεθόδου δειγματοληψίας MODE1 περιλαμβάνει το κύκλωμα παραγωγής των απαραίτητων σημάτων ελέγχου για τη διεξαγωγή αλληλαπάλληλων κύκλων δειγματοληψίας, σχεδιασμένο με τη βοήθεια του εργαλείου State Machine Editor του λογισμικού πακέτου Xilinx Foundation Series, καθώς επίσης ένα μετρητή και ένα flip-flop. Ο μετρητής είναι φθίνουσας ακολουθίας και συνδέεται εξωτερικά με το υπόλοιπο κύκλωμα, από το οποίο ενεργοποιείται με το αντίστοιχο σήμα (CLK_EN) και αποστέλλει το σήμα τερματισμού (TC) στο flip-flop. Το flip-flop με τη σειρά του στέλνει σήμα στην υπομονάδα διαίρεσης και διανομής των ρολογιών του

συστήματος, ώστε να διακόψει τη λειτουργία του ρολογιού (MUX_CLK) που διανέμεται στον πολυπλέκτη. Ο μετρητής χρησιμοποιείται για να επιλεγθεί το επιθυμητό κανάλι του αισθητήρα που θα δειγματοληφθεί. Το κανάλι εισάγεται ως αρχική τιμή στον μετρητή μέσω διαύλου που προέρχεται από τον καταχωρητή ελέγχου. Το σχηματικό διάγραμμα του μετρητή αυτού CB8CLED_N2 βρίσκεται στο παράρτημα Ε.4.

Το κύκλωμα παράγει σήματα ελέγχου που αποστέλλονται στο Δstream (RESET, S, HOLDN), στην υπομονάδα εσωτερικής μνήμης RAM (WRITE_EN), στον καταχωρητή κατάδειξης (TP_START), και στον καταχωρητή κατάστασης (READY) (Σχήμα 3.7). Το κύκλωμα παραγωγής των σημάτων ελέγχου της υπομονάδας MODE1 ενεργοποιείται από τον καταχωρητή ελέγχου με το αντίστοιχο σήμα (MODE_EN), οπότε σηκώνονται τα σήματα RESET, S και CLK_EN με τον επόμενο παλμό ρολογιού. Με αυτόν τον τρόπο αρχίζει η διαδικασία επιλογής του καναλιού του Δstream που θα δειγματοληφθεί. Το S μένει σηκωμένο μόνο για ένα παλμό ρολογιού. Μετά από 3 παλμούς ρολογιού σηκώνεται το WRITE_EN, όπως στο MODE0, ώστε να εγγραφούν τα ψηφιοποιημένα σήματα στη RAM. Ο κύκλος δειγματοληψίας σταματά με εξωτερικό σκανδαλισμό (TRIGGER). Μετά την έλευση άλλων 3 παλμών ρολογιού από τη στιγμή της άφιξης του TRIGGER τερματίζεται η εγγραφή της RAM και σηκώνεται το σήμα READY, που υποδηλώνει ότι είναι δυνατή η ανάγνωση της μνήμης. Το κύκλωμα είναι έτοιμο για νέο κύκλο δειγματοληψίας στο ίδιο κανάλι όταν πέσει το READY, ενεργοποιώντας το σήμα CLEARALL κάθε φορά που καθαρίζουμε τον καταχωρητή κατάστασης. Στην περίπτωση που χρειαστεί να γίνει δειγματοληψία σε διαφορετικό κανάλι του Δstream από αυτό που είχε αρχικά επιλεγθεί, πρέπει να σταλούν εκ νέου τα σήματα ελέγχου στο Δstream. Θα πρέπει λοιπόν η υπομονάδα μεθόδου δειγματοληψίας MODE1 να επανέλθει στην αρχική της κατάσταση, λαμβάνοντας το σήμα CLR. Το σήμα CLR αποστέλλεται κάθε φορά που επιχειρούμε να εγγράψουμε τον καταχωρητή ελέγχου.



ΣΧΗΜΑ 3.9: Διάγραμμα προσομοίωσης χρονισμού σημάτων στο MODE1

3.8 Λοιπά στοιχεία του κυκλώματος

Στο εσωτερικό κύκλωμα του FPGA περιλαμβάνονται και ορισμένες υπομονάδες που δεν έχουν αναφερθεί στις προηγούμενες παραγράφους. Τα σχηματικά διαγράμματα αυτών των υπομονάδων παραθέτονται στο παράρτημα Ε.5. Αναλυτικότερα, υπάρχει η υπομονάδα IFD112, που αποτελείται από 12 flip-flops εισόδου όπου εισέρχονται οι 12μπιτες τιμές των ψηφιοποιημένων δεδομένων, προερχόμενων από τον ADC. Επιπλέον, υπάρχουν και οι υπομονάδες MUX2_1_8N και MUX2_1_8, οι οποίες είναι στην ουσία 8μπιτοι πολυπλέκτες 2 εισόδων σε μια έξοδο. Ο πολυπλέκτης MUX2_1_8 χρησιμοποιείται ώστε να μετατραπούν τα 12μπιτα δεδομένα που είναι αποθηκευμένα στη RAM, σε δεδομένα των δύο bytes (1 byte = 8 bits). Κατ' αυτόν τον τρόπο, είναι δυνατό να χωρέσουν στον 8μπιτο δίαυλο, μέσω του οποίου πραγματοποιείται η ανάγνωση τους από τον μC. Τέλος, ο πολυπλέκτης MUX2_1_8N επιτρέπει την επιλογή των δεδομένων που θα είναι προσβάσιμα από τον μC, είτε των δεδομένων των καταχωρητών ή της RAM.

3.9 Οι ακροδέκτες του FPGA

Στον παρακάτω πίνακα (Πίνακας 3.1) παρουσιάζονται όλοι οι ακροδέκτες του FPGA. Οι ακροδέκτες αριθμούνται σύμφωνα με τη θέση που έχουν στο εξωτερικό περίβλημα (package). Επίσης, παρατίθεται η ονομασία που τους έχει δοθεί κατά τη σχεδίαση του εσωτερικού κυκλώματος του FPGA. Τέλος, περιγράφεται το είδος του σήματος που εξυπηρετεί ο κάθε ακροδέκτης, κατατάσσοντας τον σε μια από τις ακόλουθες ομάδες ακροδεκτών:

<u>ΕΙΔΟΣ ΣΗΜΑΤΟΣ</u>	<u>ΕΠΕΞΗΓΗΣΗ</u>
ΤΡΟΦΟΔΟΣΙΑ	Παρέχουν τις τάσεις και τις γειώσεις στο FPGA.
ΔΕΔΟΜΕΝΑ	Εξυπηρετούν την ανταλλαγή δεδομένων με το περιβάλλον του FPGA.
ΕΛΕΓΧΟΥ	Παράγονται από το εσωτερικό κύκλωμα του FPGA.
ΛΕΙΤΟΥΡΓΙΑ FPGA ΑΣΥΝΔΕΤΑ	Δεσμεύονται για τις λειτουργίες του FPGA. Δε χρησιμοποιούνται.



Ακροδέκτης	Ονομασία	Είδος σήματος	Ακροδέκτης	Ονομασία	Είδος σήματος
1	GND	ΤΡΟΦΟΔΟΣΙΑ	43	GND	ΤΡΟΦΟΔΟΣΙΑ
2	VCC	ΤΡΟΦΟΔΟΣΙΑ	44	AD5	ΔΕΔΟΜΕΝΑ
3	D1	ΔΕΔΟΜΕΝΑ	45	AD6	ΔΕΔΟΜΕΝΑ
4	D2	ΔΕΔΟΜΕΝΑ	46	AD7	ΔΕΔΟΜΕΝΑ
5	D3	ΔΕΔΟΜΕΝΑ	47	AD8	ΔΕΔΟΜΕΝΑ
6	D4	ΔΕΔΟΜΕΝΑ	48	AD9	ΔΕΔΟΜΕΝΑ
7	D5	ΔΕΔΟΜΕΝΑ	49	AD10	ΔΕΔΟΜΕΝΑ
8	D6	ΔΕΔΟΜΕΝΑ	50	AD11	ΔΕΔΟΜΕΝΑ
9	D7	ΔΕΔΟΜΕΝΑ	51	RESET	ΕΛΕΓΧΟΥ
10	TRIGGER	ΔΕΔΟΜΕΝΑ	52	GND	ΤΡΟΦΟΔΟΣΙΑ
11	VCC	ΤΡΟΦΟΔΟΣΙΑ	53	DONE	ΛΕΙΤΟΥΡΓΙΑ FPGA
12	GND	ΤΡΟΦΟΔΟΣΙΑ	54	VCC	ΤΡΟΦΟΔΟΣΙΑ
13	ADCLK	ΕΛΕΓΧΟΥ	55	RD0	ΔΕΔΟΜΕΝΑ
14	HG	ΕΛΕΓΧΟΥ	56	RD1	ΔΕΔΟΜΕΝΑ
15	TDI	ΑΣΥΝΔΕΤΑ	57	ADCLK	ΕΛΕΓΧΟΥ
16	TCK	ΑΣΥΝΔΕΤΑ	58	RD2	ΔΕΔΟΜΕΝΑ
17	TMS	ΑΣΥΝΔΕΤΑ	59	RD3	ΔΕΔΟΜΕΝΑ
18	MUXQ	ΕΛΕΓΧΟΥ	60	RD4	ΔΕΔΟΜΕΝΑ
19	ADDR0	ΔΕΔΟΜΕΝΑ	61	VCC	ΤΡΟΦΟΔΟΣΙΑ
20	ADDR1	ΔΕΔΟΜΕΝΑ	62	GND	ΤΡΟΦΟΔΟΣΙΑ
21	GND	ΤΡΟΦΟΔΟΣΙΑ	63	RD5	ΔΕΔΟΜΕΝΑ
22	VCC	ΤΡΟΦΟΔΟΣΙΑ	64	RS	ΑΣΥΝΔΕΤΑ
23	ADDR2	ΔΕΔΟΜΕΝΑ	65	RD6	ΔΕΔΟΜΕΝΑ
24	ADDR3	ΔΕΔΟΜΕΝΑ	66	RD7	ΔΕΔΟΜΕΝΑ
25	ADDR4	ΔΕΔΟΜΕΝΑ	67	STATUS	ΕΛΕΓΧΟΥ
26	ADDR5	ΔΕΔΟΜΕΝΑ	68	RD0	ΔΕΔΟΜΕΝΑ
27	AD0	ΔΕΔΟΜΕΝΑ	69	RD1	ΔΕΔΟΜΕΝΑ
28	AD1	ΔΕΔΟΜΕΝΑ	70	RD2	ΔΕΔΟΜΕΝΑ
29	HOLDN	ΕΛΕΓΧΟΥ	71	RD3	ΔΕΔΟΜΕΝΑ
30	MD1	ΛΕΙΤΟΥΡΓΙΑ FPGA	72	RD4	ΔΕΔΟΜΕΝΑ
31	GND	ΤΡΟΦΟΔΟΣΙΑ	73	RD5	ΔΕΔΟΜΕΝΑ
32	MD0	ΛΕΙΤΟΥΡΓΙΑ FPGA	74	RD6	ΔΕΔΟΜΕΝΑ
33	VCC	ΤΡΟΦΟΔΟΣΙΑ	75	RD7	ΔΕΔΟΜΕΝΑ
34	MD2	ΛΕΙΤΟΥΡΓΙΑ FPGA	76	S	ΕΛΕΓΧΟΥ
35	CLK	ΕΛΕΓΧΟΥ	77	CCLK	ΛΕΙΤΟΥΡΓΙΑ FPGA
36	HDC	ΑΣΥΝΔΕΤΑ	78	VCC	ΤΡΟΦΟΔΟΣΙΑ
37	LDC	ΑΣΥΝΔΕΤΑ	79	TDO	ΑΣΥΝΔΕΤΑ
38	AD2	ΔΕΔΟΜΕΝΑ	80	GND	ΤΡΟΦΟΔΟΣΙΑ
39	AD3	ΔΕΔΟΜΕΝΑ	81	WS	ΑΣΥΝΔΕΤΑ
40	AD4	ΔΕΔΟΜΕΝΑ	82	PGCK4	ΑΣΥΝΔΕΤΑ
41	INIT	ΛΕΙΤΟΥΡΓΙΑ FPGA	83	CLOCK	ΔΕΔΟΜΕΝΑ
42	VCC	ΤΡΟΦΟΔΟΣΙΑ	84	I/O	ΑΣΥΝΔΕΤΑ
				SEL0	ΔΕΔΟΜΕΝΑ
				SEL1	ΔΕΔΟΜΕΝΑ
				H/L	ΔΕΔΟΜΕΝΑ
				D0	ΔΕΔΟΜΕΝΑ

ΠΙΝΑΚΑΣ 3.1: Κατάλογος ακροδεκτών του FPGA



4. ΛΕΙΤΟΥΡΓΙΑ ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ

Την αποστολή της διεκπεραίωσης της αμφίδρομης σειριακής επικοινωνίας ανάμεσα στον χρήστη και το σύστημά μας έχει στηριχθεί σε έναν μικροελεγκτή (μC). Ο μC έχει προγραμματιστεί να υλοποιεί τις απαραίτητες διαδικασίες που περιλαμβάνει αυτή η επικοινωνία με έναν κώδικα (βλέπε DCODEV6.doc) σε γλώσσα Assembly, ο οποίος συντάχθηκε για αυτόν το σκοπό [27].

4.1 Υλοποίηση επικοινωνίας συστήματος – χρήστη

Η αμφίδρομη επικοινωνία του χρήστη με τον μικροελεγκτή διεξάγεται μέσω 8μπιτου σειριακού διαύλου βασισμένου στο πρότυπο RS-232. Η ταχύτητα μεταγωγής των δεδομένων, μέσω του συγκεκριμένου διαύλου, έχει προγραμματιστεί να είναι στα 57600bps [28]. Η σχέση σύμφωνα με την οποία υπολογίζουμε την ταχύτητα μεταγωγής των δεδομένων R είναι η ακόλουθη:

$$R = \frac{K}{32} * \frac{f_{osc}}{12 * (256 - TH1)}$$

Όπου:

R: Baud Rate σε bits/sec

f_{osc} : συχνότητα κρυστάλλου (11.052 MHz)

K: συντελεστής του οποίου η τιμή εξαρτάται από την κατάσταση του 7^{ου} bit PCON.7 (SMOD) του καταχωρητή Power Control του μC. Το K είναι ίσο με: 2^{SMOD} , δηλαδή K = 1 όταν SMOD = 0 και K = 2 όταν SMOD = 1.

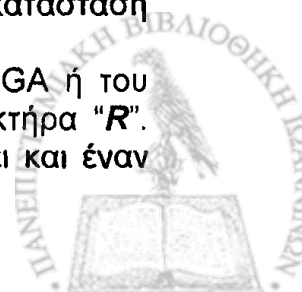
4.2 Κώδικας μικροελεγκτή για τη διεκπεραίωση της επικοινωνίας

Η δομή του κώδικα (Σχήμα 4.1) έχει ως εξής:

Αρχικά ορίζονται οι αρχικές τιμές των μεταβλητών, καθώς και οι διάφορες ονομασίες που θα χρησιμοποιηθούν στο πρόγραμμα. Κατόπιν, καθορίζεται η ταχύτητα επικοινωνίας του διαύλου RS-232 και μηδενίζονται οι interrupt flags του μικροελεγκτή. Στη συνέχεια, ο μικροελεγκτής μπαίνει σε κατάσταση αναμονής, έως ότου του σταλεί κάποια εντολή από το χρήστη.

Υπάρχουν 5 εντολές που μπορεί να δώσει ο χρήστης στον μικροεπεξεργαστή. Η κάθε εντολή συμβολίζεται με έναν ASCII χαρακτήρα, που αντιπροσωπεύει έναν 8μπιτο αριθμό. Στην περίπτωση που δοθεί λανθασμένος χαρακτήρας, ο μικροελεγκτής επανέρχεται σε κατάσταση αναμονής.

Η εντολή ανάγνωσης μιας θέσης της μνήμης RAM του FPGA ή του καταχωρητή (register) Trigger Pointer δίδεται με τον ASCII χαρακτήρα "R". Μόλις δοθεί η συγκεκριμένη εντολή, ο χρήστης πρέπει να επιλέξει και έναν



8μπιτο αριθμό που θα αντιστοιχεί, είτε στη διεύθυνση της μνήμης, την οποία θέλει να ανοίξει, ή στον καταχωρητή Trigger Pointer (Πίνακας 4.1). Ο αριθμός αυτός θα πρέπει να έχει ακέραια τιμή και να ανήκει στο διάστημα [0,47]. Έχοντας επιλέξει συγκεκριμένη διεύθυνση, ο μικροεπεξεργαστής δέχεται πρώτα το Low byte (8 bits) των δεδομένων και κατόπιν το High nibble (4 bits) αυτών, έτσι ώστε να συγκεντρώσει όλη την πληροφορία (12 bits) που περιείχε αυτή η διεύθυνση. Η διαδικασία της εντολής ανάγνωσης ολοκληρώνεται με την προώθηση των δεδομένων προς το χρήστη, με τη σειρά που τα διάβασε ο μικροεπεξεργαστής από τη μνήμη του FPGA, δηλαδή πρώτα αποστέλλεται το Low byte και ύστερα το High nibble.

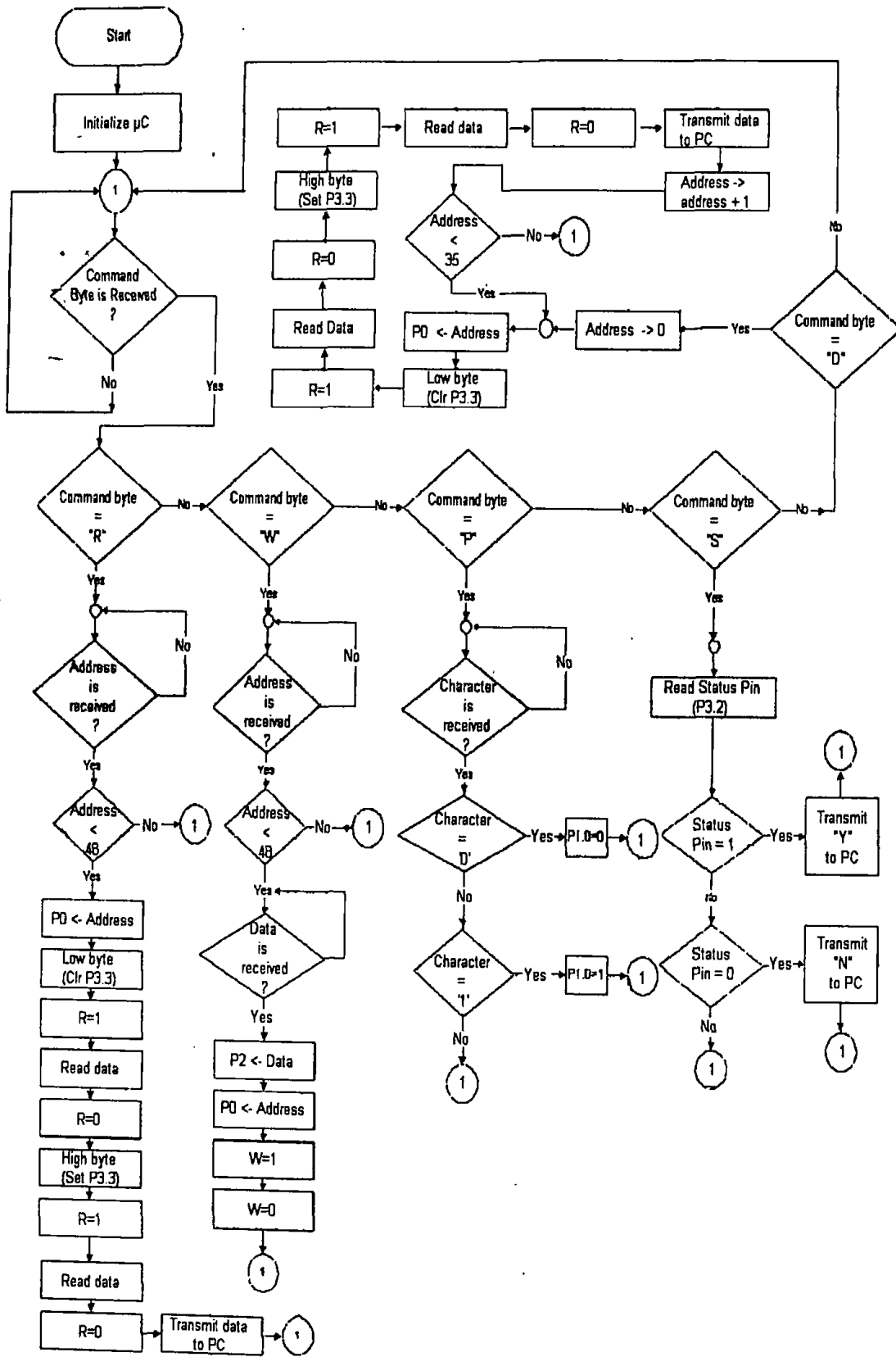
Η εντολή έγγραφης δεδομένων στους καταχωρητές (registers) του FPGA, Frequency, Control και Status, δίδεται με τον ASCII χαρακτήρα "W". Μόλις δοθεί η συγκεκριμένη εντολή, ο χρήστης πρέπει να επιλέξει και έναν 8μπιτο αριθμό, που θα αντιστοιχεί στον καταχωρητή που θέλει να καλέσει (Πίνακας 4.1). Στη συνέχεια, ο χρήστης πρέπει να δώσει ακόμη έναν 8μπιτο αριθμό, ο οποίος θα αντιστοιχεί στα δεδομένα που θέλει να εγγραφούν στον αντίστοιχο καταχωρητή (Πίνακες 4.2 και 4.3). Η εντολή έγγραφης ολοκληρώνεται με τον μικροεπεξεργαστή να προωθεί στο FPGA τη διεύθυνση του καταχωρητή από τη θύρα (port) P0 και τα δεδομένα από τη θύρα P2.

Η εντολή που καθορίζει αν η επικοινωνία που διεξάγει ο μικροεπεξεργαστής με το FPGA αφορά τη μνήμη ή τους καταχωρητές, δίδεται με τον ASCII χαρακτήρα "P". Μόλις δοθεί η συγκεκριμένη εντολή, ο χρήστης πρέπει να επιλέξει, είτε τον ASCII χαρακτήρα "0", ο οποίος αντιστοιχεί στους καταχωρητές, ή τον ASCII χαρακτήρα "1", ο οποίος αντιστοιχεί στη μνήμη. Η εντολή ολοκληρώνεται με τον μικροεπεξεργαστή να προωθεί την επιλογή του χρήστη στο FPGA μέσω του ακροδέκτη (pin) P1.0.

Η εντολή ανάγνωσης του καταχωρητή (register) Status του FPGA, δίδεται με τον ASCII χαρακτήρα "S". Μόλις δοθεί η συγκεκριμένη εντολή, ο μικροεπεξεργαστής ελέγχει το επίπεδο του ακροδέκτη P3.2. Αν ο ακροδέκτης βρίσκεται σε επίπεδο άσσου '1'; τότε ο μικροεπεξεργαστής προωθεί στο χρήστη τον ASCII χαρακτήρα "Y". Αντίστοιχα, αν ο ακροδέκτης βρίσκεται σε επίπεδο μηδενός, τότε ο μικροεπεξεργαστής προωθεί στο χρήστη τον ASCII χαρακτήρα "N".

Η εντολή ανάγνωσης ολόκληρης της μνήμης RAM του FPGA (36 θέσεων), δίδεται με τον ASCII χαρακτήρα "D". Μόλις δοθεί η συγκεκριμένη εντολή, ο μικροεπεξεργαστής ανοίγει τη διεύθυνση της μνήμης που αντιστοιχεί στον αριθμό '0' και δέχεται πρώτα το Low byte (8 bits) των δεδομένων και κατόπιν το High nibble (4 bits) αυτών, έτσι ώστε να συγκεντρώσει όλη την πληροφορία (12 bits) που περιείχε αυτή η διεύθυνση. Στη συνέχεια, γίνεται προώθηση των δεδομένων προς το χρήστη, με τη σειρά που τα διάβασε ο μικροεπεξεργαστής από τη μνήμη του FPGA, δηλαδή πρώτα αποστέλλεται το Low byte και ύστερα το High nibble. Ακολούθως, ο μικροεπεξεργαστής, αφού πρώτα εισάγει μια προγραμματιζόμενη χρονική καθυστέρηση, απαραίτητη ώστε να αποφευχθούν περιπτώσεις επικάλυψης δεδομένων, ανοίγει την αμέσως επόμενη διεύθυνση της μνήμης και επαναλαμβάνεται η διαδικασία ανάγνωσης και Αποστολής στο χρήστη των δεδομένων αυτής. Η εντολή ολοκληρώνεται όταν διαβαστούν και προωθηθούν στο χρήστη, τα δεδομένα των 36 θέσεων της μνήμης.





ΣΧΗΜΑ 4.1: Διάγραμμα ροής του προγράμματος του μC



4.3 Εγγραφή δεδομένων στους καταχωρητές του FPGA

Στον ακόλουθο πίνακα (Πίνακας 4.1) δίνονται οι διευθύνσεις των καταχωρητών του FPGA:

<u>ΚΑΤΑΧΩΡΗΤΗΣ</u>	<u>ΔΙΕΥΘΥΝΣΗ</u>
STATUS	00hex
FREQUENCY	01hex
CONTROL	02hex
TRIGGER POINTER	03hex

ΠΙΝΑΚΑΣ 4.1: Διευθύνσεις καταχωρητών στο εσωτερικό κύκλωμα του FPGA

Status register

Για να "καθαριστεί" ο συγκεκριμένος καταχωρητής πρέπει ο χρήστης να του εγγράψει τον αριθμό 00hex, με κατάλληλη εντολή που θα δώσει στον μικροελεγκτή μέσω του περιβάλλοντος εργασίας.

Στη συνέχεια δίνονται πίνακες (Πίνακες 4.2 και 4.3) με τα δεδομένα που μπορούν να εγγραφούν στους καταχωρητές Frequency, Control και Status του FPGA:

Frequency register

Data (hex)	Selected frequency	Data (hex)	Selected frequency
00	40:2=20MHz	02	40:8=5MHz
01	40:4=10MHz	03	40:16=2.5MHz

ΠΙΝΑΚΑΣ 4.2: Δεδομένα που μπορούν να εγγραφούν στον καταχωρητή συχνότητας



Control register

	Low Gain				High Gain			
	Channel	Data	Channel	Data	Channel	Data	Channel	Data
MODE 1	0	80	18	92	0	C0	18	D2
	1	81	19	93	1	C1	19	D3
	2	82	20	94	2	C2	20	D4
	3	83	21	95	3	C3	21	D5
	4	84	22	96	4	C4	22	D6
	5	85	23	97	5	C5	23	D7
	6	86	24	98	6	C6	24	D8
	7	87	25	99	7	C7	25	D9
	8	88	26	9A	8	C8	26	DA
	9	89	27	9B	9	C9	27	DB
	10	8A	28	9C	10	CA	28	DC
	11	8B	29	9D	11	CB	29	DD
	12	8C	30	9E	12	CC	30	DE
	13	8D	31	9F	13	CD	31	DF
	14	8E	32	A0	14	CE	32	E0
	15	8F	33	A1	15	CF	33	E1
	16	90	34	A2	16	D0	34	E2
	17	91	35	A3	17	D1	35	E3
MODE 0	Data				Data			
	00				40			

ΠΙΝΑΚΑΣ 4.3: Δεδομένα που μπορούν να εγγραφούν στον καταχωρητή ελέγχου



5. ΠΕΡΙΒΑΛΛΟΝ LabVIEW ΓΙΑ ΤΟΝ ΧΡΗΣΤΗ


Το σύστημα καταγραφής και απεικόνισης ηλεκτρικών σημάτων από τους μικρολωριδιακούς αισθητήρες πυριτίου του πειράματος Preshower ολοκληρώνεται με το περιβάλλον του χρήστη (Σχήμα 5.1) σε έναν ηλεκτρονικό υπολογιστή (PC), το οποίο έχει προγραμματιστεί με τη βοήθεια του λογισμικού πακέτου LabVIEW 6.0 της εταιρίας National Instruments [29]. Ο κώδικας που δημιουργήθηκε για τη συγκεκριμένη εφαρμογή δίνεται στο παράρτημα Θ.

5.1 Λειτουργίες του περιβάλλοντος χρήστη

Με τη βοήθεια του συγκεκριμένου περιβάλλοντος εργασίας, ο χρήστης είναι σε θέση να επιλέγει τις παραμέτρους, τόσο της σειριακής επικοινωνίας του ηλεκτρονικού υπολογιστή (PC) με το μικροελεγκτή (μC), όσο και τους καταχωρητές που περιέχονται στο FPGA, μέσω του μC. Οι καταχωρητές με τη σειρά τους καθορίζουν τη λειτουργία του Front End ολοκληρωμένου Δstream, καθώς επίσης τη μέθοδο και τη συχνότητα δειγματοληψίας των σημάτων που παράγει ο αισθητήρας, με αποτέλεσμα ο χρήστης να ελέγχει και να ρυθμίζει το σύνολο των παραμέτρων του συστήματος.

Επιπλέον, στο ίδιο περιβάλλον εργασίας υπάρχει η δυνατότητα απεικόνισης των δεδομένων, που προέρχονται από την ψηφιοποίηση των σημάτων που παράγονται στους αισθητήρες πυριτίου, σε μορφή διαγράμματος. Το διάγραμμα, ανάλογα με τη μέθοδο δειγματοληψίας, απεικονίζει το πλάτος των σημάτων είτε σε σχέση με το χρόνο στο MODE0 ή σε σχέση με τα κανάλια του αισθητήρα στο MODE1. Η δυνατότητα απεικόνισης των δεδομένων σε διάγραμμα με δύο τρόπους έχει ως αποτέλεσμα να απλοποιεί και να διευκολύνει την ανάλυση τους, που θα επιχειρήσει ο εκάστοτε χρήστης.

5.2 Χρήση του περιβάλλοντος χρήστη

Η διαδικασία ενεργοποίησης του περιβάλλοντος εργασίας του προγράμματος LabVIEW ξεκινά με το κουμπί **Run**  του κυρίως μενού, το οποίο όταν πατηθεί, γίνεται εκκίνηση του προγράμματος. Επιπρόσθετα, θα πρέπει να πατηθεί το κουμπί **Init** και να εμφανιστεί η ένδειξη **Yes**, ώστε να ενεργοποιηθούν οι υπορουτίνες του προγράμματος.

Οι παράμετροι της σειριακής επικοινωνίας του χρήστη, μέσω του PC, με το σύστημά μας ρυθμίζονται στο συγκεκριμένο περιβάλλον εργασίας με τη βοήθεια των παρακάτω απεικονίσεων:

- Στην απεικόνιση **Port Number** επιλέγεται η σειριακή θύρα επικοινωνίας μεταξύ του χρήστη και του συστήματος. (0=>COM1,1=>COM2,2=>...)



- Στην απεικόνιση **Baud Rate** επιλέγεται η ταχύτητα επικοινωνίας των δεδομένων μεταξύ του χρήστη και του συστήματος. (9600bps,57600bps,...)

Το περιεχόμενο των καταχωρητών που βρίσκονται μέσα στο FPGA καθορίζεται από το χρήστη, μέσω του περιβάλλοντος εργασίας, με τον ακόλουθο τρόπο:

- Το γκρίζο πλαίσιο **ADC & Mux Frequency** απεικονίζει τη συχνότητα δειγματοληψίας του ADC και τη συχνότητα πολυπλεξίας στο FE ολοκληρωμένο Δstream. Όταν πατηθεί το πλαίσιο με την τιμή της συχνότητας, αποκαλύπτεται το μενού των διαθέσιμων συχνοτήτων, όποτε και επιλέγεται η επιθυμητή συχνότητα, 2.5MHz, 5MHz, 10MHz ή 20MHz. Όταν ενεργοποιηθεί, το πρόγραμμα αναλαμβάνει να εγγράψει την επιλεγμένη συχνότητα στον καταχωρητή συχνότητας.
- Το κουμπί **Gain** καθορίζει την ενίσχυση σήματος που θα δώσει το Δstream στο σήμα που δέχεται από τον αισθητήρα. Η ένδειξη **LOW** αντιπροσωπεύει την επιλογή για μικρή ενίσχυση και η ένδειξη **HIGH** την επιλογή για μεγάλη ενίσχυση του σήματος. Ανάλογα με την επιλογή του χρήστη, το πρόγραμμα στέλνει τις κατάλληλες εντολές στο μικροελεγκτή (μC) ώστε να εγγράψει στο 7^ο bit του καταχωρητή ελέγχου την αντίστοιχη πληροφορία.
- Το κουμπί **Read Mode** καθορίζει τον τρόπο ανάγνωσης των καναλιών του αισθητήρα, μέσω του πολυπλέκτη του Δstream. Με την ένδειξη **All Ch.** γίνεται δειγματοληψία και στα 36 κανάλια του αισθητήρα για δεδομένη χρονική στιγμή, δηλαδή ενεργοποιείται η μέθοδος δειγματοληψίας MODE0. Με την ένδειξη **Single Ch** γίνεται δειγματοληψία ενός συγκεκριμένου καναλιού του αισθητήρα για διαδοχικές χρονικές στιγμές, δηλαδή ενεργοποιείται η μέθοδος δειγματοληψίας MODE1. Για να επιλεγεί η μέθοδος δειγματοληψίας, το πρόγραμμα αποστέλλει την απαραίτητη ακολουθία εντολών στον μC, ώστε να εγγραφεί στο 8^ο bit του καταχωρητή ελέγχου πληροφορία αντίστοιχη της ένδειξης του **Read Mode**.
- Η απεικόνιση **ReadOut Channel** καθορίζει το κανάλι του αισθητήρα που θα δειγματοληφθεί κατά τη λειτουργία του MODE1. Το πρόγραμμα αναλαμβάνει να εγγράψει τον αριθμό που περιέχει η απεικόνιση στα 6 LSBs του καταχωρητή ελέγχου.


Στο περιβάλλον εργασίας έχει ληφθεί μέριμνα ώστε ο χρήστης, όχι μόνο να ρυθμίζει τις παραμέτρους του συστήματος, αλλά να είναι και σε θέση να λαμβάνει πληροφορίες από αυτό και να τις απεικονίζει. Με άλλα λόγια, η επικοινωνία του χρήστη με το σύστημα είναι αμφίδρομη. Ειδικά για τα αποτελέσματα των δειγματοληψιών του συστήματος, η απεικόνιση υλοποιείται σε μορφή διαγράμματος. Πιο αναλυτικά, οι πληροφορίες που απεικονίζονται στο περιβάλλον εργασίας, είναι οι ακόλουθες:

- Στην απεικόνιση **Trigger Pointer** εμφανίζεται η διεύθυνση της εσωτερικής μνήμης RAM του FPGA, στην οποία σταμάτησε η δειγματοληψία των δεδομένων από τον ADC, κατά τη λειτουργία της μεθόδου δειγματοληψίας MODE1. Η πληροφορία αυτή προέρχεται από την ανάγνωση του καταχωρητή κατάδειξης.



- Στο πλαίσιο **Waveform Graph** του περιβάλλοντος εργασίας απεικονίζονται τα δεδομένα των δειγματοληψιών στον αισθητήρα, όπως αυτά λαμβάνονται από τη σειριακή θύρα του ηλεκτρονικού υπολογιστή (PC), σε μορφή διαγράμματος. Ο οριζόντιος άξονας του διαγράμματος, ανάλογα με τη μέθοδο δειγματοληψίας που έχει επιλεγεί, αναπαριστά τη χωρική ή τη χρονική κατανομή των σημάτων που παράγει ο αισθητήρας. Ο κάθετος άξονας του διαγράμματος αναπαριστά το πλάτος του σήματος που έδωσε ο αισθητήρας σε ADC counts. Η αντιστοιχία σε μονάδες δυναμικού είναι 0.245 mV/ADC counts, αφού ο ψηφιοποιητής έχει δυνατότητα να ψηφιοποιήσει σήμα εύρους έως 1 Volt σε 4096 διακριτές τιμές (ADC counts).
- Με την απεικόνιση **Plot** επιλέγεται η μορφή του διαγράμματος για την απεικόνιση των δεδομένων που λαμβάνει ο χρήστης.

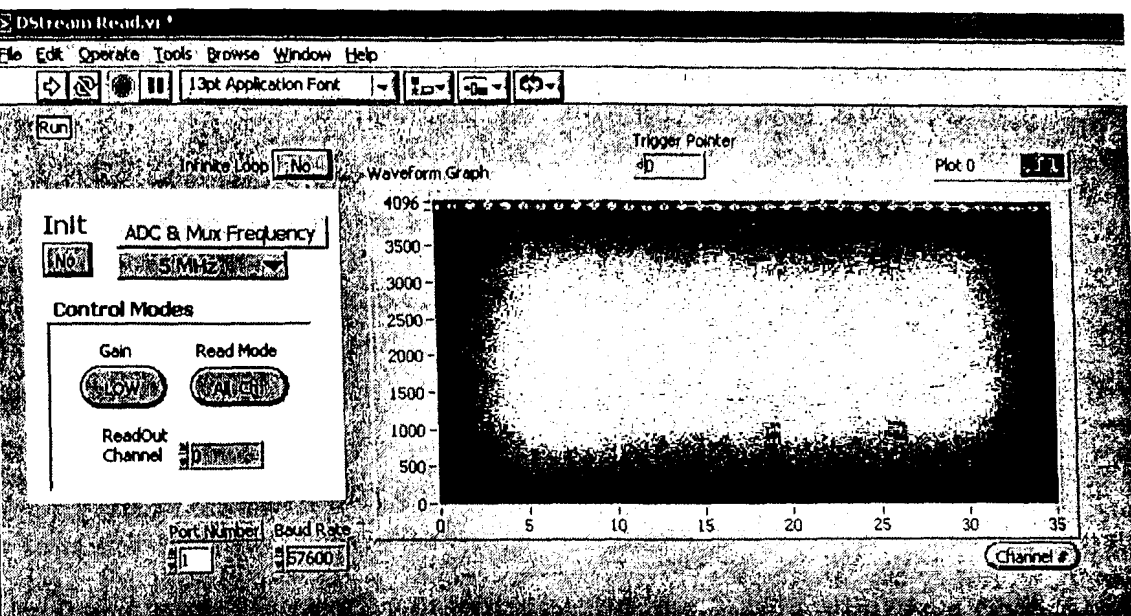
Το LabVIEW περιβάλλον εργασίας έχει προγραμματιστεί να εκτελεί έναν κύκλο δειγματοληψίας και απεικόνισης των σημάτων που παράγει ο

αισθητήρας, σε κάθε ενεργοποίησή του με το κουμπί **Run**  του κυρίως μενού. Κάθε κύκλος δειγματοληψίας, σύμφωνα με τις παραμέτρους που έχει επιλέξει ο χρήστης, και απεικόνισης των σημάτων του αισθητήρα αποτελείται από:

- τον έλεγχο της κατάστασης του **Ready bit** στον καταχωρητή **Status** στο FPGA. Αν το **Ready bit** βρίσκεται σε κατάσταση '1', τότε μπορεί να γίνει ανάγνωση των δεδομένων της μνήμης RAM του FPGA. Αν το **Ready bit** βρίσκεται σε κατάσταση '0', τότε το σύστημα είναι σε κατάσταση δειγματοληψίας των καναλιών του Δstream, σε συνδυασμό με την εφαρμογή εξωτερικού παλμού σκανδαλισμού (trigger).
- την ανάγνωση των 36 θέσεων της μνήμης του FPGA, όπου έχουν αποθηκευτεί τα ψηφιοποιημένα δεδομένα που έχει δώσει ο ADC.
- την απεικόνιση των δεδομένων στο διάγραμμα **Waveform Graph**.
- την επαναφορά του **Ready bit** σε κατάσταση '0', ώστε να είναι έτοιμο το σύστημα για την επόμενη συλλογή δεδομένων.

Στο περιβάλλον εργασίας υφίσταται η δυνατότητα με το κουμπί **Infinite Loop** να ενεργοποιούνται συνεχείς κύκλοι δειγματοληψίας και απεικόνισης των σημάτων που δίνει ο αισθητήρας, σύμφωνα με τις παραμέτρους που έχει επιλέξει ο χρήστης. Η συγκεκριμένη δυνατότητα ενεργοποιείται όταν πατηθεί το κουμπί **Infinite Loop** και εμφανιστεί η ένδειξη **Yes** σε αυτό.





ΣΧΗΜΑ 5.1: Περιβάλλον εργασίας του χρήστη στο πρόγραμμα LabVIEW

6. ΕΛΕΓΧΟΣ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ – ΑΠΟΤΕΛΕΣΜΑΤΑ – ΣΥΜΠΕΡΑΣΜΑΤΑ

Σε αυτό το κεφάλαιο παρουσιάζονται τα αποτελέσματα των ελέγχων που έγιναν σε ολόκληρο το σύστημα, αλλά και σε επιμέρους τμήματά του, ώστε να εξεταστεί η συμπεριφορά και η αξιοπιστία του σε συνθήκες πλήρους λειτουργίας. Αρχικά, παραθέτονται σε πίνακες οι μετρήσεις των τάσεων τροφοδοσίας των πλακετών ROH και ROB. Στη συνέχεια, δίνονται οι τάσεις και τα ρεύματα τροφοδοσίας, καθώς και τα σήματα ελέγχου που παράγει το εσωτερικό κύκλωμα του FPGA για το Front End ολοκληρωμένο Δstream. Τέλος, παρουσιάζονται τα αποτελέσματα και οι απεικονίσεις που λαμβάνονται από το περιβάλλον εργασίας του χρήστη, που έχει προγραμματιστεί με τη βοήθεια του λογισμικού LabVIEW.

6.1 Μετρήσεις τάσεων τροφοδοσίας στις πλακέτες ROB και ROH

Για να επιτευχθούν οι μετρήσεις των τάσεων τροφοδοσίας του συστήματος έγινε σύνδεση των πλακετών ROB και ROH και εν συνεχεία εφαρμόστηκε τάση στους ακροδέκτες τροφοδοσίας της πλακέτας ROB, με τη χρήση των τροφοδοτικών LG-4303D της εταιρίας LG [30]. Αναλυτικότερα, από τα τρία τροφοδοτικά του συστήματος, το ένα παρέχει θετική τάση στα ψηφιακά και αναλογικά στοιχεία της πλακέτας ROB και στο ψηφιακό τμήμα του Δstream, το άλλο παρέχει θετική τάση στο αναλογικό τμήμα του Δstream και στον τελεστικό ενισχυτή OPA620 στην πλακέτα ROH, ενώ το τελευταίο δίνει την αρνητική τάση που χρειάζεται ο συγκεκριμένος τελεστικός ενισχυτής. Τόσο τα ψηφιακά, όσο και τα αναλογικά στοιχεία της ROB τροφοδοτούνται με τάσεις +5 Volts, όπως επίσης και τα αναλογικά στοιχεία (ακροδέκτης B5) και το ψηφιακό τμήμα του Δstream (ακροδέκτης A4). Ειδικά για τον ενισχυτή OPA620 στην πλακέτα ROH υπάρχει συμμετρική τροφοδοσία με +5 (ακροδέκτης A8) και -5 Volts (ακροδέκτης B8). Οι θετικές τάσεις των +5 Volts σταθεροποιούνται με τη χρήση ρυθμιστών τάσης (regulators) LM7805, ενώ οι αρνητικές τάσεις με ρυθμιστές LM7905 [31],[32]. Πρέπει επίσης να αναφέρουμε ότι για την τάση πόλωσης του αισθητήρα εφαρμόζεται υψηλή τάση, η οποία διοχετεύεται μέσω συνδετήρα στην πλακέτα ROB (ακροδέκτες A13 και B13).

Στους ακόλουθους πίνακες (6.1 και 6.2) παραθέτονται οι αναμενόμενες τιμές των τάσεων τροφοδοσίας και οι πραγματικές τιμές τους, που μετρήθηκαν με τη βοήθεια του πολυμέτρου EDM-161 της εταιρίας ESCORT [33], σε όλες τις διαθέσιμες πλακέτες ROH. Το συγκεκριμένο πολύμετρο προσφέρει διακριτική ικανότητα 1 mV και ακρίβεια στη μέτρηση της τάξης του $\pm 0.3\%$ επί της ένδειξης. Για τις παρακάτω μετρήσεις χρησιμοποιήθηκε η ίδια πλακέτα ROB, η 02.



ROH:01-03 & 05-10					
Στοιχείο	Δυναμικό ανάμεσα στα άκρα του στοιχείου (Volts)		Τάσεις στο συνδετήρα ROB-ROH (Volts)		
	Πραγματική	Αναμενόμενη	Ακροδέκτης	Πραγματική	Αναμενόμενη
C8	1.57 – 1.59	1.5	A4	4.91 – 4.92	5
			B4	0	0
C10	0	0	A5	0	0
C13	0	0	B5	4.97	5
C14	0	0	A6	0	0
C15	4.94	5	B6	0	0
C16	3.20 – 3.21	3.27	A8	4.98 – 4.99	5
			B8	-4.98 – (-4.99)	-5
C19	2.48	2.5	A11	0	0
			B11	0	0
C20	4.94 – 4.95	5	A13	78.1 – 78.2	78.1
C21	4.96	5	B13	78.1 – 78.2	78.1

ΠΙΝΑΚΑΣ 6.1: Μετρήσεις τάσεων τροφοδοσίας στις πλακέτες ROH 01 – 03 και 05 – 10.

ROH:04					
Στοιχείο	Δυναμικό ανάμεσα στα άκρα του στοιχείου (Volts)		Τάσεις στο συνδετήρα ROB-ROH (Volts)		
	Πραγματική	Αναμενόμενη	Ακροδέκτης	Πραγματική	Αναμενόμενη
C8	1.58	1.5	A4	4.92	5
			B4	0.00	0
C10	0.00	0	A5	0.00	0
C13	0.00	0	B5	4.97	5
C14	0.00	0	A6	0.00	0
C15	4.94	5	B6	0.00	0
C16	0.00!!!	3.27	A8	4.99	5
			B8	-4.99	-5
C19	2.48	2.5	A11	0.00	0
			B11	0.00	0
C20	4.95	5	A13	78.1	78.1
C21	4.96	5	B13	78.1	78.1

ΠΙΝΑΚΑΣ 6.2: Μετρήσεις τάσεων τροφοδοσίας στην πλακέτα ROH 04

Συμπερασματικά, λαμβάνοντας υπ' όψιν τους πίνακες 6.1 και 6.2 παρατηρείται ότι οι τιμές των τάσεων που μετρήθηκαν ήταν παρόμοιες των θεωρητικών σε όλες τις πλακέτες ROH, άρα και αποδεκτές, εκτός από την περίπτωση της πλακέτας ROH 04! Συγκεκριμένα, στα άκρα του στοιχείου C16 της προαναφερθείσας πλακέτας δεν μετρήθηκε διαφορά δυναμικού, όπως



φαίνεται και στον πίνακα 6.2 στη τιμή που έχει σημειωθεί με θαυμαστικά. Το σφάλμα οφείλεται σε βραχυκύκλωμα στο συγκεκριμένο σημείο της πλακέτας, πιθανότατα λόγω κατασκευαστικής ατέλειας, οπότε η πλακέτα ROH 04 δε χρησιμοποιήθηκε σε καμία εφαρμογή του συστήματος.

6.2 Τροφοδοσία του Δstream

Οι μετρήσεις των τάσεων και των ρευμάτων τροφοδοσίας του Front End ολοκληρωμένου Δstream πραγματοποιήθηκαν με τη χρήση των πλακετών ROB 02 και ROH 06. Για να είναι εφικτές αυτές οι μετρήσεις, πρώτα συγκολλήθηκε το Δstream στην ROH 06 και υλοποιήθηκαν όλες οι μικροσυνδέσεις των ακροδεκτών του ολοκληρωμένου με τις αντίστοιχες επιφάνειες σύνδεσης (pads), οι οποίες βρίσκονται επί της συγκεκριμένης πλακέτας. Η συγκόλληση (gluing) και οι μικροσυνδέσεις (microbonding) υλοποιήθηκαν με το διαθέσιμο εξοπλισμό του εργαστηρίου Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων. Οι μετρήσεις των τάσεων έγιναν στα άκρα των αντίστοιχων αντιστάσεων φόρτου, με τη χρήση του πολυμέτρου, ενώ οι μετρήσεις των ρευμάτων έγιναν έμμεσα με τη μέτρηση της τάσης στα άκρα των αντίστοιχων αντιστάσεων φόρτου δια των αντιστάσεων αυτών, σύμφωνα με τον τύπο:

$$I = \frac{V}{R}$$

Στους ακόλουθους πίνακες (6.3, 6.4) δίνονται οι μετρήσεις που ελήφθησαν:

ΤΡΟΦΟΔΟΣΙΑ	ΑΝΑΜΕΝΟΜΕΝΗ (Volts)	ΠΡΑΓΜΑΤΙΚΗ (Volts)
DeltaPC (=VR17)	2.5	2.47
LccRef (=VR15)	3.27	3.20
ShaperRef (=VR8)	1.5	1.57

ΠΙΝΑΚΑΣ 6.3: Μετρήσεις τάσεων τροφοδοσίας του ολοκληρωμένου Δstream

Ρεύματα Τροφοδοσίας	Αναμενόμενη (μΑ)	Πραγματική (μΑ)
lin	800	774
lcas	400	389
lsf	300	99 (!)
llcc	10	9.6
lshaper	200	94 (!)
lth	100	22 (!)
loutbuff	200	192

ΠΙΝΑΚΑΣ 6.4: Μετρήσεις ρευμάτων τροφοδοσίας του ολοκληρωμένου Δstream

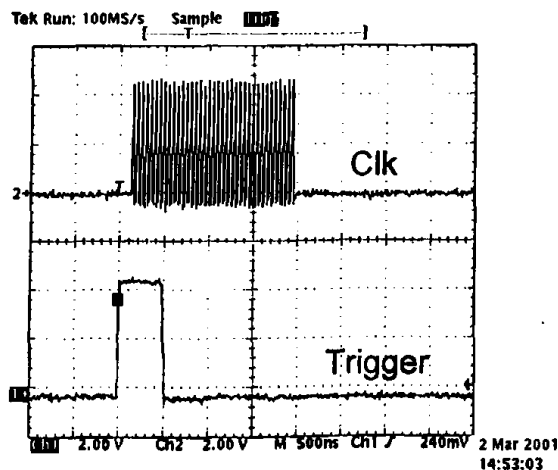
Συμπερασματικά, λαμβάνοντας υπ' όψιν τους πίνακες 6.3 και 6.4 παρατηρείται ότι οι τιμές των τάσεων και των ρευμάτων τροφοδοσίας του Δstream που μετρήθηκαν ήταν παρόμοιες των αναμενόμενων, άρα και αποδεκτές. Οι πειραματικές τιμές των ρευμάτων lsf, lshaper και lth, που έχουν σημειωθεί με θαυμαστικό, ήταν κατώτερες του αναμενόμενου. Ωστόσο, ύστερα από συνεννόηση που έγινε με το σχεδιαστή του Δstream, Dr. Paul Aspell, υπήρξε διαβεβαίωση ότι και στις τρεις περιπτώσεις τα ρεύματα τροφοδοσίας που μετρήθηκαν βρίσκονται μέσα στα όρια λειτουργίας του ολοκληρωμένου!

6.3 Σήματα ελέγχου του Δstream

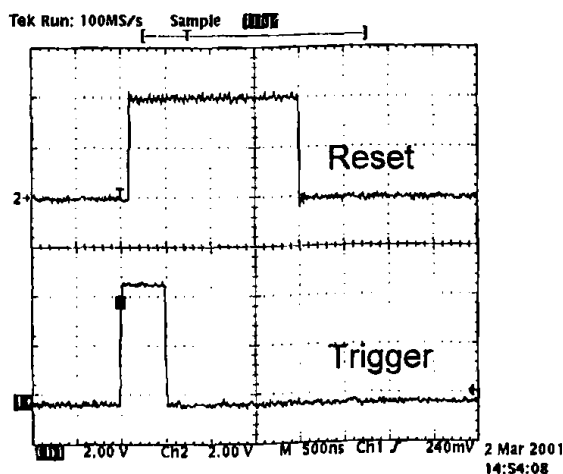
Έχοντας ήδη ελέγξει αν το σύστημα τροφοδοτείται επαρκώς, ακολουθεί το επόμενο στάδιο ελέγχου, το οποίο αφορά τα σήματα ελέγχου του Front End ολοκληρωμένου Δstream, που παράγονται από το εσωτερικό κύκλωμα του FPGA. Για να γίνει εφικτός ο συγκεκριμένος έλεγχος, αφού πρώτα τροφοδοτηθεί το σύστημα, στη συνέχεια γίνεται ο προγραμματισμός του FPGA με το κύκλωμα που έχει σχεδιαστεί. Κατόπιν, ο χρήστης του συστήματος επιλέγει τη μέθοδο δειγματοληψίας, ώστε να παραχθούν τα αντίστοιχα σήματα ελέγχου του Δstream και μετά με κατάλληλο σκανδαλισμό είτε ξεκινά ο κύκλος δειγματοληψίας για το MODE0, ή τερματίζει για το MODE1. Ο παλμός σκανδαλισμού (trigger) πρέπει να είναι τετραγωνικής μορφής, να έχει πλάτος 5 Volts με επίπεδο αναφοράς τη γη και περίοδο τουλάχιστον 100 nsec. Για την παραγωγή του παλμού σκανδαλισμού

χρησιμοποιήθηκε η γεννήτρια παλμών 33120A της εταιρίας HEWLETT PACKARD. Ο παλμός εισάγεται στο σύστημα από τον LEMO συνδετήρα J8, ο οποίος βρίσκεται επί της ROB [34].

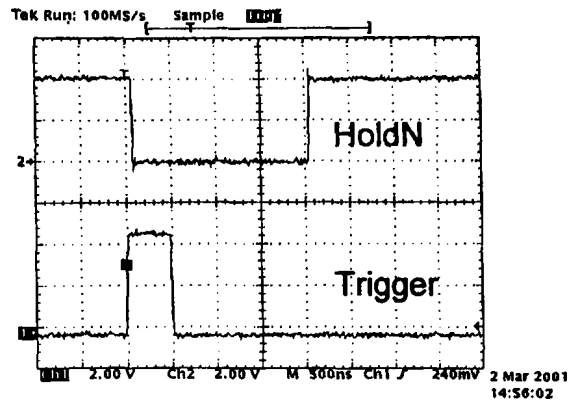
Τα σχήματα (6.1 - 6.5) που ακολουθούν αφορούν τα σήματα ελέγχου που παράγονται σε έναν κύκλο δειγματοληψίας για τη μέθοδο MODE0 και ελήφθησαν με τη βοήθεια του παλμογράφου TDS684B της εταιρίας TEKTRONIX [35]. Ο κύκλος δειγματοληψίας στη συγκεκριμένη μέθοδο ξεκινά με τη λήψη παλμού σκανδαλισμού (Trigger), οπότε και όλα τα σήματα ελέγχου έπονται του παλμού σκανδαλισμού και τον έχουν ως χρονικό σημείο αναφοράς.



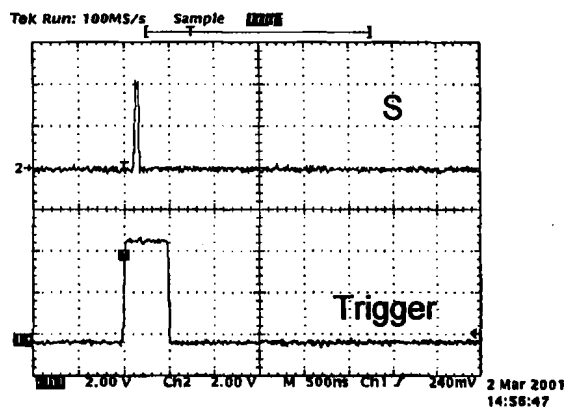
ΣΧΗΜΑ 6.1: Σήμα ελέγχου CLK της μεθόδου δειγματοληψίας MODE0



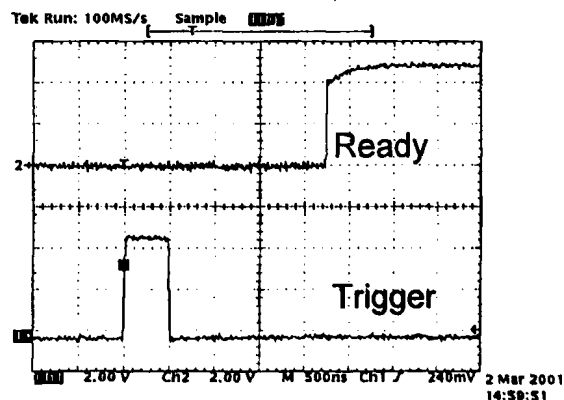
ΣΧΗΜΑ 6.2: Σήμα ελέγχου RESET της μεθόδου δειγματοληψίας MODE0



ΣΧΗΜΑ 6.3: Σήμα ελέγχου HOLDN της μεθόδου δειγματοληψίας MODE0

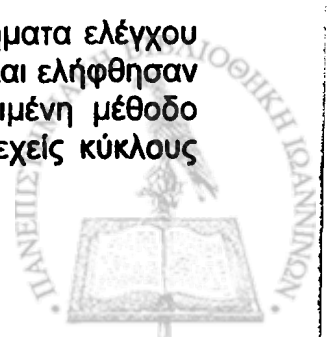


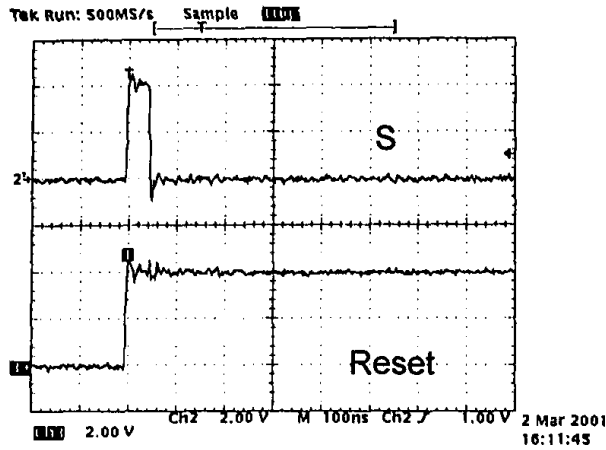
ΣΧΗΜΑ 6.4: Σήμα ελέγχου S της μεθόδου δειγματοληψίας MODE0



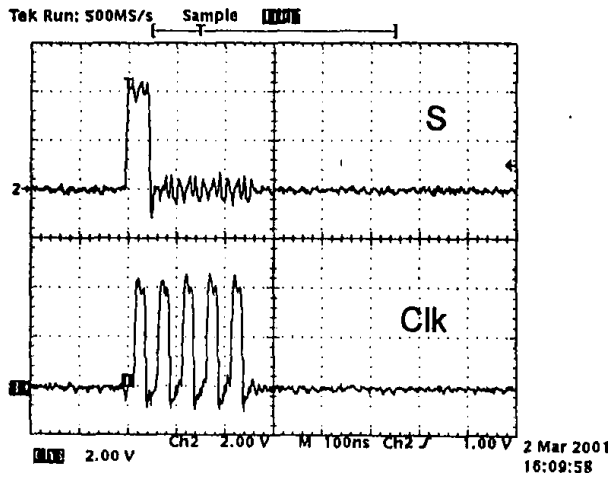
ΣΧΗΜΑ 6.5: Σήμα ελέγχου READY της μεθόδου δειγματοληψίας MODE0

Τα σχήματα (6.6 - 6.9) που ακολουθούν αφορούν τα σήματα ελέγχου που παράγονται κατά τη δειγματοληψία με τη μέθοδο MODE1 και ελήφθησαν με τη βοήθεια παλμογράφου. Η δειγματοληψία στη συγκεκριμένη μέθοδο ξεκινά μόλις επιλεγθεί το MODE1 και λαμβάνει χώρα σε συνεχείς κύκλους μέχρι να τερματιστεί με τη λήψη παλμού σκανδαλισμού.

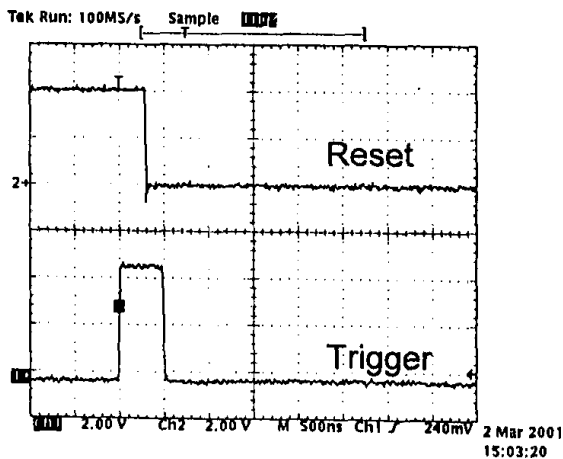




ΣΧΗΜΑ 6.6: Σήματα ελέγχου S και RESET κατά την εκκίνηση της μεθόδου δειγματοληψίας MODE1

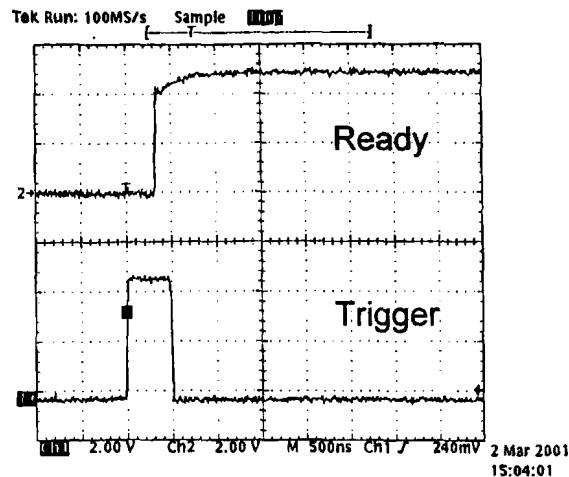


ΣΧΗΜΑ 6.7: Σήματα ελέγχου S και CLK κατά την εκκίνηση της μεθόδου δειγματοληψίας MODE1



ΣΧΗΜΑ 6.8: Σήμα ελέγχου RESET κατά τον τερματισμό της μεθόδου δειγματοληψίας MODE1





ΣΧΗΜΑ 6.9: Σήματα ελέγχου READY κατά τον τερματισμό της μεθόδου δειγματοληψίας MODE1

Συμπερασματικά, λαμβάνοντας υπ' όψιν τα σχήματα 6.1 - 6.9 και συγκρίνοντάς τα με τις προδιαγραφές λειτουργίας του Δstream, όπως αυτές επιδεικνύονται στο αντίστοιχο παράρτημα, παρατηρείται ότι και στις δύο μεθόδους λειτουργίας παράγονται τα απαραίτητα σήματα ελέγχου του Δstream, με την ορθή διαδοχή και στο σωστό χρόνο.

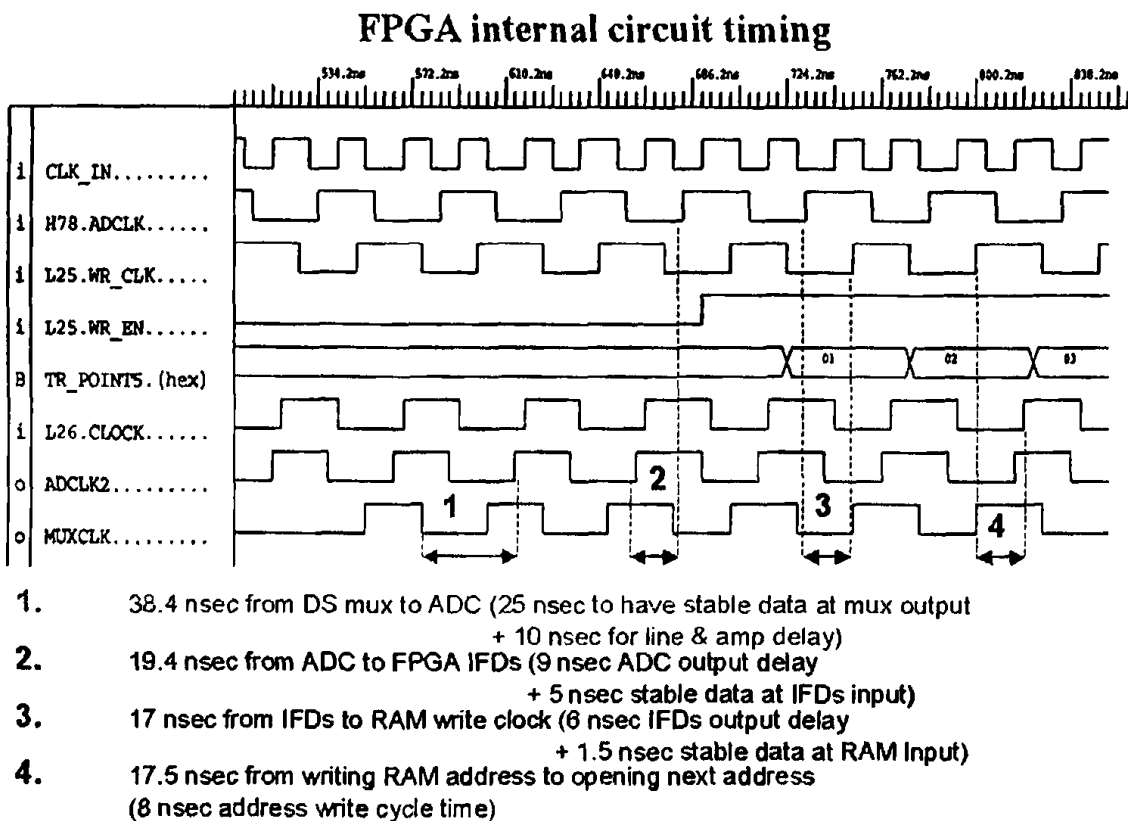
6.4 Προσομοίωση χρονισμού σημάτων για την εγγραφή της μνήμης

Εφ' όσον διαπιστώθηκε ότι τα σήματα ελέγχου του Δstream παράγονται και αποστέλλονται από το FPGA με τη σωστή ακολουθία τόσο για τη μέθοδο δειγματοληψίας MODE0, όσο και για τη MODE1, σε αυτήν την παράγραφο ακολουθεί το επόμενο στάδιο ελέγχου της λειτουργίας του συστήματος. Το επόμενο βήμα στον έλεγχο της λειτουργίας του συστήματος είναι να εξασφαλιστεί, κατά το δυνατόν, η σωστή εγγραφή στις διευθύνσεις της RAM των σημάτων που αποστέλλει το Δstream. Για να καταστεί εφικτός ο έλεγχος, αρχικά εκτιμήθηκαν οι χρόνοι που απαιτούνται για να φτάσουν τα σήματα από κάποιο σημείο του συστήματος σε κάποιο άλλο και έπειτα εισήχθησαν οι εκτιμώμενες καθυστερήσεις στο εσωτερικό κύκλωμα του FPGA.

Εκτιμήθηκε αρχικά ο χρόνος που μεσολαβεί από την παραγωγή του σήματος CLK, που οδηγεί τον πολυπλέκτη του Δstream, από το FPGA, έως ότου δειγματοληφθούν τα σήματα, που προέρχονται από τα κανάλια του πολυπλέκτη, από τον ADC. Ο πολυπλέκτης χρειάζεται περίπου 25 nsec μέχρι να σταθεροποιηθούν τα δεδομένα στην έξοδό του, σύμφωνα με τις προδιαγραφές του Δstream. Ο τελεστικός ενισχυτής OPA620 χρειάζεται περίπου 8 nsec για να αποκριθεί σε εισερχόμενο σήμα, σύμφωνα με μετρήσεις που διεξήχθησαν με τη βοήθεια παλμογράφου, ενώ οι γραμμές μεταφοράς των σημάτων εκτιμήθηκε ότι εισάγουν μια συνολική καθυστέρηση, με βάση το μήκος της διαδρομής τους, γύρω στα 2 nsec. Άρα ο χρόνος που απαιτείται να περάσει από την παραγωγή του CLK, μέχρι την δειγματοληψία από τον ADC (from DS mux to ADC) είναι περίπου 35 nsec. Στη συνέχεια

εκτιμήθηκε ο χρόνος που πρέπει να μεσολαβήσει από τη δειγματοληψία των δεδομένων από τον ADC έως ότου τα δεδομένα αυτά εισαχθούν στο FPGA (from ADC to IFDs) και είναι περίπου ίσος με 14 nsec. Αναλυτικότερα, ο ADC χρειάζεται 9 nsec για να εξάγει τα ψηφιοποιημένα σήματα, σύμφωνα με τις προδιαγραφές του, και τα δεδομένα πρέπει να είναι σταθεροποιημένα στην είσοδο των flip-flops (IFDs) του FPGA για τουλάχιστον 5 nsec. Πρέπει να σημειωθεί ότι ο ADC χρειάζεται δύο περιόδους του ρολογιού δειγματοληψίας για να ψηφιοποιήσει τα αναλογικά σήματα που δέχεται στην είσοδό του, καθυστέρηση η οποία έχει ενσωματωθεί στη σχεδίαση των μηχανών καταστάσεων των MODE0 και MODE1. Τέλος, σε συμφωνία με τις προδιαγραφές του συγκεκριμένου FPGA (Speed Grade -1), ο χρόνος απόκρισης των IFDs είναι 6 nsec, ενώ ο χρόνος που απαιτείται να είναι σταθερά τα δεδομένα στην είσοδο της RAM πριν εγγραφούν είναι 1.5 nsec (from IFDs to RAM). Ο χρόνος που απαιτεί η μνήμη για να ολοκληρωθεί η εγγραφή μιας διεύθυνσης, πριν ανοιχθεί η επόμενη, είναι τουλάχιστον 8 nsec (from writing RAM address to opening next address).

Ο έλεγχος και η μέτρηση των καθυστερήσεων που υφίστανται στο εσωτερικό κύκλωμα του FPGA έγιναν με τη χρήση του εργαλείου Timing Simulation που διαθέτει το λογισμικό πακέτο Xilinx Foundation Series 3.1i. Το συγκεκριμένο εργαλείο πραγματοποιεί χρονικές προσομοιώσεις των σημάτων που παράγονται στο εσωτερικό κύκλωμα του FPGA. Τα αποτελέσματα των χρονικών καθυστερήσεων ανάμεσα στα σημεία του συστήματος που αναφέρθηκαν, καθώς και οι εκτιμήσεις που έγιναν, φαίνονται στο σχήμα 6.10.



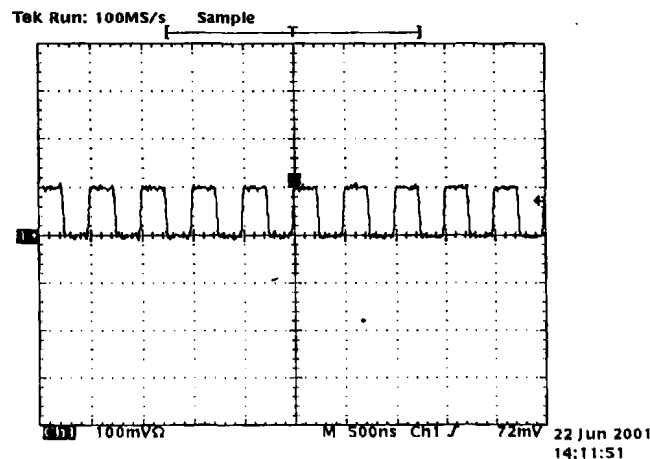
ΣΧΗΜΑ 6.10: Χρονική προσομοίωση των σημάτων για τη διαδικασία εγγραφής της μνήμης RAM.



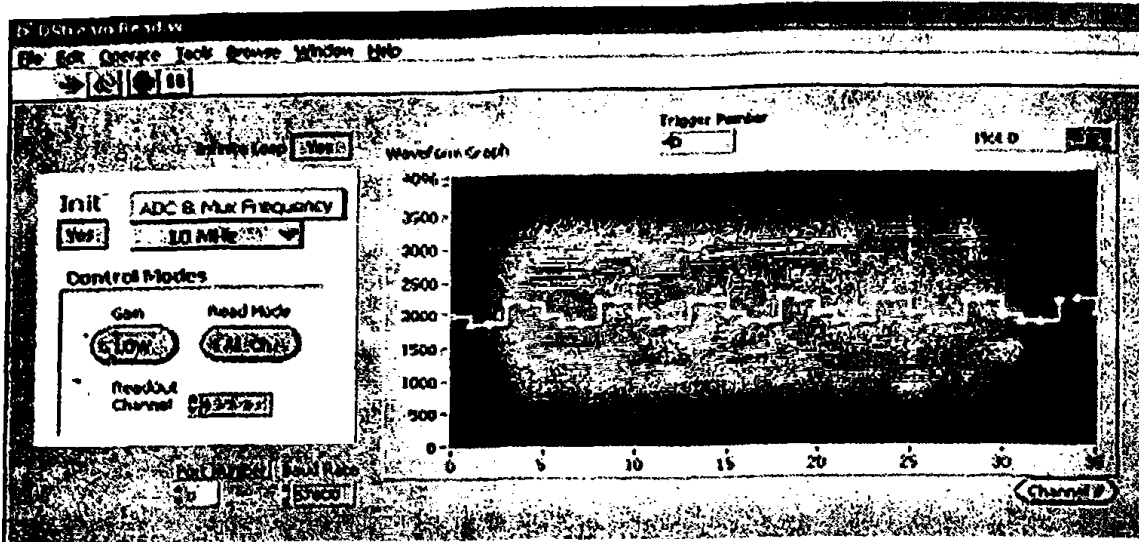
6.5 Απεικόνιση κυματομορφών στο περιβάλλον εργασίας του προγράμματος LabVIEW

Ολοκληρώνοντας τον έλεγχο του συστήματος, ελήφθησαν στιγμιότυπα με απεικονίσεις κυματομορφών στο περιβάλλον εργασίας, που προγραμματίστηκε γι' αυτόν το σκοπό στο λογισμικό πακέτο LabVIEW. Οι έλεγχοι πραγματοποιήθηκαν με την εφαρμογή γνωστών σημάτων σε διάφορα σημεία του συστήματος και τη μελέτη των αντίστοιχων κυματομορφών που απεικονίστηκαν στο περιβάλλον εργασίας.

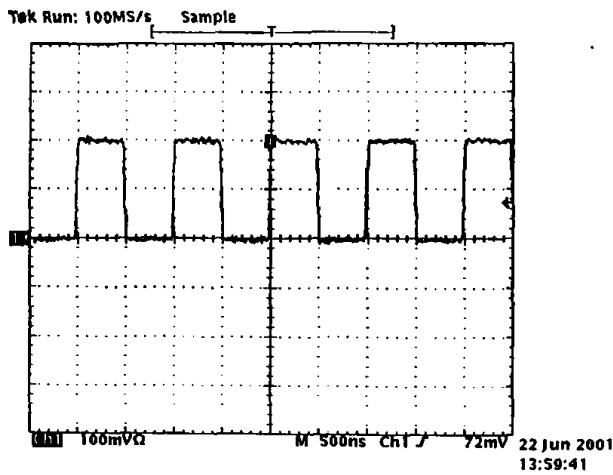
Στην πρώτη φάση του συγκεκριμένου ελέγχου εφαρμόστηκαν γνωστά σήματα, διαφορετικού πλάτους και συχνότητας κάθε φορά, στην είσοδο του ψηφιοποιητή AD9042 επί της πλακέτας ROB, με τη βοήθεια της παλμογεννήτριας 33120A της HEWLETT PACKARD. Για την παραγωγή των απαραίτητων παλμών σκανδαλισμού χρησιμοποιήθηκε η γεννήτρια παλμών HM8030₄ της εταιρίας HAMEG [35]. Τα αποτελέσματα των ελέγχων αυτών παρατίθενται στα σχήματα 6.11 – 6.14, όπου φαίνονται τα σήματα που δόθηκαν στο σύστημα (Σχήματα 6.11, 6.13) με τη βοήθεια του παλμογράφου TDS684B της εταιρίας TEKTRONIX, καθώς και οι αντίστοιχες απεικονίσεις που ελήφθησαν στο περιβάλλον εργασίας του χρήστη (Σχήματα 6.12 – 6.14).



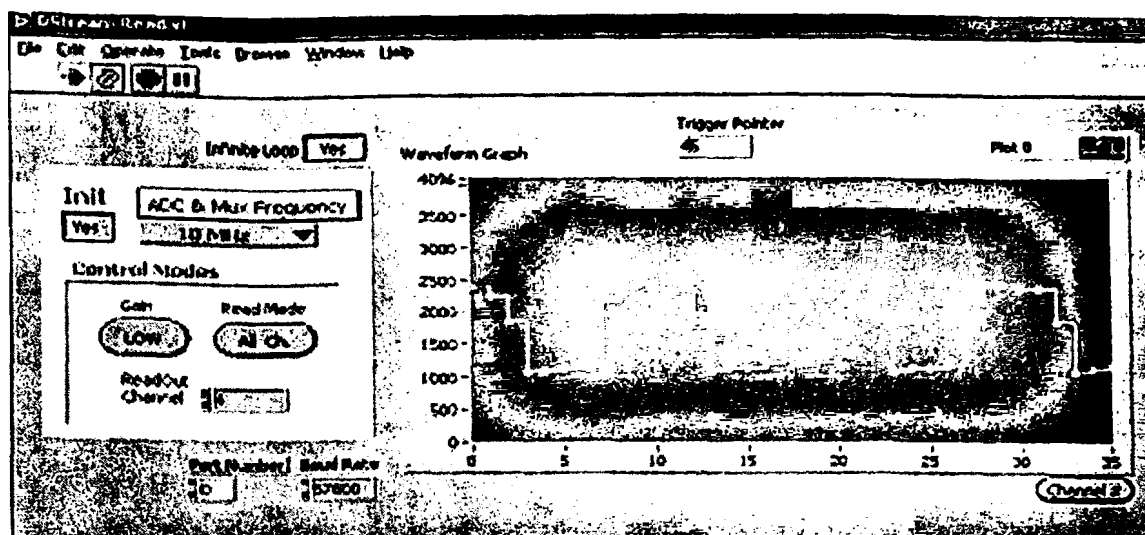
ΣΧΗΜΑ 6.11: Τετραγωνικό σήμα πλάτους 100 mV και συχνότητας 2 MHz στην οθόνη του παλμογράφου



ΣΧΗΜΑ 6.12: Απεικόνιση τετραγωνικού σήματος πλάτους 100 mV και συχνότητας 2 MHz στο περιβάλλον εργασίας του χρήστη



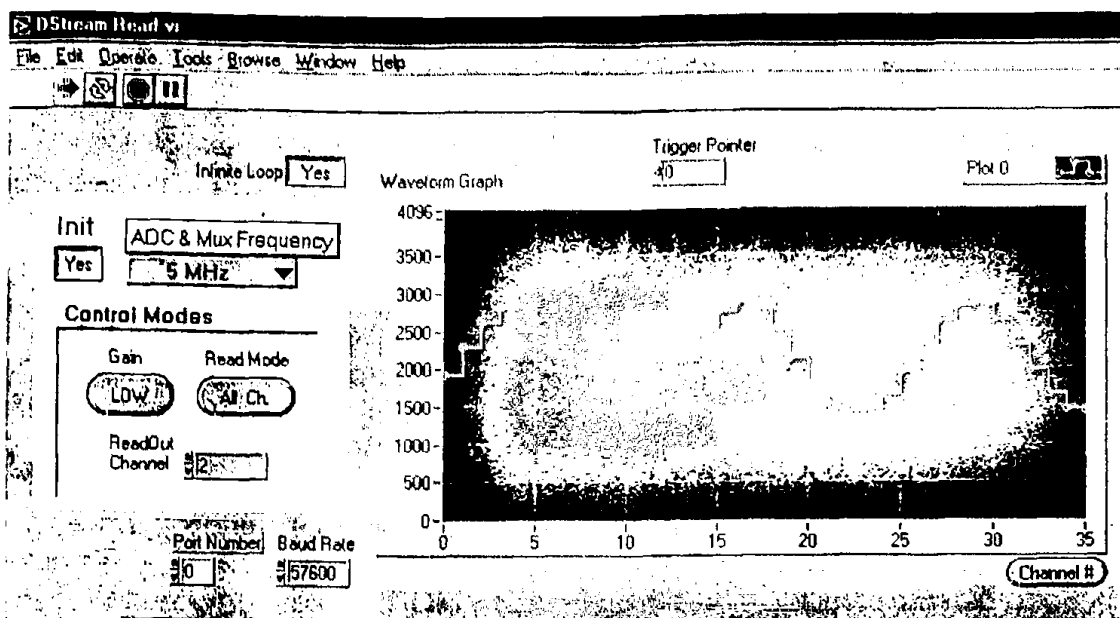
ΣΧΗΜΑ 6.13: Τετραγωνικό σήμα πλάτους 200 mV και συχνότητας 1 MHz στην οθόνη του παλμογράφου



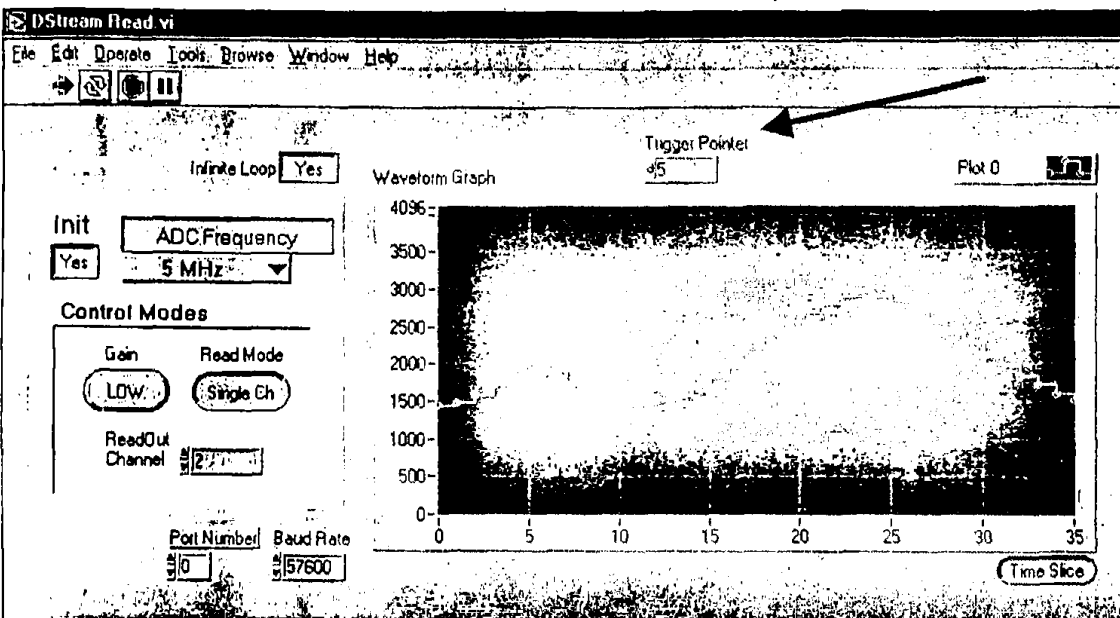
ΣΧΗΜΑ 6.14: Απεικόνιση τετραγωνικού σήματος πλάτους 200 mV και συχνότητας 1 MHz στο περιβάλλον εργασίας του χρήστη

Παρατηρώντας τα σχήματα 6.12 και 6.14, μπορεί να γίνει αντιληπτό ότι τα σήματα που εφαρμόστηκαν στο σύστημα απεικονίστηκαν στο περιβάλλον εργασίας με κάποια ακρίβεια. Συγκεκριμένα, στην περίπτωση του τετραγωνικού σήματος με πλάτος 100 mV και συχνότητα 2 MHz, στο περιβάλλον εργασίας αναπαρίσταται με ένα επίσης τετραγωνικό σήμα, πλάτους 98 mV ($400 \text{ υποδιαίρεσεις} \cdot 0.245 \text{ mV/υποδιαίρεση} = 98 \text{ mV}$) και συχνότητας 2 MHz ($10 \text{ MHz} \cdot \text{δειγματοληψία} / 5 \text{ δειγματοληψίες} = 2 \text{ MHz}$). Παρομοίως, στην περίπτωση του τετραγωνικού σήματος με πλάτος 200 mV και συχνότητα 1 MHz, στο περιβάλλον εργασίας αναπαρίσταται με ένα επίσης τετραγωνικό σήμα, πλάτους 245 mV ($1000 \text{ υποδιαίρεσεις} \cdot 0.245 \text{ mV/υποδιαίρεση} = 245 \text{ mV}$) και συχνότητας 1 MHz ($10 \text{ MHz} \cdot \text{δειγματοληψία} / 10 \text{ δειγματοληψίες} = 1 \text{ MHz}$).

Στη συνέχεια διεξήχθησαν επιπλέον έλεγχοι, ώστε να δοκιμαστεί η καλή λειτουργία του συστήματος με τη σύνδεση και της πλακέτας ROH στο υπόλοιπο σύστημα. Στο πλαίσιο αυτών των ελέγχων εφαρμόστηκαν γνωστά σήματα, διαφορετικού πλάτους και συχνότητας κάθε φορά, στην είσοδο του τελεστικού ενισχυτή OPA620 επί της πλακέτας ROH, με τη βοήθεια παλμογεννήτριας. Σε αυτή τη φάση των ελέγχων πραγματοποιήθηκε η δειγματοληψία των σημάτων και με τις δύο διαθέσιμες μεθόδους, δηλαδή τις MODE0 και MODE1. Τα αποτελέσματα των ελέγχων αυτών παρατίθενται στα σχήματα 6.15 – 6.16, όπου φαίνονται οι αντίστοιχες απεικονίσεις που ελήφθησαν στο περιβάλλον εργασίας στην οθόνη του υπολογιστή.



ΣΧΗΜΑ 6.15: Απεικόνιση ημιτονοειδούς σήματος πλάτους 50 mV και συχνότητας 400 kHz στο MODE0.



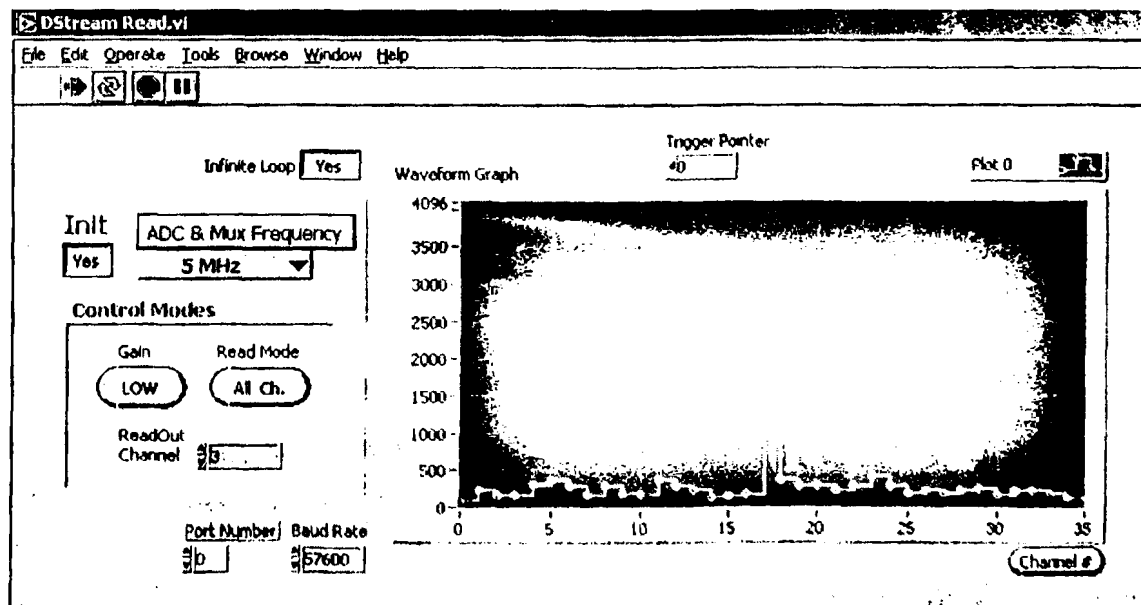
ΣΧΗΜΑ 6.16: Απεικόνιση ημιτονοειδούς σήματος πλάτους 50 mV και συχνότητας 200 kHz στο MODE1.

Παρατηρώντας τις απεικονίσεις των σημάτων, όπως αυτές φαίνονται στα σχήματα 6.15 και 6.16, μπορούν να εξαχθούν ορισμένα χρήσιμα συμπεράσματα σχετικά με τη λειτουργία του συστήματος. Πιο συγκεκριμένα και στις δύο περιπτώσεις εφαρμόστηκε σήμα ίδιου πλάτους, ίσο με 50 mV, ενώ το πλάτος του σήματος που απεικονίζεται είναι περίπου ίσο με 340 mV ($1400 \text{ υποδιαίρεσεις} \cdot 0.245 \text{ mV/υποδιαίρεση} = 340 \text{ mV}$). Στο συγκεκριμένο υπολογισμό δεν ελήφθη υπ' όψη η ενίσχυση του σήματος που εισάγει ο τελεστικός ενισχυτής ισούται με έναν συντελεστή 5.45 επί του αρχικού



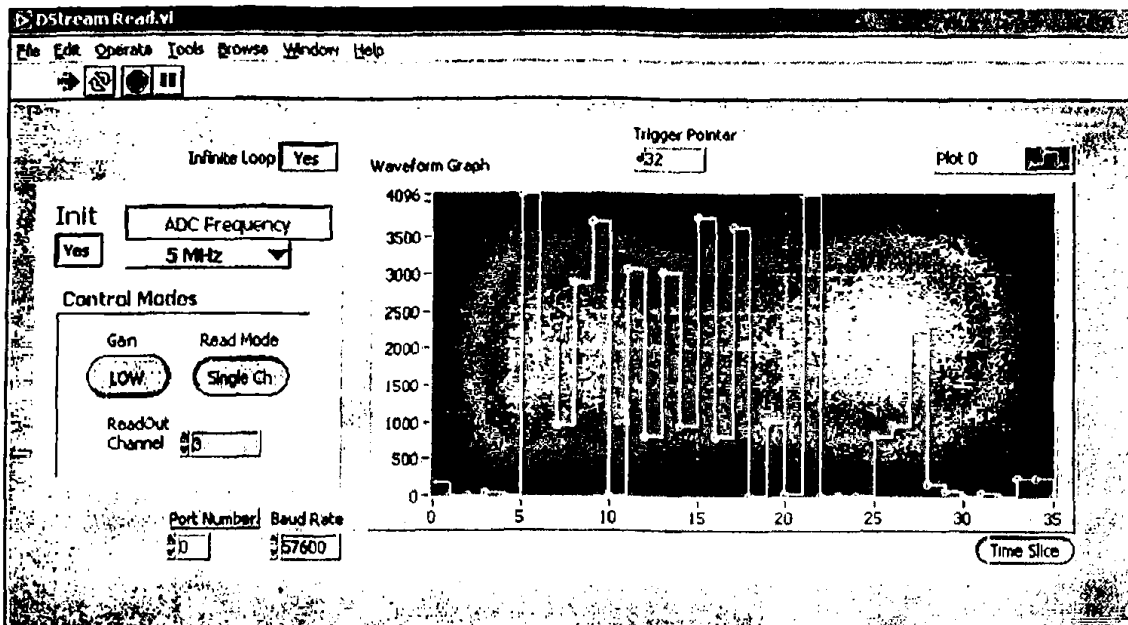
σήματος. Άρα το ημιτονοειδές σήμα που απεικονίζεται στα σχήματα 6.15 και 6.16 είναι ίσο με 60 mV ($340 \text{ mV} / 5.45 = 62 \text{ mV}$). Η τιμή αυτή είναι κατά 20% μεγαλύτερη από την πραγματική, αλλά κρίνεται ικανοποιητική αν συνυπολογιστεί και ο κοινός θόρυβος που εισέρχεται στην είσοδο του ενισχυτή κατά την εφαρμογή του σήματος. Η συχνότητα του ημιτονοειδούς σήματος που απεικονίζεται στο σχήμα 6.15 είναι περίπου 415 kHz ($5 \text{ MHz} \cdot \text{υποδιαίρεση} / 12 \text{ υποδιαιρέσεις} = 417 \text{ kHz}$), ενώ η συχνότητα του σήματος στο σχήμα 6.16 είναι περίπου 205 kHz ($5 \text{ MHz} \cdot \text{υποδιαίρεση} / 24 \text{ υποδιαιρέσεις} = 208 \text{ kHz}$). Συμπεραίνουμε λοιπόν, ότι η συχνότητα του σήματος αναπαρίσταται με μεγάλη ακρίβεια, η οποία περιορίζεται μόνο από τη συχνότητα δειγματοληψίας του σήματος, δηλαδή με μεγαλύτερη συχνότητα δειγματοληψίας πετυχαίνουμε μεγαλύτερη ακρίβεια στην απεικόνιση της συχνότητας του εφαρμοζόμενου σήματος. Μια ακόμη παρατήρηση που μπορεί να γίνει αφορά την ασυνέχεια του ημιτονοειδούς σήματος, όπως αυτό απεικονίζεται στο σχήμα 6.16, στη θέση 5 της μνήμης. Αυτό οφείλεται στη μέθοδο δειγματοληψίας που επιλέχθηκε, τη MODE1, κατά την οποία η μνήμη γράφεται κυκλικά έως ότου σταματήσει σε τυχαία θέση, όταν φτάσει στο σύστημα εξωτερικός παλμός σκανδαλισμού. Στην συγκεκριμένη περίπτωση, η μνήμη σταμάτησε να εγγράφεται στη διεύθυνση 5, όπως καταδεικνύει και η αντίστοιχη ένδειξη *Trigger Pointer* (βέλος στο σχήμα 6.16). Η ένδειξη αυτή απεικονίζει την τιμή του καταχωρητή κατάδειξης που βρίσκεται στο εσωτερικό κύκλωμα του FPGA.

Στην τελική φάση του ελέγχου ολόκληρου του συστήματος εφαρμόσαμε τετραγωνικό σήμα, πλάτους 50 mV και συχνότητας 500 kHz , στο LEMO συνδετήρα J4, που βρίσκεται επί της πλακέτας ROB. Το συγκεκριμένο σήμα το χρησιμοποιήσαμε ως σήμα βαθμονόμησης (*calibration*) και το οδηγήσαμε στις επαφές εισόδου (*input pads*) του ολοκληρωμένου *Dstream*, μέσω του ακροδέκτη βαθμονόμησης. Ο έλεγχος πραγματοποιήθηκε και με τις δύο μεθόδους δειγματοληψίας MODE0 και MODE1, με αποτελέσματα που παρουσιάζονται στα παρακάτω σχήματα 6.17 και 6.18.



ΣΧΗΜΑ 6.17: Απεικόνιση εφαρμογής σήματος βαθμονόμησης στο κανάλι 17 του *Dstream* με τη μέθοδο δειγματοληψίας MODE0





ΣΧΗΜΑ 6.18: Απεικόνιση εφαρμογής σήματος βαθμονόμησης στο κανάλι 5 του Dstream με τη μέθοδο δειγματοληψίας MODE1

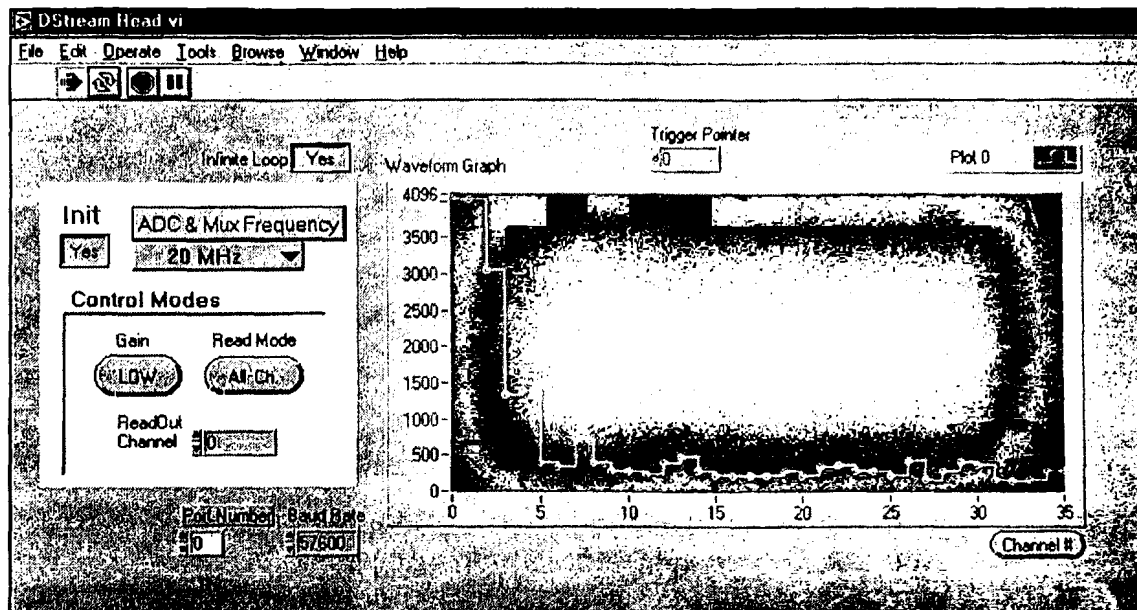
Με βάση τα σχήματα 6.17 και 6.18 μπορούν να εξαχθούν χρήσιμα συμπεράσματα για τη λειτουργία του συστήματος συνολικά. Όσον αφορά το σχήμα 6.16, με την επιλογή της μεθόδου δειγματοληψίας MODE0, κατά την οποία συντελείται μία δειγματοληψία για κάθε κανάλι, γίνεται αντιληπτό ότι το κανάλι, στο οποίο εφαρμόστηκε το σήμα βαθμονόμησης και το κανάλι, το οποίο απεικονίζεται να δέχεται το σήμα στο περιβάλλον εργασίας, συμπίπτουν. Επομένως, το σύστημα, με τη μέθοδο δειγματοληψίας MODE0 ενεργοποιημένη, δειγματοληπτεί σωστά τις 36 εισόδους του ολοκληρωμένου Dstream. Από την άλλη μεριά, με βάση το σχήμα 6.18, είναι φανερό ότι κατά τη λειτουργία του συστήματος, με ενεργοποιημένη τη μέθοδο δειγματοληψίας MODE1, δειγματοληπτείται όντως μόνο το επιλεγμένο κανάλι, όπως επιβάλλουν οι προδιαγραφές του MODE1. Ωστόσο, το αποτέλεσμα της δειγματοληψίας, όπως αυτό απεικονίζεται στο περιβάλλον εργασίας του χρήστη, δεν προσφέρεται για εξαγωγή συμπερασμάτων σχετικών με το εισερχόμενο σήμα! Το εισερχόμενο σήμα παραμορφώνεται εξαιτίας των παρασιτικών χωρητικότητων που εισάγει το καλώδιο με το οποίο εφαρμόσαμε το σήμα αυτό πάνω στους ακροδέκτες της πλακέτας ROH. Επίσης, για τη συγκεκριμένη δοκιμή δεν κατέστη δυνατό να γειωθούν τα γειτονικά κανάλια του Dstream, με συνέπεια να εισάγουν θόρυβο στο κανάλι δειγματοληψίας.

6.6 Επίλυση προβλήματος δειγματοληψίας σε υψηλές συχνότητες

Κατά τη διάρκεια των δοκιμών και των ελέγχων της λειτουργίας του συστήματος παρατηρήθηκε κάποια δυσλειτουργία στην εγγραφή των πρώτων διευθύνσεων της μνήμης RAM στο εσωτερικό κύκλωμα του FPGA. Πιο συγκεκριμένα, επιλέγοντας τη μέθοδο δειγματοληψίας MODE0 και για



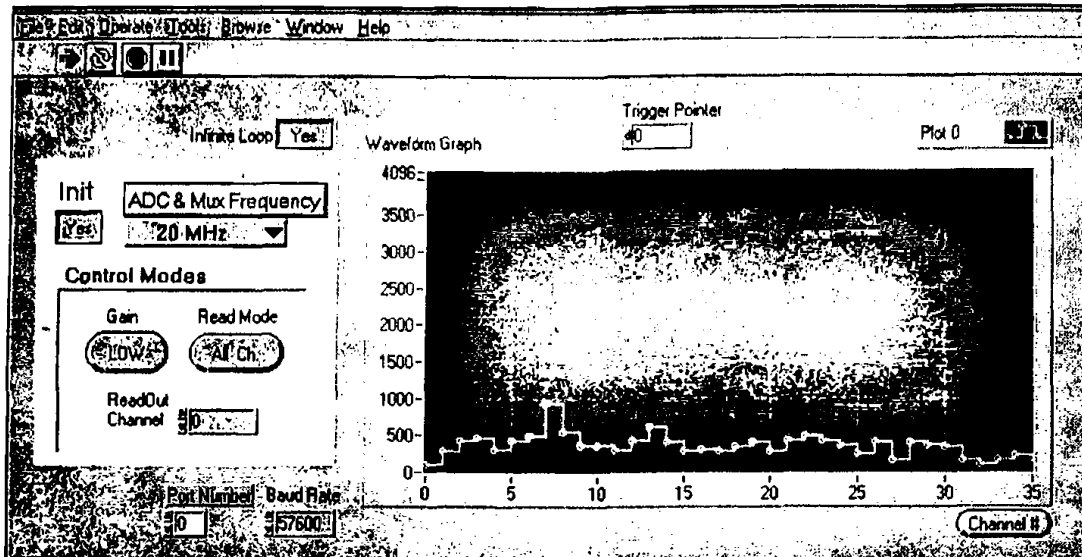
συχνότητες δειγματοληψίας 10 και 20 MHz, οι πρώτες 2 έως 5 διευθύνσεις της RAM εγγραφόντουσαν με τιμές κατά πολύ μεγαλύτερες από το μέσο όρο των υπολοίπων διευθύνσεων, όπως φαίνεται και στο σχήμα 6.19.



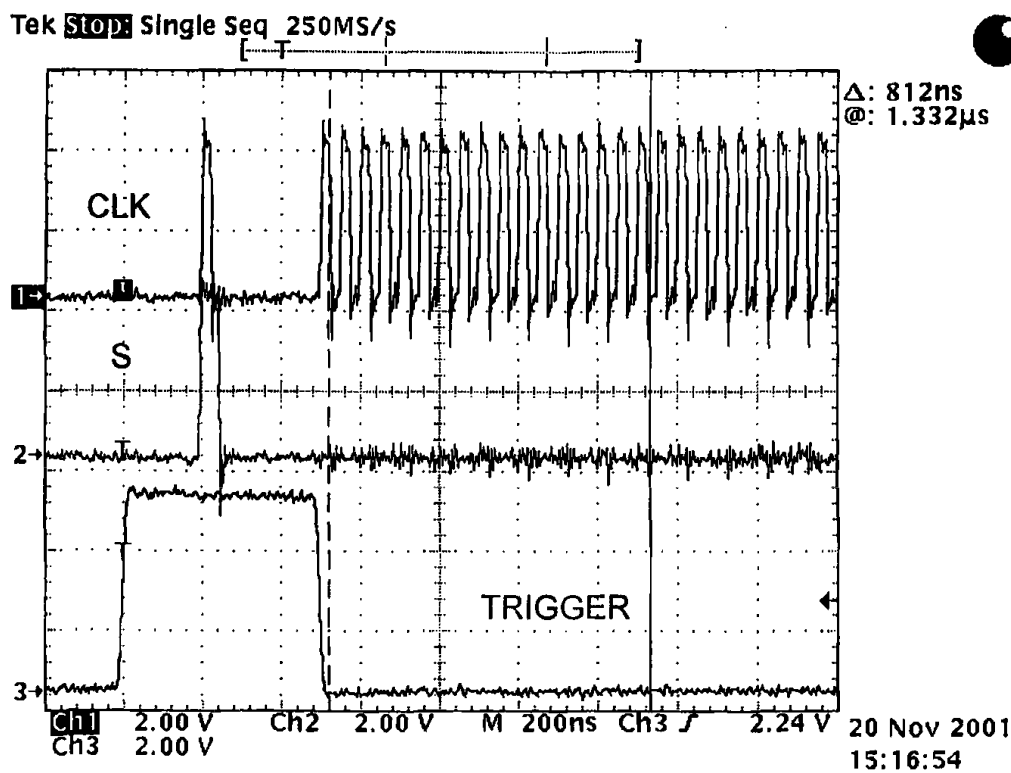
ΣΧΗΜΑ 6.19: Δυσλειτουργία κατά τη δειγματοληψία σε συχνότητα 20 MHz με τη μέθοδο MODE0.

Ύστερα από πολλούς δοκιμαστικούς ελέγχους, κατά τους οποίους εφαρμόστηκαν αρκετές ιδέες για την αντιμετώπιση της δυσλειτουργίας αυτής, το πρόβλημα εντοπίστηκε στο ψηφιακό τμήμα του Dstream. Λεπτομερέστερα, όταν ο πολυπλέκτης του Dstream δεχθεί τον παλμό εκκίνησης S, χρειάζεται κάποιο χρόνο εφησυχασμού (relaxation time) για να αποκριθεί, ο οποίος είναι ίσος με περίπου ~200 nsec. Συνέπεια αυτού του γεγονότος ήταν να έχει ο πολυπλέκτης στην έξοδό του κατά τη διάρκεια των πρώτων 200 nsec ένα θορυβώδες σήμα, το οποίο στη συνέχεια ενισχυόταν από τον τελεστικό ενισχυτή. Η επίλυση της συγκεκριμένης δυσλειτουργίας κατορθώθηκε με επέμβαση στη μηχανή καταστάσεων του MODE0, ώστε να μεταβληθεί ο χρονισμός με τον οποίον παράγονται τα σήματα ελέγχου από το FPGA. Έτσι, η πολυπλεξία των 36 καναλιών του Dstream ξεκινάει πλέον 6 παλμούς ρολογιού αφού έχει σταλεί ο παλμός S πολυπλέκτη, δηλαδή για την περίπτωση της υψηλότερης συχνότητας δειγματοληψίας, τα 20 MHz, μετά την πάροδο τουλάχιστον 300 nsec ($6 \text{ παλμοί} / 20 \text{ MHz} = 300 \text{ nsec}$). Δίνεται επομένως αρκετός χρόνος στον πολυπλέκτη, ώστε να επέλθει ο εφησυχασμός στην έξοδό του και να δώσει αξιόπιστες τιμές στο υπόλοιπο σύστημα για περαιτέρω επεξεργασία τους.

Η εξάλειψη της δυσλειτουργίας στη δειγματοληψία σε υψηλές συχνότητες φαίνεται και στο σχήμα 6.20. Επίσης, στο σχήμα 6.21 απεικονίζεται η μεταβολή στο χρονισμό των σημάτων S και CLK ως προς το σήμα TRIGGER σε σχέση με τους χρονισμούς που είχαν στα σχήματα 6.1 και 6.4.



ΣΧΗΜΑ 6.20: Πλήρως λειτουργική δειγματοληψία σε συχνότητα 20 MHz με τη μέθοδο MODE0.



ΣΧΗΜΑ 6.21: Σήματα ελέγχου του Δstream κατά την εκκίνηση της μεθόδου δειγματοληψίας MODE0.



ΑΝΑΦΟΡΕΣ

- [1] "CMS, The Compact Muon Solenoid, Technical Proposal", CERN/LHCC 94 - 38, Geneva, 1994.
- [2] LHC. <http://lhc.web.cern.ch/lhc>
- [3] CMS. <http://cmsinfo.cern.ch/Welcome.html>
- [4] Preshower. <http://cmsdoc.cern.ch/cms/ECAL/preshower>
- [5] Preshower. <http://cmsdoc.cern.ch/cms/TDR/ECAL/ref/C7.pdf>
- [6] "Πυρηνική Φυσική", Τόμος II, Παναγιώτη Α. Ασημακόπουλου, Ιωάννινα, 1984.
- [7] "Instrumentation in High Energy Physics – Silicon Microstrip Detectors", Anna Peisert, Instituto Nazionale di Fisica Nucleare, Sezione di Padova, 1992.
- [8] "Φυσική Στερεάς Κατάστασης, Πανεπιστημιακές Παραδόσεις", Χρήστος Παπαγεωργόπουλος, Εκδόσεις Πανεπιστημίου Ιωαννίνων, Ιωάννινα, 1997.
- [9] "Σημειώσεις στα πλαίσια του μαθήματος Πειραματικές Μέθοδοι Φυσικής", Ιωάννης Ευαγγέλου, Ιωάννινα, 1997.
- [10] "Silicon Microstrip Detectors – Specifications", Anna Peisert, Preshower meeting presentation, CERN, July 2001.
- [11] "The DeltaStream User Guide", Paul Aspell, CERN, 2000.
- [12] "Wideband Precision Operational Amplifier OPA620", Burr-Brown Corporation, 1993.
<http://focus.ti.com/docs/analog/analoghomepage.jhtml>
- [13] "Electronic Devices and Circuit Theory", Robert Boylestad – Louis Nashelsky, Prentice Hall, 7th edition, 1999.
- [14] "Digital Electronics, Logic and Systems", John Kershaw, Delmar Publishers Inc., 3rd edition, 1988.
- [15] "Εισαγωγή στη Θεωρία Θορύβου και Εφαρμογές", Κ. Καρούμπαλου, Εκδόσεις Πανεπιστημίου Αθηνών, Αθήνα, 1990.
- [16] 74HC14. <http://www.fairchildsemi.com/pf/MM/MM74HC14.html>
- [17] "12-Bit, 41MSPS Monolithic A/D Converter AD9042", Analog Devices Inc., 1996. <http://www.analog.com>



- [18] Twos Complement. <http://www.wittenberg.edu/academics/mathcomp/bjsdir/twocomp.htm>
- [19] Twos Complement. <http://www.learnlibrary.com/TwoComplement.html>
- [20] "The Programmable Logic Data Book", Xilinx, 1999.
- [21] "8-Bit Microcontroller with 8K Bytes Flash – AT89S8252", Atmel. <http://www.atmel.com>
- [22] "Μικροελεγκτές, Σημειώσεις", Νικόλαος Μάνθος, Ιωάννινα, 1999.
- [23] Universal Programmer. <http://www.xeltek.com>
- [24] "MAX233: +5V-powered, multichannel RS232 Driver/Receiver", Maxim. <http://www.maxim-ic.com>
- [25] "Data Communications Basics – A Brief Introduction to Digital Data Transfer", Christopher Strangio, CAMI Research Inc., Massachusetts, 1997. <http://www.camiresearch.com>
- [26] "The RS232 Standard – A Tutorial with Signal Names and Definitions", Christopher Strangio, CAMI Research Inc., Massachusetts, 1997. <http://www.camiresearch.com>
- [27] "The 8051 Microcontroller – Architecture, Programming and Applications", Kenneth Ayala, West Publishing Company, 1991.
- [28] The online 8052 resource. <http://www.8052.com>
- [29] "LabVIEW User Manual", National Instruments, 1998.
- [30] Power Supply LG 4303D. <http://www.testequipmentdepot.com/goldstar/powersup.htm>
- [31] Regulator 7905. <http://www.us.st.com/stonline/books/pdf/docs/2149.pdf>
- [32] Regulator 7805. <http://www.us.st.com/stonline/books/pdf/docs/2146.pdf>
- [33] Multimeter Escort EDM-161. http://www.cosinus.de/html/mume_pg_1.html
- [34] Generator Hewlett Packard 33120A. <http://www.tm.agilent.com>
- [35] Oscilloscope Tektronix TDS684B. <http://www.tek.com>
- [36] Generator HAMEG HM8030. <http://www.hameg.de/en/index.htm>



ΠΑΡΑΡΤΗΜΑΤΑ

Α. ΧΑΡΑΚΤΗΡΙΣΤΙΚΑ ΤΟΥ ΟΛΟΚΛΗΡΩΜΕΝΟΥ ΔSTREAM

Το Front End ολοκληρωμένο Δstream (Σχήμα Α.3) αναπτύχθηκε για να καλύψει τις ανάγκες των μετρήσεων, που προκύπτουν κατά την ανάπτυξη του ανιχνευτή Preshower του πειράματος CMS. Επιπρόσθετα, το Δstream αποτελεί μια πρωτότυπη πλατφόρμα για τη δοκιμή μονάδων που θα συμπεριληφθούν στη σχεδίαση του τελικού Front End ολοκληρωμένου, του PACÉ. Το Δstream κατασκευάστηκε με τεχνολογία αντοχής στην ακτινοβολία DMILL και μπορεί να ακτινοβοληθεί με ιονίζουσα ακτινοβολία μέχρι και 10 Mrads.

Το Δstream απαιτεί ξεχωριστή αναλογική και ψηφιακή τροφοδοσία για τη λειτουργία του:

Analog VDD (vdda).....	5 V
Analog GND (gnda).....	0 V
Digital VDD (vddd).....	5 V
Digital GND (gndd).....	0 V.

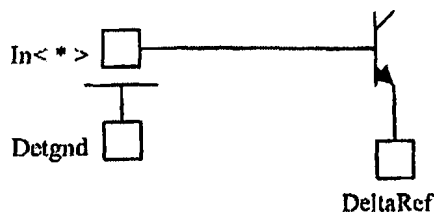
Το Δstream έχει σχεδιαστεί ώστε να συνδέεται με έναν αισθητήρα δίχως την ανάγκη ύπαρξης πυκνωτή σύζευξης. Επίσης, περιλαμβάνει κύκλωμα αντιστάθμισης (compensation circuit) για την περίπτωση διαρροής ρεύματος, το οποίο επιτρέπει στο ολοκληρωμένο να λειτουργεί ακόμη και για μεγάλες ποσότητες ρεύματος διαφυγής από τον αισθητήρα. Ο αισθητήρας μπορεί να έχει οποιοδήποτε μέγεθος, αν και ο ενισχυτής έχει σχεδιαστεί να προσφέρει τον καλύτερο λόγο σήματος προς θόρυβο, όταν έχει συνδεθεί αισθητήρας χωρητικότητας 40 pF.

Τα χαρακτηριστικά του αισθητήρα αναφέρονται παρακάτω:

Μέγιστο ρεύμα διαφυγής.....	150 μ A (20 μ A / ανά μικρολωρίδα αναμένεται για 10 Mrads ιονίζουσας ακτινοβολίας)
Χωρητικότητα ανιχνευτή.....	μέχρι 40 pF
Φορτίο σήματος αισθητήρα.....	μέχρι 400 mips
DC τάση τροφοδοσίας αισθητήρα.....	0.7 V.

Η γη του αισθητήρα θα πρέπει να συνδέεται στον ακροδέκτη Detgnd. Ο ακροδέκτης DeltaRef του Δstream μπορεί να συνδεθεί είτε στη γη του αισθητήρα, ή στην αναλογική γείωση, ανάλογα με τη διάρθρωση του συστήματος. Το Detgnd είναι ένα γειωμένο επίπεδο κάτω από τους ακροδέκτες εισόδου. Το σήμα του αισθητήρα εφαρμόζεται απευθείας στη βάση ενός διπολικού τρανζίστορ. Το DeltaRef είναι ο εκπομπός του τρανζίστορ εισόδου (Σχήμα Α.1)





The detector signal should be applied between in<*> and DeltaRef

ΣΧΗΜΑ Α.1: Το σήμα του αισθητήρα εφαρμόζεται στη βάση διπολικού τρανζίστορ

Ο ενισχυτής που εμπεριέχεται στο Δstream μπορεί να ενισχύσει το σήμα ενός καναλιού σε δύο επίπεδα, το υψηλό (High) και το χαμηλό (Low). Τα χαρακτηριστικά του ενισχυτή έχουν ως εξής:

Υψηλό επίπεδο ενίσχυσης (High Gain)

Επίπεδο σήματος HG.....	5 V
Ενίσχυση.....	30 mV / mip
Δυναμική περιοχή (γραμμικότητα).....	50 mips
Λόγος σήματος προς θόρυβο (0 pF).....	20
Λόγος σήματος προς θόρυβο (40 pF).....	10
ENC.....	1100e + 35e / pF

Χαμηλό επίπεδο ενίσχυσης (Low Gain)

Επίπεδο σήματος HG.....	0 V
Ενίσχυση.....	4 mV / mip
Δυναμική περιοχή (γραμμικότητα).....	400 mips
Λόγος σήματος προς θόρυβο (0 pF).....	20
Λόγος σήματος προς θόρυβο (40 pF).....	10
ENC.....	1100e + 35e / pF

Χαρακτηριστικά ανίχνευσης-συγκράτησης (track-and-hold):

Διαδικασία ανίχνευσης.....	HoldN = Λογικό επίπεδο '1'
Διαδικασία συγκράτησης.....	HoldN = Λογικό επίπεδο '0'
Ακμή δειγματοληψίας.....	Αρνητική

Χαρακτηριστικά πολυπλέκτη:

Συχνότητα ρολογιού..... Στατικά > 20 MHz

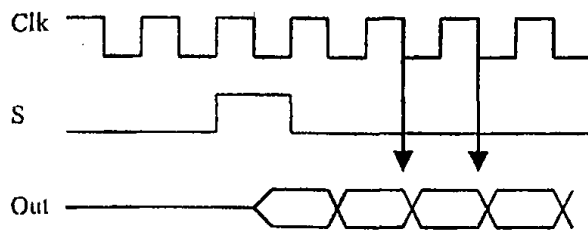
Χαρακτηριστικά σήματος εξόδου:

Μέγιστος φόρτος γραμμής.....	15 pF (Συνιστάται <10 pF)
Τάση εξόδου Vout.....	1.5 V (1.2 V < Vout < 3.2 V)

Ο ενισχυτής του ολοκληρωμένου έχει χρόνο κορύφωσης (peaking time) 25 nsec. Γι' αυτό το λόγο, το σήμα HoldN θα πρέπει να είναι σε διαδικασία ανίχνευσης (λογικό επίπεδο '1') ενώ λαμβάνεται το σήμα και να μεταπίπτει σε διαδικασία συγκράτησης (λογικό επίπεδο '0') 25 nsec μετά την άφιξη του σήματός. Το σήμα HoldN θα πρέπει να παραμένει σε λογικό επίπεδο '0' καθ' όλη τη διάρκεια της πολυπλεξίας. Ο πολυπλέκτης ξεκινά μόλις το Δstream δεχθεί ένα παλμό μιας περιόδου του ρολογιού στον ακροδέκτη του σήματος S. Η έξοδος του καναλιού 1 γίνεται έγκυρη ανάμεσα στις δύο επόμενες αρνητικές ακμές του ρολογιού, του καναλιού 2 στις δύο αμέσως επόμενες αρνητικές ακμές του ρολογιού κ.ο.κ. Κατά τη μέγιστη συχνότητα δειγματοληψίας των 20 MHz, η αναλογική έξοδος του Δstream χρειάζεται κάποιο χρόνο να σταθεροποιηθεί προτού μπορέσει να δειγματοληφθεί από τον ψηφιοποιητή. Η αρνητική ακμή του ρολογιού του πολυπλέκτη μπορεί να χρησιμοποιηθεί ως σήμα σκανδαλισμού του ψηφιοποιητή, αφού ο σκανδαλισμός θα πρέπει να συμβεί στο τέλος της περιόδου της έγκυρης αναλογικής εξόδου, οπότε και υπάρχει η πιο σταθερή της τιμή (Σχήμα Α.2).

Τα σήματα ελέγχου του Δstream είναι τα ακόλουθα:

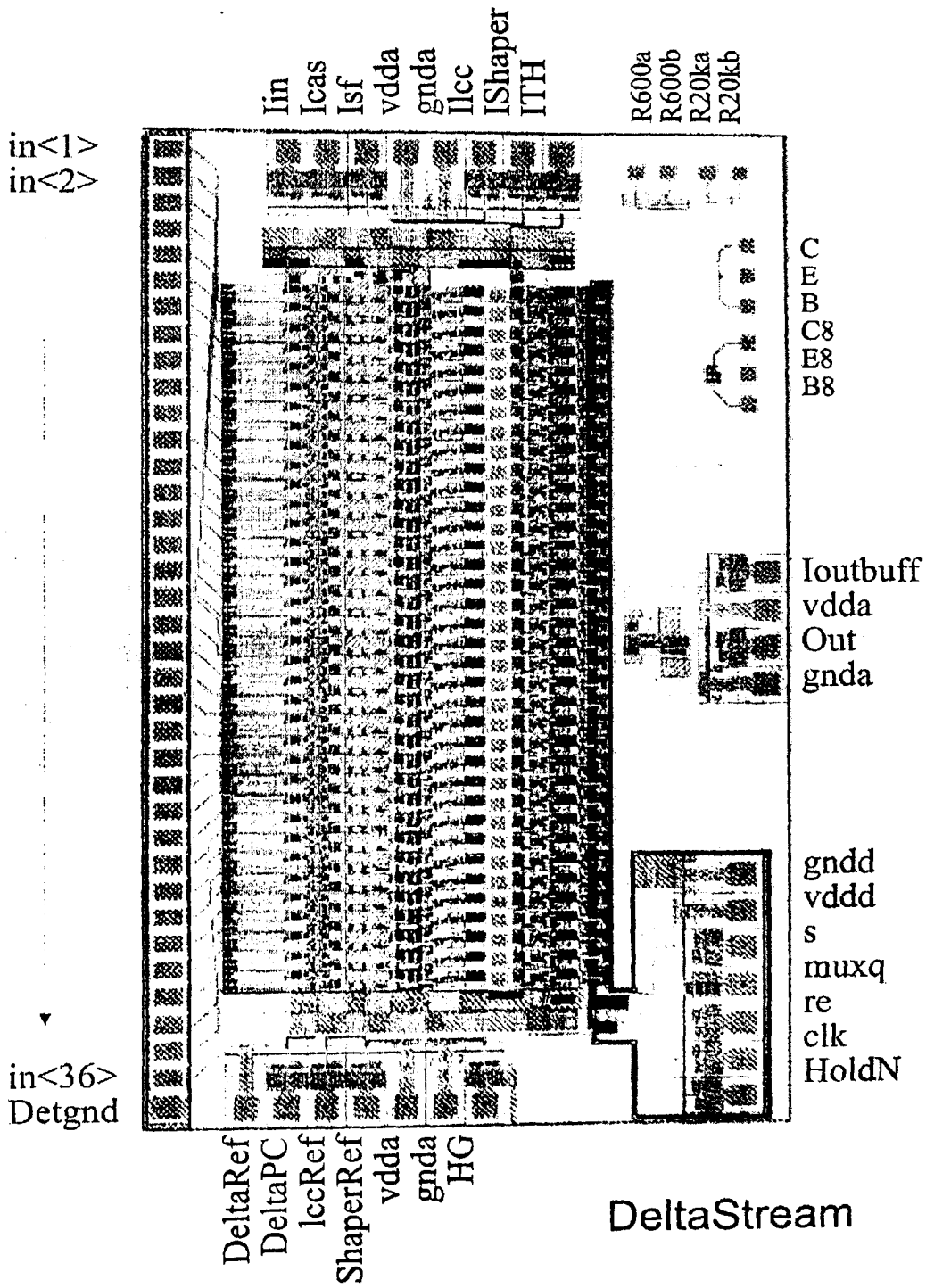
- Re (reset signal).....Ενεργό σε λογικό επίπεδο '0'
- S.....Bit εισόδου για την εκκίνηση του πολυπλέκτη
- Clk.....Ρολόι του πολυπλέκτη
- Muxq.....Bit εξόδου από τον πολυπλέκτη (για αλυσιδωτή λειτουργία από επόμενους πολυπλέκτες)



Timing diagram of the multiplexed output.

ΣΧΗΜΑ Α.2: Διάγραμμα χρονισμού της εξόδου του πολυπλέκτη





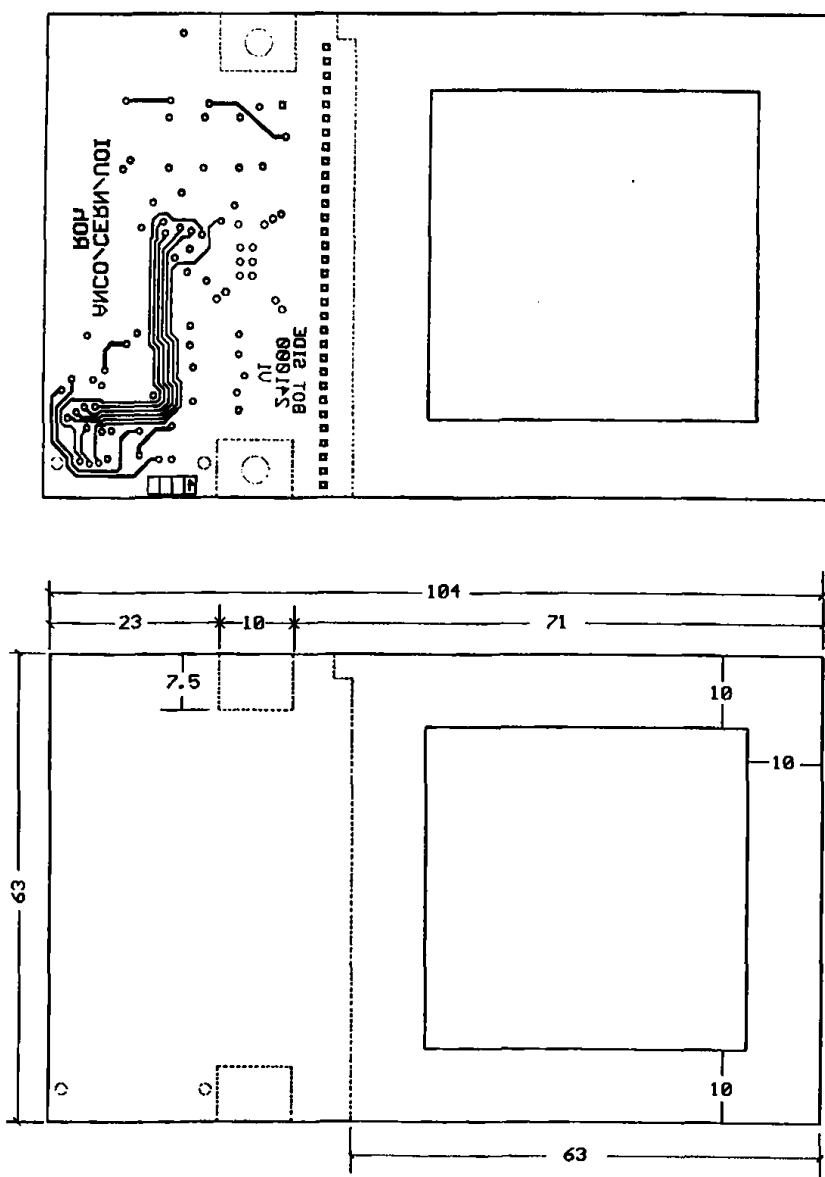
ΣΧΗΜΑ Α.3: Σχεδιαστικό διάγραμμα του ολοκληρωμένου Δstream



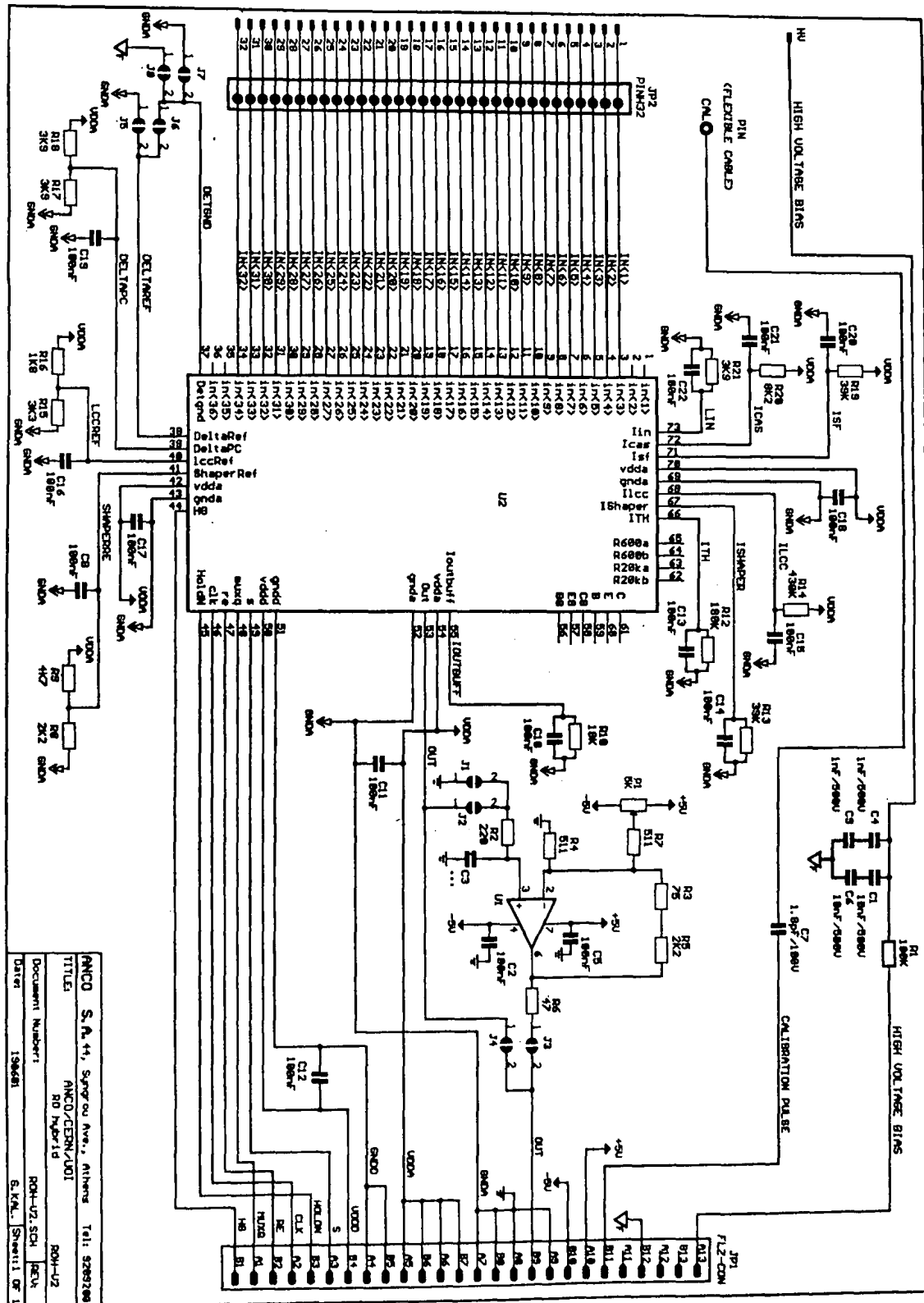
Β. ΣΧΗΜΑΤΙΚΑ ΤΩΝ ΠΛΑΚΕΤΩΝ ROH – ROB

Η σχεδίαση (Schematic) της πλακέτας ROH πραγματοποιήθηκε στο CERN, ενώ η σχεδίαση της πλακέτας ROB έγινε στο ΕΦΥΕ του Πανεπιστημίου Ιωαννίνων, με συνεργασία του γράφοντος και των συναδέλφων κ.κ. Προύσκα και Χριστοφιλάκη. Τα χωροταξικά σχεδιαγράμματα (Layouts) των δύο πλακετών, καθώς και η κατασκευή τους υλοποιήθηκαν από την εταιρία ANCO, που εδρεύει στην Αθήνα. Παρακάτω δίνονται εικόνες από τα στάδια ανάπτυξης των πλακετών, όπως επίσης και λίστες υλικών που χρησιμοποιήθηκαν για τη συναρμολόγηση των ROH και ROB.

Β1. ΠΛΑΚΕΤΑ ROH



ΣΧΗΜΑ Β.1: Layout και διαστάσεις της πλακέτας ROH



ΣΧΗΜΑ Β.2: Σχηματικό διάγραμμα της πλακέτας ROH



ΚΑΤΑΣΤΑΣΗ ΥΛΙΚΩΝ ΒΑΘΜΙΔΑΣ ROH**Α. ΑΝΤΙΣΤΑΣΕΙΣ**

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟΥ
1	Αντίσταση 47Ω 0.25W 1% SMD 1206	R11, R6	2	
2	Αντίσταση 75Ω 0.25W 1% SMD 1206	R3	1	
3	Αντίσταση 220Ω 0.25W 1% SMD 1206	R2	1	
4	Αντίσταση 511Ω 0.25W 0.1% SMD 0805	R4, R7	2	
5	Αντίσταση 100K 0.25W 1% SMD 1206	R1	1	

Β. ΠΟΤΕΝΣΙΟΜΕΤΡΑ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟΥ
1	Τρίμετρο 5K / 0.25W / SMD	P1	1	

Γ. ΠΥΚΝΩΤΕΣ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟΥ
1	Πυκνωτής κεραμικός 1.8pF / 100V SMD 1206	C7	1	
2	Πυκνωτής κεραμικός 1nF / 500V	C4, C9	2	CERN
3	Πυκνωτής κεραμικός 10nF / 500V	C1, C6	2	CERN
4	Πυκνωτής κεραμικός .1μF/50V SMD 1206	C2, C5, C8, C10, C11, C12, C13, C14, C15, C16, C17, C18, C19, C20, C21, C22	16	

Δ. ΟΛΟΚΛΗΡΩΜΕΝΑ

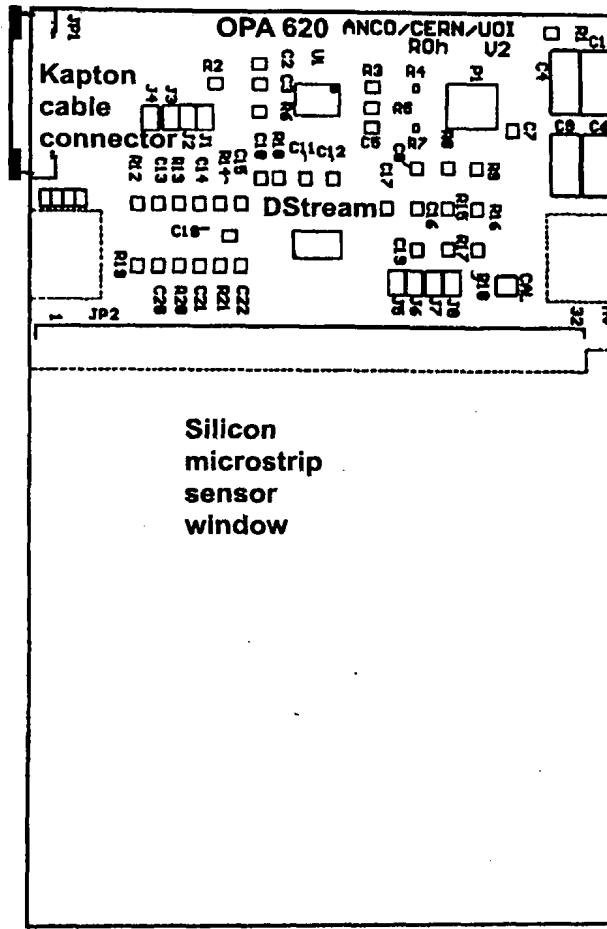
Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟΥ
1	Ολοκληρωμένο ΟΡΑ 620 SO-8	U1	1	

Ε. ΣΥΝΔΕΤΕΣ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟΥ
1	Συνδέτης ERNI 26 ορίων θηλυκός RS3273891	JP1	1	

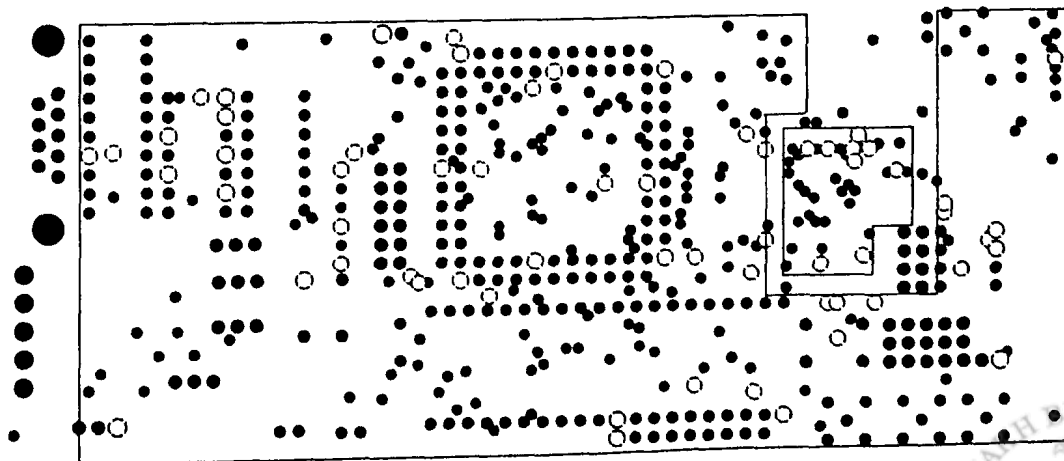
ΣΧΗΜΑ Β.3: Κατάλογος υλικών της πλακέτας ROH





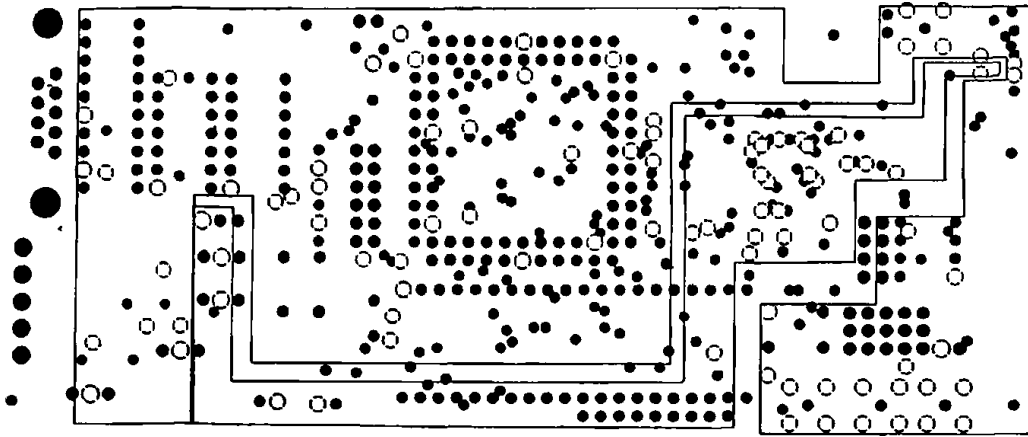
ΣΧΗΜΑ Β.4: Χωροταξία υλικών της πλακέτας ROH

Β.2 ΠΛΑΚΕΤΑ ROB

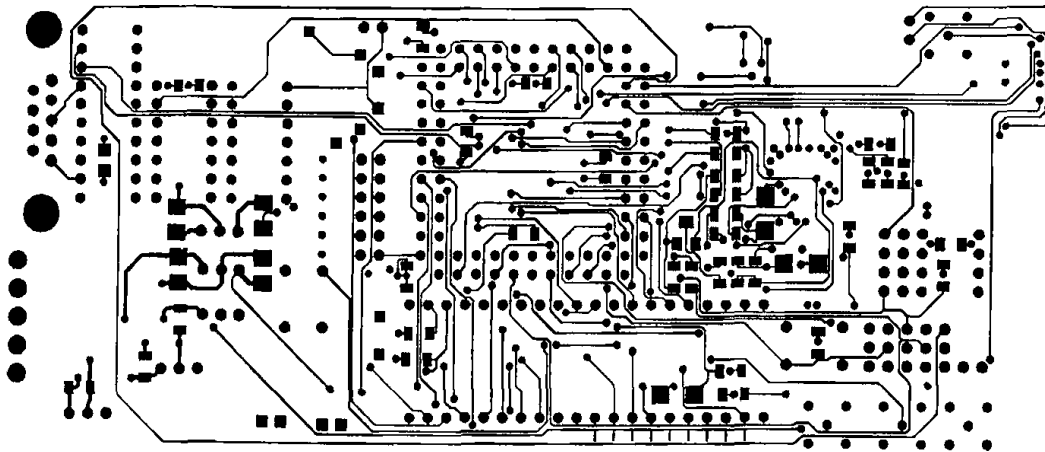


ΣΧΗΜΑ Β.5: Χωροταξία οπών (vias) τροφοδοσιών στην πλακέτα ROB

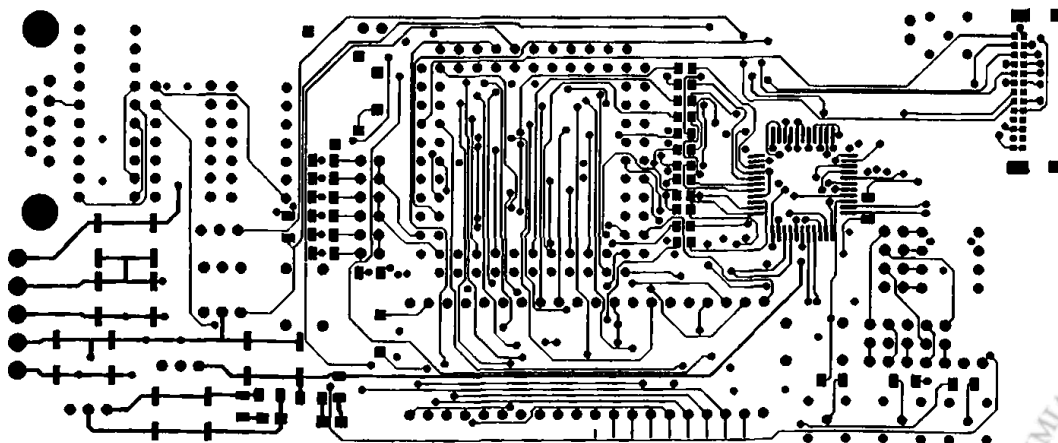




ΣΧΗΜΑ Β.6: Χωροταξία οπών (vias) γειώσεων στην πλακέτα ROB

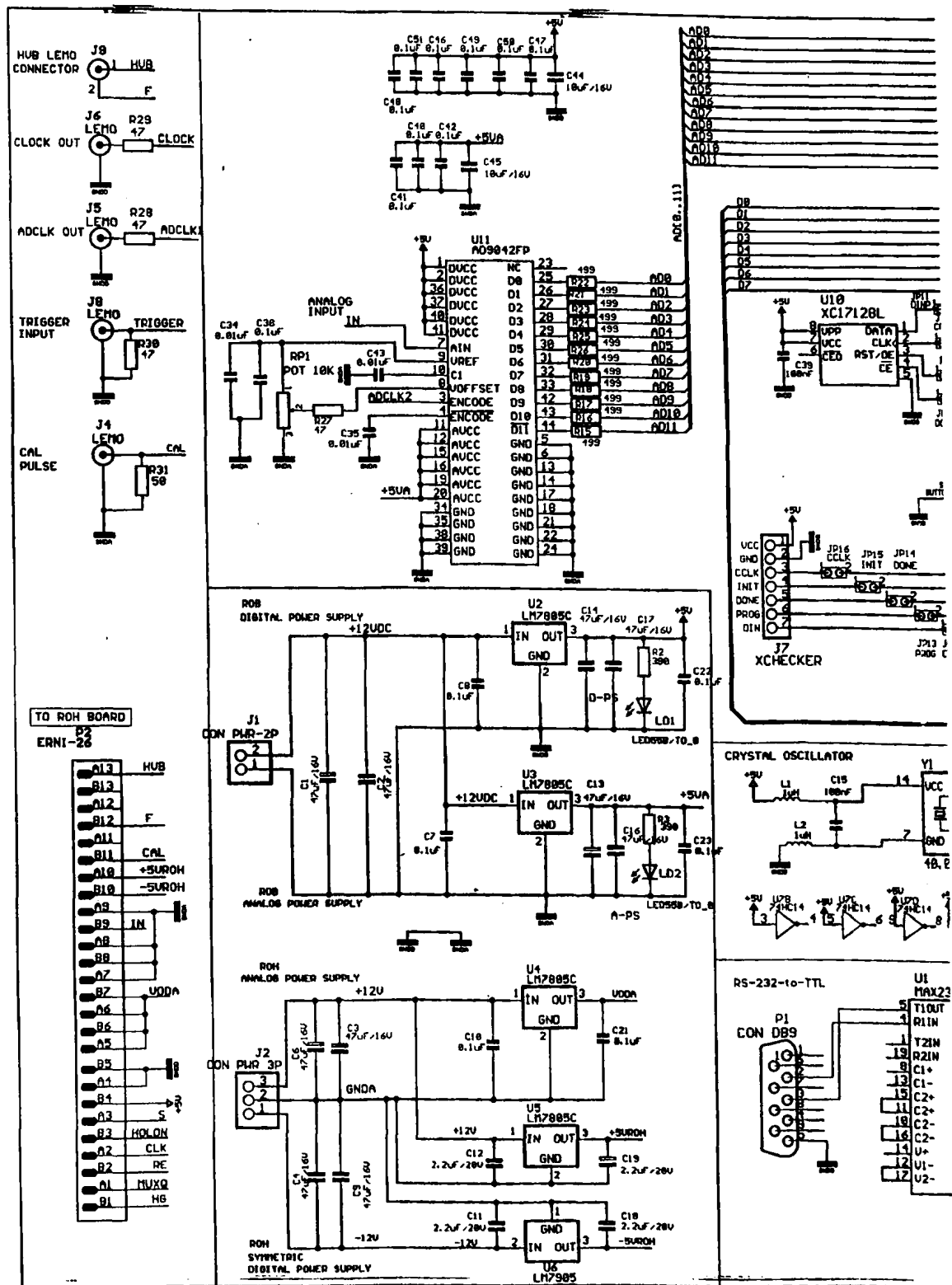


ΣΧΗΜΑ Β.7: Layout του κάτω επιπέδου της πλακέτας ROB



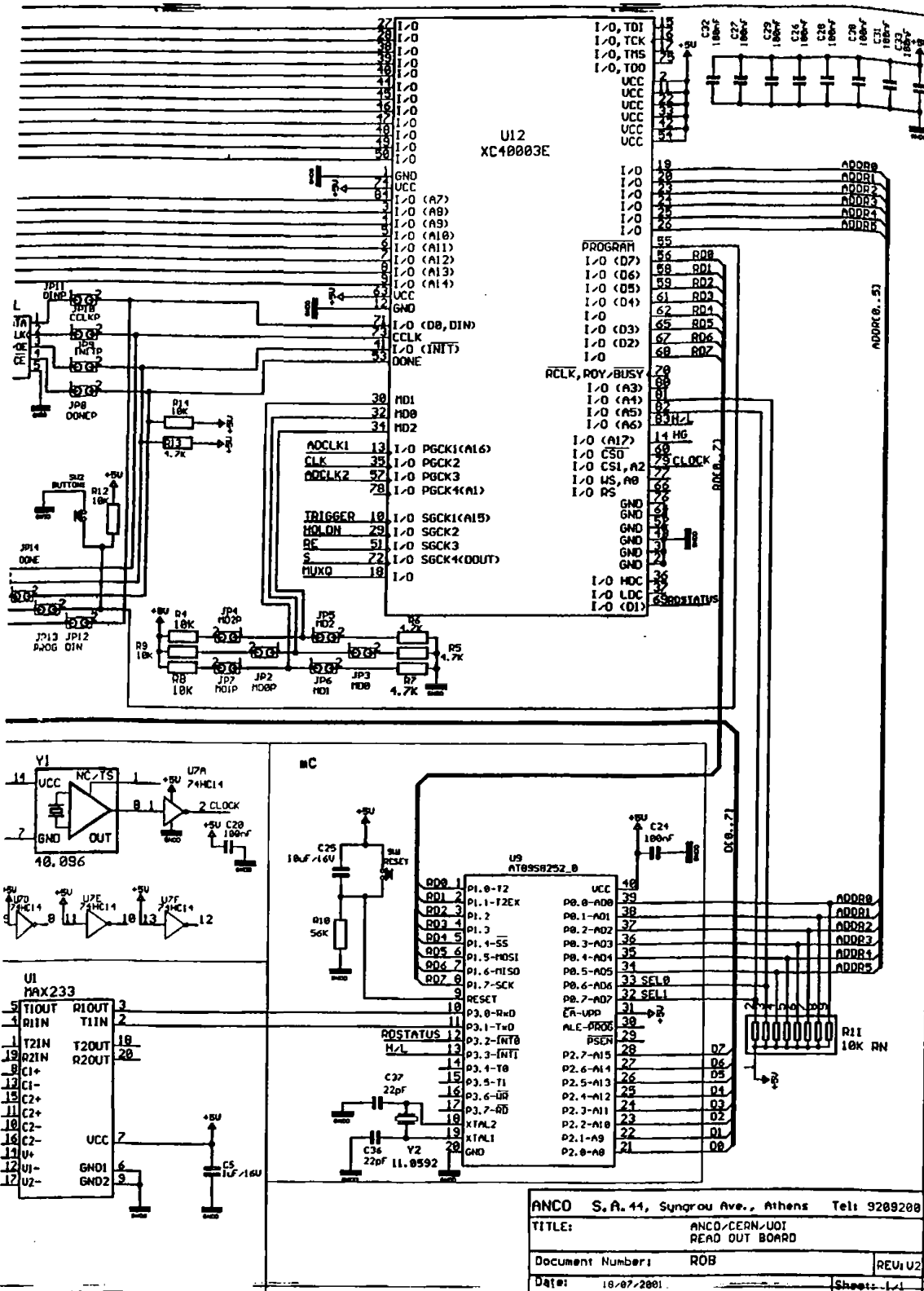
ΣΧΗΜΑ Β.8: Layout του άνω επιπέδου της πλακέτας ROB





ΣΧΗΜΑ Β.9: Αριστερός τομέας του σχηματικού διαγράμματος της πλακέτας ROB.





ΣΧΗΜΑ Β.10: Δεξιός τομέας του σχηματικού διαγράμματος της πλακέτας ROB.



ΚΑΤΑΣΤΑΣΗ ΥΛΙΚΩΝ ΒΑΘΜΙΔΑΣ ROB**A. ΑΝΤΙΣΤΑΣΕΙΣ**

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΤΑΝΚΟΥ
1	Αντίσταση 47Ω RC05 0.6W 1%	R1	1	
1	Αντίσταση 47Ω 0.25W 1% SMD 1206	R27, R28, R29, R30	4	
2	Αντίσταση 390Ω 0.25W 1% SMD 1206	R2, R3	2	
3	Αντίσταση 499Ω 0.25W .1% SMD 0805	R15, R16, R17, R18, R19, R20, R21, R22, R23, R24, R25, R26	12	
4	Αντίσταση 4.7ΚΩ 0.25W 1% SMD 1206	R5, R6, R7, R13	4	
5	Αντίσταση 10ΚΩ 0.25W 1% SMD 1206	R4, R8, R9, R12, R14	5	
6	Αντίσταση 56ΚΩ 0.25W 0.1% SMD 1206	R10	1	
7	Αντίσταση Δικτύωμα 10ΚΩ x 8	R11	1	

B. ΜΕΤΑΒΛΗΤΕΣ ΑΝΤΙΣΤΑΣΕΙΣ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΤΑΝΚΟΥ
1	Μεταβλητή αντίσταση 10ΚΩ 0.25W, 11T SMD	RP1	1	

Γ. ΠΥΚΝΩΤΕΣ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΤΑΝΚΟΥ
1	Πυκνωτής κεραμικός 22pF/ 100V SMD 1206	C36, C37	2	
2	Πυκνωτής κεραμικός 10nF / 100V	C34, C35, C43	3	
3	Πυκνωτής κεραμικός .1μF/50V SMD 1206	C7, C8, C10, C20, C21, C22, C23, C24, C26, C27, C28, C29, C30, C31, C32, C33, C38, C39, C40, C41, C42, C46, C48, C47, C49, C50, C51, C52	28	
4	Πυκνωτής κεραμικός .1μF/63V CK05	C15	1	
5	Πυκνωτής τανταλίου 1μF/16V SMD	C5	1	
6	Πυκνωτής τανταλίου 2.2μF/ 25V SMD	C11, C12, C18, C19	4	
7	Πυκνωτής τανταλίου 10μF/16 SMD	C25, C44, C45	3	
8	Πυκνωτής ηλεκτρολυτικός 47μF/16 SMD	C1, C2, C3, C4, C6, C9, C13, C14, C16, C17	10	

Δ. ΠΗΝΙΑ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΤΑΝΚΟΥ
1	Τσόκ τροφοδοσίας τύπου Philips 4312	L1	1	CERN

ΣΧΗΜΑ Β.11: Κατάλογος υλικών πλακέτας ROB (Συνεχίζεται)



ΚΑΤΑΣΤΑΣΗ ΥΛΙΚΩΝ ΒΑΘΜΙΔΑΣ ROB

Ε. ΟΛΟΚΛΗΡΩΜΕΝΑ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟ
1	IC AD9042AST TQFP	U11	1	
2	IC AT8958252 DIP-40	U9	1	
3	IC MAX233 DIP-20	U1	1	
4	IC 74LS14 DIP-14	U7	1	
5	IC LM7805 TO-220	U2, U3, U4, U5	4	
6	IC LM7905 TO-220	U6	1	
7	IC XC40003E FPGA S-84	U12	1	Δεν τοποθετούνται από την ΑΝΚΟ
8	IC XC171282 DIP-8	U10	1	Δεν τοποθετούνται από την ΑΝΚΟ

ΣΤ. ΚΡΥΣΤΑΛΛΟΙ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟ
1	Κρύσταλλοι 40.000MHz DIP-14	Y1	1	
2	Κρύσταλλοι 11.0592 MHz	Y2	1	

Ζ. LEDS

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟ
1	LED 3mm κόκκινο low power	LD1, LD2	2	

Η. ΚΟΜΒΙΑ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟ
1	Μπουτόν τύπου αφής 6x6x9mm	SW1, SW2	2	

Θ. ΣΥΝΔΕΤΕΣ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΟΤΗΤΑ	ΚΩΔΙΚΟΣ ΑΝΚΟ
1	Συνδέτης ομοαξονικός γωνιακός τύπου LEMO	J4, J5, J6, J8	4	CERN
2	Συνδέτης γωνιακός τύπου D-9 τυπωμένου	P1	1	
3	Συνδέτης SMD τύπου ERNI 26 ορίων 3273986	P2	1	

ΣΧΗΜΑ Β.12: Κατάλογος υλικών πλακέτας ROB (Συνεχίζεται)



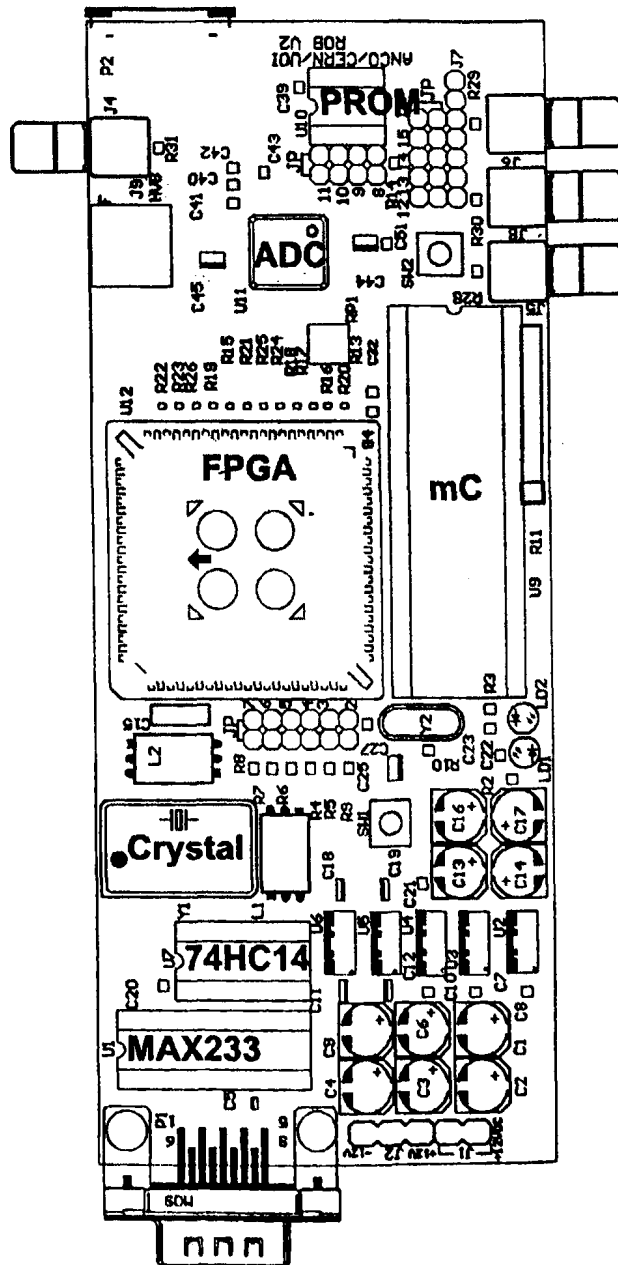
Λ. ΒΑΣΕΙΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ

Α/Α	ΠΕΡΙΓΡΑΦΗ	ΘΕΣΗ	ΠΟΣΗΤΗΤΑ	ΚΩΔΙΚΟΣ ΔΙΟΓ.
1	Βάση ολοκληρωμένου DIL-8	U10	1	
2	Βάση ολοκληρωμένου DIL-14	U7, Y1	2	
3	Βάση ολοκληρωμένου DIL-20	U1	1	
4	Βάση ολοκληρωμένου DIL-40	U0	1	
5	Βάση ολοκληρωμένου S-84	U12	1	

Σημείωση: Στις ανωτέρω βάσεις προποθεούνται τα είδη των ολοκληρωμένων Ε 2, 3, 4, 7, 8 καθώς επίσης και ο κρύσταλλος 40ΜHz (βάση Υ1)

ΣΧΗΜΑ Β.13: Κατάλογος υλικών πλακέτας ROB

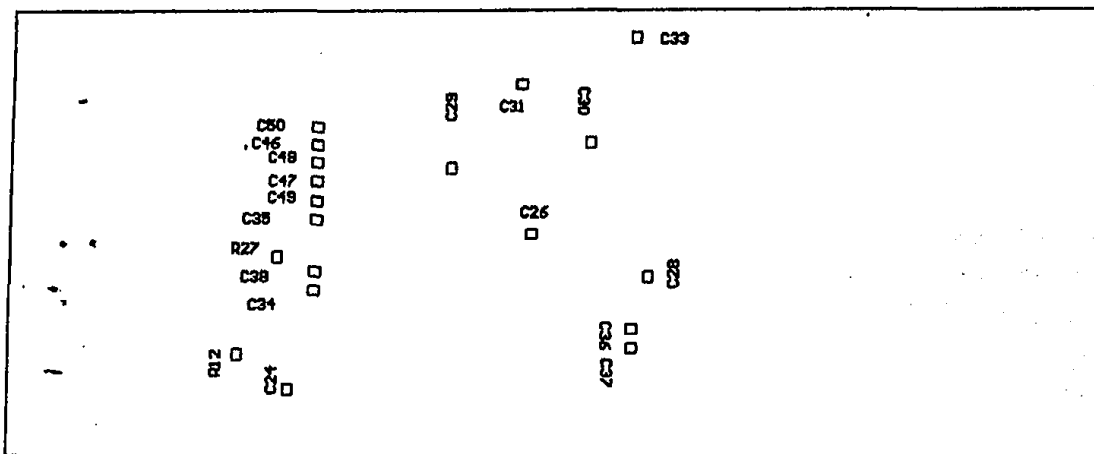
Kapton cable connector



RS232 connector

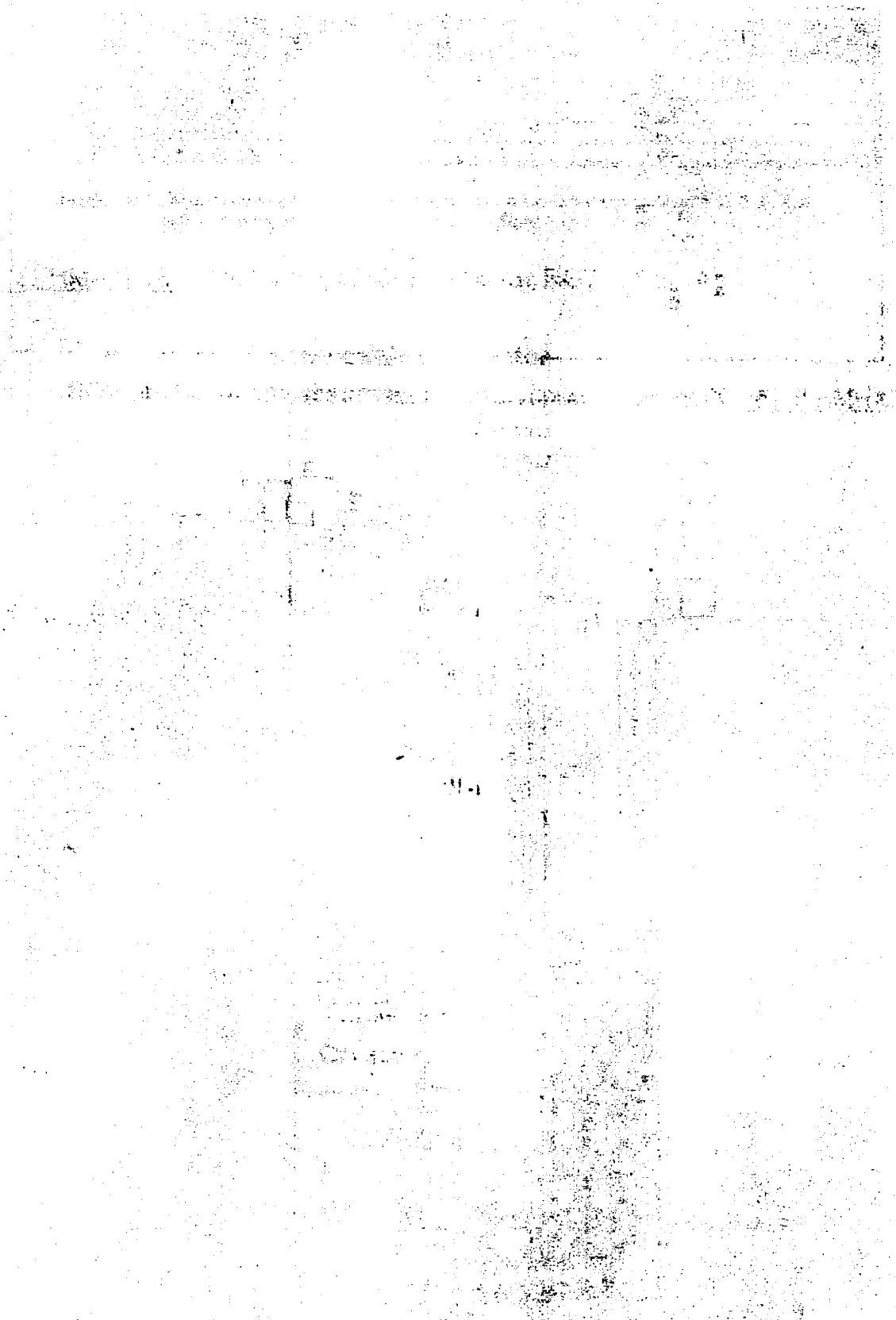
ΣΧΗΜΑ Β.14: Χωροταξία υλικών στο άνω επίπεδο της πλακέτας ROB





ΣΧΗΜΑ Β.15: Χωροταξία υλικών στο κάτω επίπεδο της πλακέτας ROB



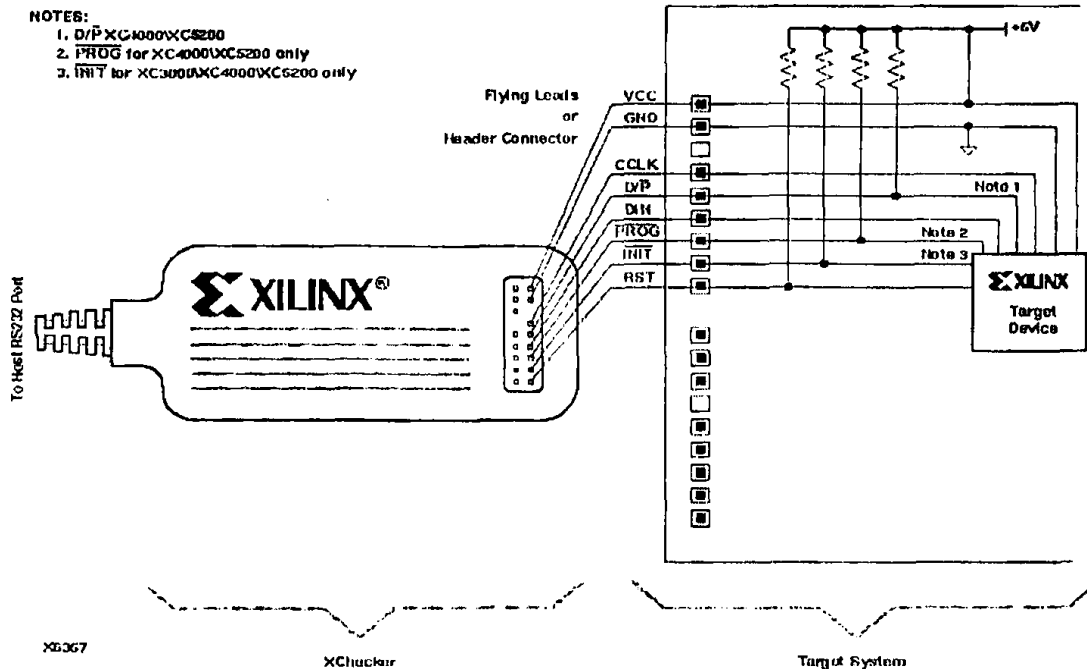


Γ. ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΤΟΥ FPGA – PROM

Ο προγραμματισμός του FPGA, δηλαδή το “φόρτωμα” του εσωτερικού κυκλώματος από το λογισμικό πακέτο Xilinx Foundation Series 3.1i στο ολοκληρωμένο, πραγματοποιήθηκε στα πλαίσια της ανάπτυξης του συστήματος με δύο τρόπους.

Ο πρώτος τρόπος προγραμματισμού του FPGA ήταν ο Slave Serial, ο οποίος υλοποιείται με τη βοήθεια του καλωδίου Xchecker (Σχήμα Γ.1) και του λογισμικού εργαλείου HARDWARE DEBUGGER του πακέτου ανάπτυξης της Xilinx. Το καλώδιο Xchecker χρησιμοποιείται για τον προγραμματισμό, την επαλήθευση και τον έλεγχο των σφαλμάτων του κυκλώματος. Περιέχει κύκλωμα που αποτελείται από ένα FPGA, που λειτουργεί ως διεπαφή μεταξύ του λογισμικού του Xchecker και του FPGA που πρόκειται να προγραμματιστεί, μια SRAM, όπου αποθηκεύονται τα δεδομένα του προγραμματισμού και της επαλήθευσης και ένα κύκλωμα ταλαντωτή, που παρέχει το ρολόι χρονισμού του προγραμματισμού CCLK. Σε αυτήν την κατάσταση, το FPGA δέχεται σειριακά τα δεδομένα προγραμματισμού στην ακμή ανόδου του σήματος CCLK (Configuration Clock). Οι ακροδέκτες επιλογής προγραμματισμού θα πρέπει να είναι:

$$\langle M0, M1, M2 \rangle = \langle 1, 1, 1 \rangle.$$



ΣΧΗΜΑ Γ.1: Συνδεσμολογία Xchecker για τον προγραμματισμό του FPGA

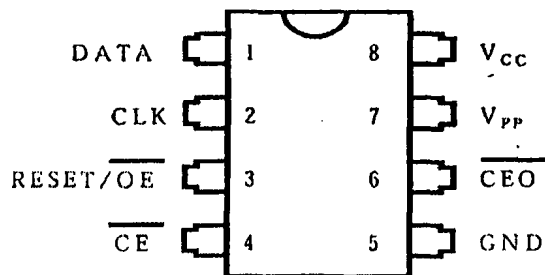
Η άλλη μέθοδος προγραμματισμού του FPGA που χρησιμοποιήθηκε κατά την ανάπτυξη του συστήματος ήταν η Master Serial, η οποία υλοποιείται με τη χρήση μιας σειριακής PROM. Κατά το στάδιο της εφαρμογής (implementation) του κυκλώματος δημιουργείται ένα αρχείο με κατάληξη .bit, το οποίο περιέχει τα δεδομένα προγραμματισμού του FPGA. Στη συνέχεια,



με τη βοήθεια του λογισμικού εργαλείου PROM FILE FORMATTER του πακέτου ανάπτυξης της Xilinx, δημιουργείται ένα αρχείο με κατάληξη .mcs, το οποίο είναι έτοιμο να “φορτωθεί” σε μια PROM. Το έργο του προγραμματισμού της PROM με το .mcs αρχείο το επιτελεί ένας προγραμματιστής μνημών. Το μέγεθος της PROM που χρησιμοποιήσαμε (Σχήμα Γ.2), υπαγορεύθηκε από το μέγεθος του .bit αρχείου (92800 bits), οπότε χρησιμοποιήσαμε την XC17128D (131072 bits), η οποία είναι μιας εγγραφής (OTP-One Time Programmable) (Σχήμα Γ.3).

XC1736E	36,288	x 1 bit
XC1765E	65,536	x 1 bit
XC1765X	65,536	x 1 bit
XC17128E	131,072	x 1 bit
XC17128X	131,072	x 1 bit
XC17256E	262,144	x 1 bit
XC17256X	262,144	x 1 bit

ΣΧΗΜΑ Γ.2: Οι χωρητικότητες των διαθέσιμων PROM για προγραμματισμό των FPGA



ΣΧΗΜΑ Γ.3: Η PROM XC17128D

Κατά τη Master Serial μέθοδο προγραμματισμού, η διαδικασία μεταφοράς των δεδομένων από την PROM προς το FPGA ξεκινά τη στιγμή που επανατροφοδοτείται το FPGA και διεξάγεται με ρυθμό 1 bit δεδομένων κάθε 1 msec περίπου. Οι ακροδέκτες επιλογής προγραμματισμού θα πρέπει να είναι:

$$\langle M0, M1, M2 \rangle = \langle 0, 0, 0 \rangle.$$

Για τον προγραμματισμό της PROM χρησιμοποιήθηκε ο προγραμματιστής SUPERPRO II της εταιρίας Xeltek. Ειδικά για τον προγραμματισμό της XC17128D στο DIP πακέτο των 8 ακροδεκτών είναι απαραίτητος ένας προσαρμογέας (adapter), ο XX17XXD – 8D.

Πρέπει να τονιστεί επίσης, ότι λόγω της σχεδίασης της συνδεσμολογίας της PROM που υλοποιήθηκε στο ROB, επιβάλλεται να γίνεται αλλαγή της πολικότητας του ακροδέκτη 3 της PROM. Συγκεκριμένα, από κατασκευής ο

ακροδέκτης 3 της PROM XC17128D είναι ενεργός σε λογικό επίπεδο '1' (active high), δηλαδή RESET - /O/E, ενώ θα πρέπει να είναι ενεργός σε λογικό επίπεδο '0' (active low), δηλαδή /R/E/S/E/T - OE! Για να καταστεί εφικτή η μετατροπή της πολικότητας, πρέπει να αλλάξουμε τα δεδομένα των διευθύνσεων (4000hex – 4003hex) της PROM από FFhex σε 00hex, μέσω του προγραμματιστή.

Programming Mode Pin Assignments

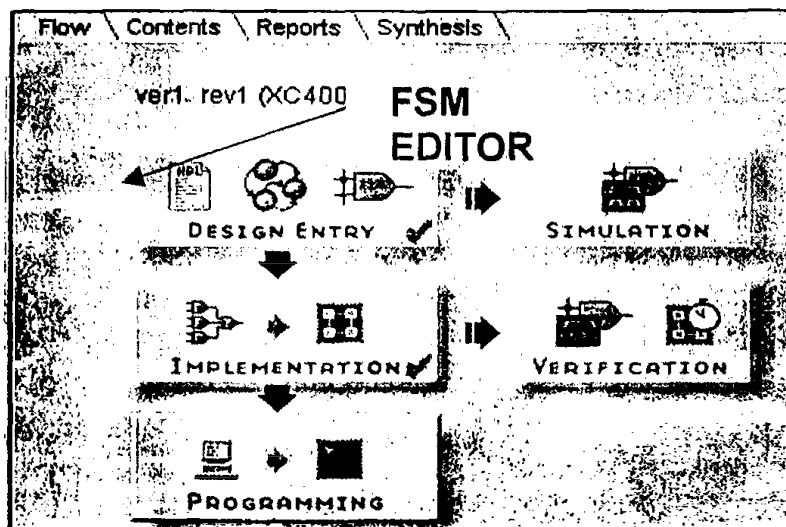
DIP/ SOIC/ VOIC Pin	PLCC Pin	Name	I/O	Description
1	2	Data	I/O	The rising edge of the clock shifts a data word in or out of the SPROM one bit at a time.
2	4	CLK	I	Clock input. Used to increment the internal address/word counter for reading and programming.
3	6	RESET/ \overline{OE}	I	The rising edge of CLK shifts a data word into the PROM when \overline{CE} and \overline{OE} are High; it shifts a data word out of the PROM when \overline{CE} is Low and \overline{OE} is High. The address/word counter is incremented on the rising edge of CLK while \overline{CE} is held High and \overline{OE} is held Low. Note: Any modified polarity of the RESET/ \overline{OE} pin is ignored in the programming mode.
4	8	\overline{CE}	I	The rising edge of CLK shifts a data word into the PROM when \overline{CE} and \overline{OE} are High; it shifts a data word out of the PROM when \overline{CE} is Low and \overline{OE} is High. The address/word counter is incremented on the rising edge of CLK while \overline{CE} is held High and \overline{OE} is held Low.
5	10	GND		Ground pin
6	14	$\overline{CE\overline{O}}$	O	The polarity of the RESET/ \overline{OE} pin can be read by sensing the $\overline{CE\overline{O}}$ pin. Note: The polarity of the RESET/ \overline{OE} pin is ignored while in the programming mode. In final verification, this pin must be monitored to go Low one clock cycle after the last data bit has been read.
7	17	V_{PP}		Programming Voltage Supply. Programming mode is entered by holding \overline{CE} and \overline{OE} High and V_{PP} at V_{PP1} for two rising clock edges and then lowering V_{PP} to V_{PPNOM} for one more rising clock edge. A word is programmed by strobing the device with V_{PP} for the duration T_{PGM} . V_{PP} must be held at V_{CC} for normal operation.
8	20	V_{CC}		V_{CC} power supply input.

ΣΧΗΜΑ Γ.4: Επεξήγηση λειτουργίας των ακροδεκτών της PROM



Δ. ΠΕΡΙΓΡΑΦΗ ΛΕΙΤΟΥΡΓΙΑΣ ΤΟΥ STATE MACHINE EDITOR

Για τη σχεδίαση των στοιχείων (macros) SMMODE0 (Σχήμα Δ.2) και SMMODE1 (Σχήμα Δ.3), τα οποία εμπεριέχονται στο εσωτερικό κύκλωμα του FPGA, χρησιμοποιήθηκε το εργαλείο FSM Editor από το πρόγραμμα Project Manager του λογισμικού πακέτου Xilinx Foundation Series 3.1i της εταιρίας Xilinx (Σχήμα Ε.1). Με τη βοήθεια του συγκεκριμένου εργαλείου, ο χρήστης μπορεί να σχεδιάσει μηχανές καταστάσεων (state machines), να δηλώσει τα σήματα εισόδου και εξόδου της μηχανής και στη συνέχεια να δημιουργήσει μακροσκοπικό στοιχείο (macro), που να αντιπροσωπεύει τη μηχανή που σχεδίασε.

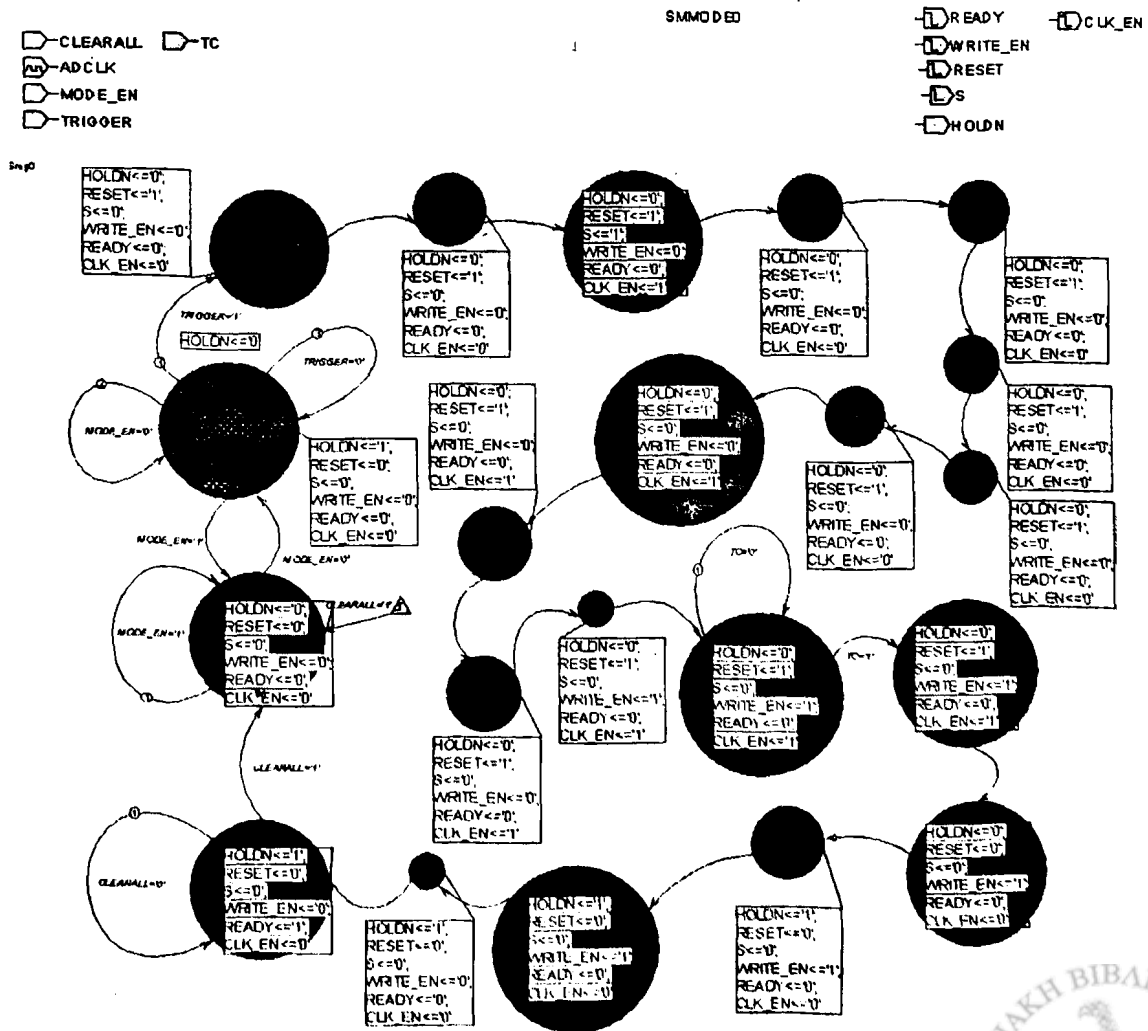


ΣΧΗΜΑ Δ.1: Επιλογή του εργαλείου FSM Editor στο περιβάλλον του Project Manager του λογισμικού πακέτου Xilinx Foundation Series.

Στο περιβάλλον του FSM Editor η σχεδίαση της μηχανής πραγματοποιείται κατά κύριο λόγο με την επιλογή FSM, από όπου ο χρήστης μπορεί να εισάγει στη μηχανή του μια κατάσταση (*state*), μια μετάβαση (*transition*), μια συνθήκη (*condition*), μια ενέργεια (*action*), ένα σήμα (*signal*), ένα σήμα επανεκκίνησης (*reset*) ή μια θύρα εισόδου, εξόδου, αμφίδρομη (*input / output / bidirectional port*). Ειδικότερα, μια *state*, που συμβολίζεται με έναν κύκλο, δηλώνει ότι στη συγκεκριμένη χρονική στιγμή της λειτουργίας της μηχανής τα σήματα που ελέγχει η μηχανή έχουν συγκεκριμένα λογικά επίπεδα, τα οποία θέτει ο σχεδιαστής. Μια *transition*, που συμβολίζεται με ένα βέλος, επιτρέπει τη μετάβαση, σύγχρονα με τον παλμό του ρολογιού της μηχανής, των σημάτων από μια κατάσταση σε μια νέα. Η εισαγωγή μιας *condition* σε μια μετάβαση θέτει περιορισμούς, που δηλώνονται από το σχεδιαστή, ως προς τη μετάβαση των σημάτων κατά τη λειτουργία της μηχανής, από μια κατάσταση σε νέα κατάσταση. Είναι δυνατόν να συνυπάρχουν περισσότερες των μία συνθήκες για τη μετάβαση των σημάτων σε νέες καταστάσεις, αρκεί να έχει δηλωθεί από το σχεδιαστή η

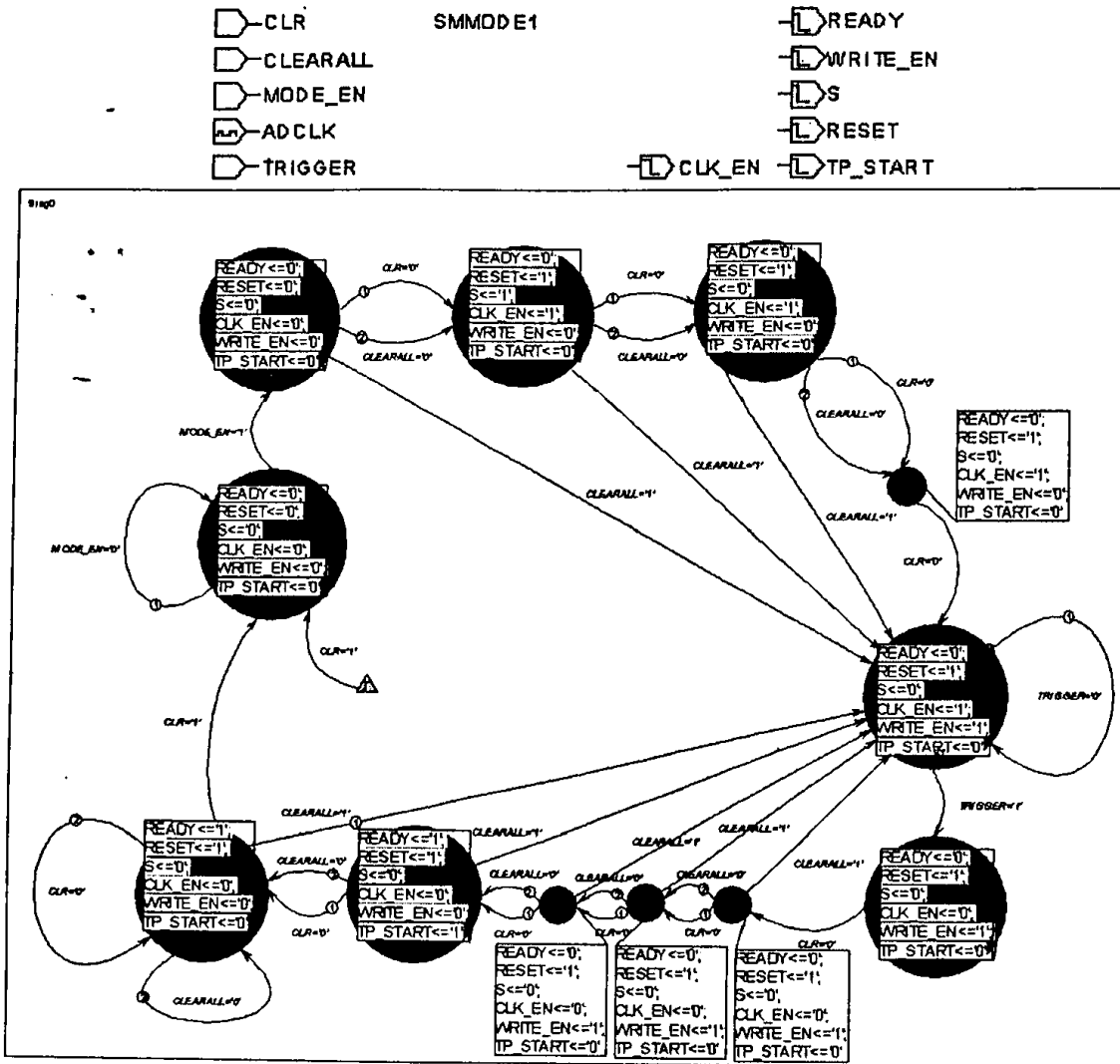
προτεραιότητα (*priority*) με την οποία θα πρέπει η μηχανή να τις λαμβάνει υπ' όψιν της. Με την εισαγωγή μιας *action* σε μια μετάβαση είναι δυνατόν ο σχεδιαστής να δηλώσει μια αλλαγή στην κατάσταση της μηχανής, που θα πρέπει να ενεργοποιηθεί κατά τη πραγματοποίηση της συγκεκριμένης μετάβασης. Ο σχεδιαστής μπορεί να εισάγει σε οποιοδήποτε σημείο της μηχανής ένα εσωτερικό σήμα με την επιλογή *signal*, αρκεί να δηλώσει το λογικό της επίπεδο. Με την εφαρμογή της επιλογής *reset* ορίζεται η αρχική κατάσταση της μηχανής, δηλαδή η κατάσταση στην οποία θα βρίσκεται η μηχανή σε κάθε σήμα επανεκκίνησης που θα δέχεται. Τέλος, οι *ports* αποτελούν τις θύρες εισόδου ή εξόδου των σημάτων, με τα οποία επικοινωνεί η μηχανή με το εξωτερικό της περιβάλλον.

Όταν ολοκληρωθεί η σχεδίαση της μηχανής, ο χρήστης δίνει εντολή να παραχθεί ο κώδικας HDL, που αντιστοιχεί στη σχεδίαση του με την επιλογή *HDL Code Generation* από το μενού *Synthesis*. Κατόπιν, από το ίδιο μενού γίνεται σύνθεση του σχεδίου με την επιλογή *Synthesize*, οπότε και γίνεται έλεγχος για πιθανά σφάλματα του σχεδίου. Αφού γίνει επιτυχής σύνθεση του σχεδίου, πρέπει να δοθεί η εντολή δημιουργίας μακροσκοπικού στοιχείου για το συγκεκριμένο σχέδιο με την επιλογή *Create Macro* από το μενού *Project*, οπότε και ολοκληρώνεται η δημιουργία της μηχανής και είναι έτοιμη να εισαχθεί σε κάποιο κύκλωμα ως μακροσκοπικό στοιχείο.



ΣΧΗΜΑ Δ.2: Η μηχανή καταστάσεων της υπομονάδας μεθόδου δειγματοληψίας MODE0.



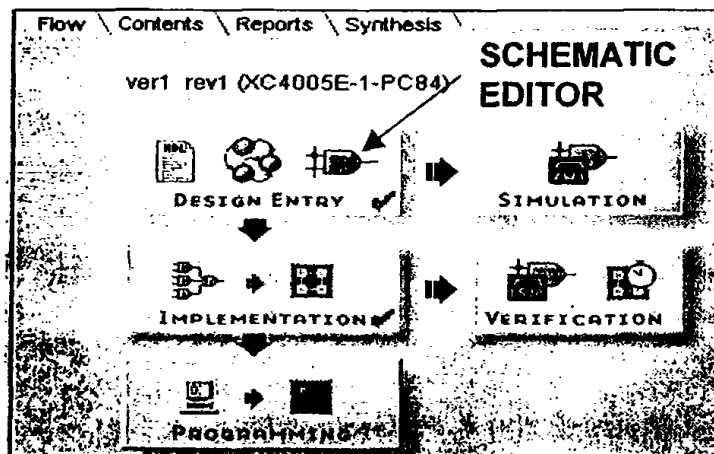


ΣΧΗΜΑ Δ.3: Η μηχανή καταστάσεων της υπομονάδας μεθόδου δειγματοληψίας MODE1.



Ε. ΥΠΟΜΟΝΑΔΕΣ ΕΣΩΤΕΡΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ ΤΟΥ FPGA

Σε αυτό το παράρτημα γίνεται μια παρουσίαση του εσωτερικού κυκλώματος, με το οποίο προγραμματίζεται το FPGA. Στον παραπάνω πίνακα (Πίνακας Ε.1) παραθέτονται όλοι οι ακροδέκτες του ολοκληρωμένου. Επίσης, στον ίδιο πίνακα αναφέρεται και η λειτουργία που έχει ανατεθεί σε κάθε έναν από τους ακροδέκτες, σύμφωνα με το κύκλωμα που "φορτώνεται" στο FPGA. Η σχεδίαση του εσωτερικού κυκλώματος στηρίχθηκε κατά κύριο λόγο στο εργαλείο Schematic Editor του Project Manager του λογισμικού πακέτου Xilinx Foundation Series 3.1i (Σχήμα Ε.1). Με τη χρήση αυτού του εργαλείου, η σχεδίαση του κυκλώματος υλοποιείται σε επίπεδο πυλών.

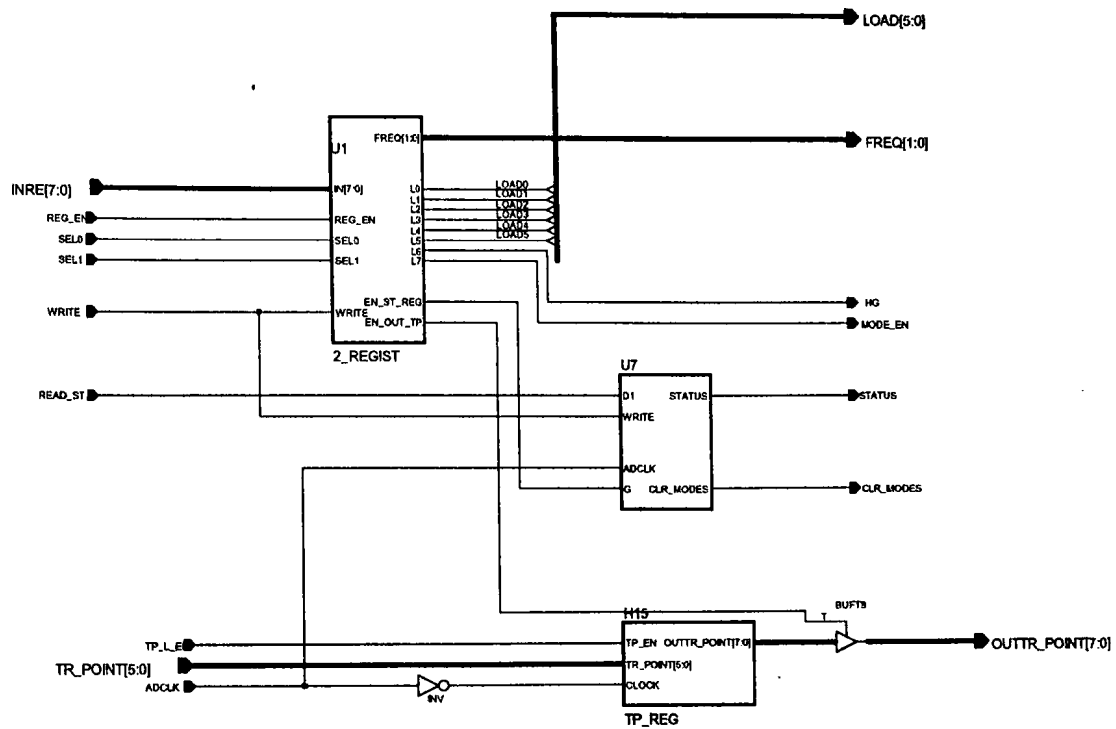


ΣΧΗΜΑ Ε.1: Επιλογή του εργαλείου Schematic Editor στο περιβάλλον του Project Manager του λογισμικού πακέτου Xilinx Foundation Series.

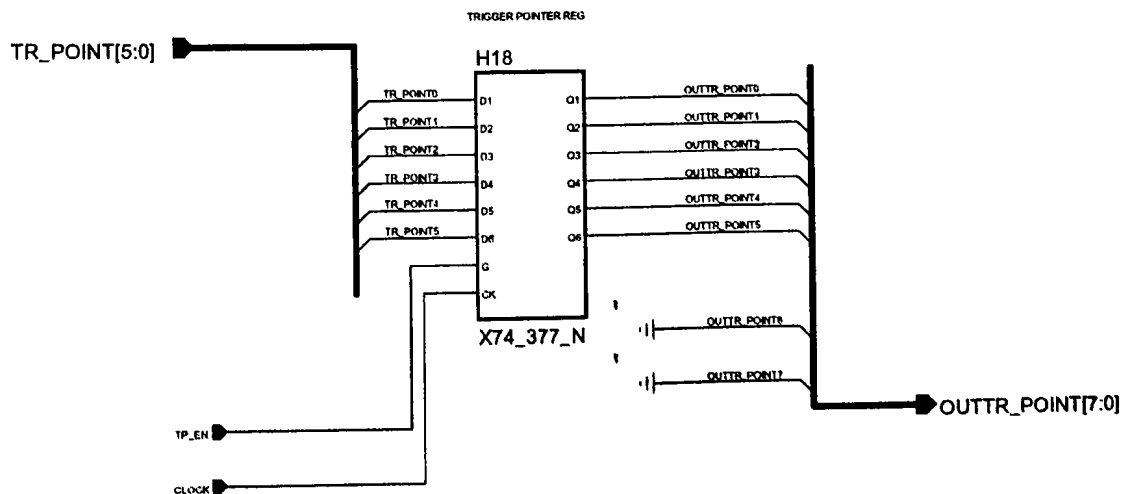
Αξίζει να σημειωθεί ότι για τη σχεδίαση κάποιων επιμέρους τμημάτων του κυκλώματος χρησιμοποιήθηκαν διαφορετικά εργαλεία από το Schematic Editor. Αυτό κρίθηκε σκόπιμο, ώστε να απλοποιηθεί το κύκλωμα, να διευκολυνθεί ο σύγχρονος σχεδιασμός του και να γίνει πιο συμπαγές καταλαμβάνοντας λιγότερους πόρους του FPGA. Συγκεκριμένα, στην υπομονάδα εσωτερικής μνήμης RAM, τα στοιχεία (macros) DPRAM48x12 και CB35 (Σχήμα Ε.12) έχουν σχεδιαστεί με τη βοήθεια του εργαλείου LogiBLOX Module Generator, που προσφέρεται στην επιλογή Tools του Schematic Editor. Επίσης, στις υπομονάδες μεθόδου δειγματοληψίας MODE0 και MODE1, τα στοιχεία SMMODE0 και SMMODE1 (Σχήμα Ε.13) σχεδιάστηκαν με τη βοήθεια του εργαλείου FSM Editor του Project Manager του λογισμικού πακέτου Xilinx Foundation Series 3.1i.

Στη συνέχεια του παραρτήματος παρουσιάζονται αναλυτικά όλες οι υπομονάδες και τα περιλαμβανόμενα σε αυτές στοιχεία (Σχήματα Ε.2 – Ε.18), του εσωτερικού κυκλώματος του FPGA (Σχήμα 3.3).

E.1 ΥΠΟΜΟΝΑΔΑ ΚΑΤΑΧΩΡΗΤΩΝ

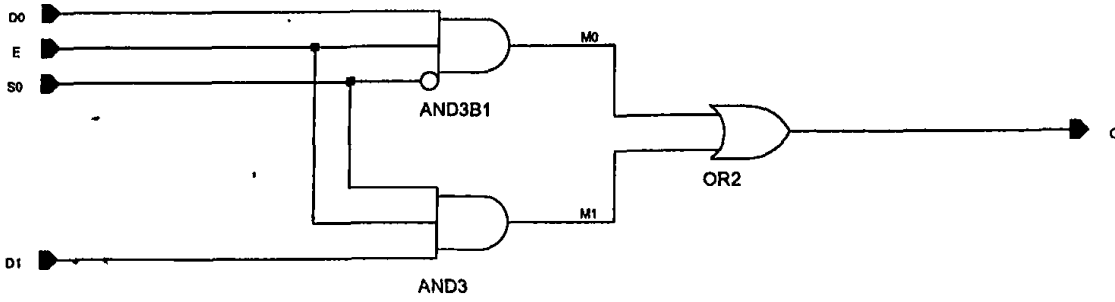


ΣΧΗΜΑ Ε.2: Σχηματικό του 4_REGIST.

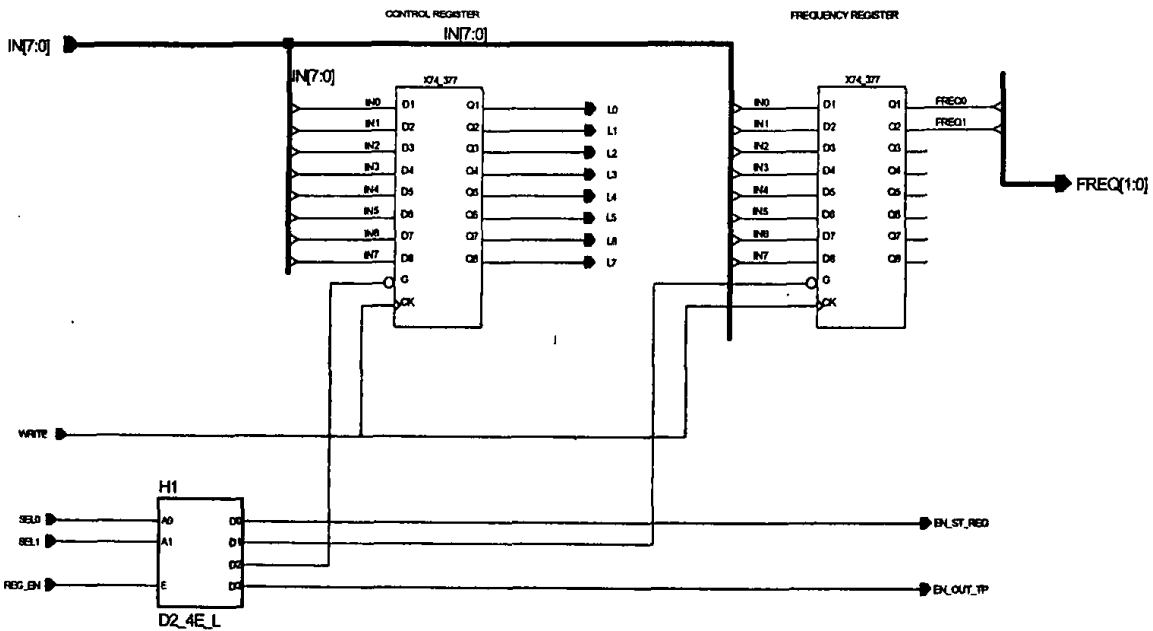


ΣΧΗΜΑ Ε.3: Σχηματικό του TP_REG.

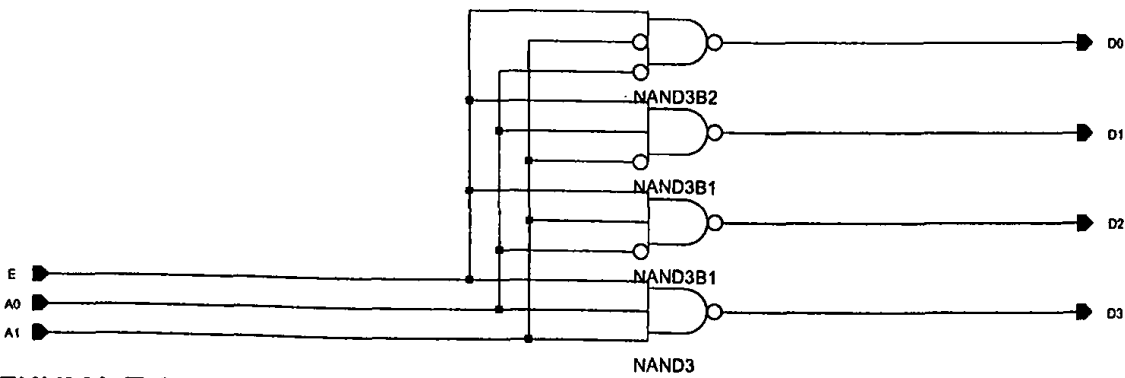




ΣΧΗΜΑ Ε.4: Σχηματικό του STATUS_R.

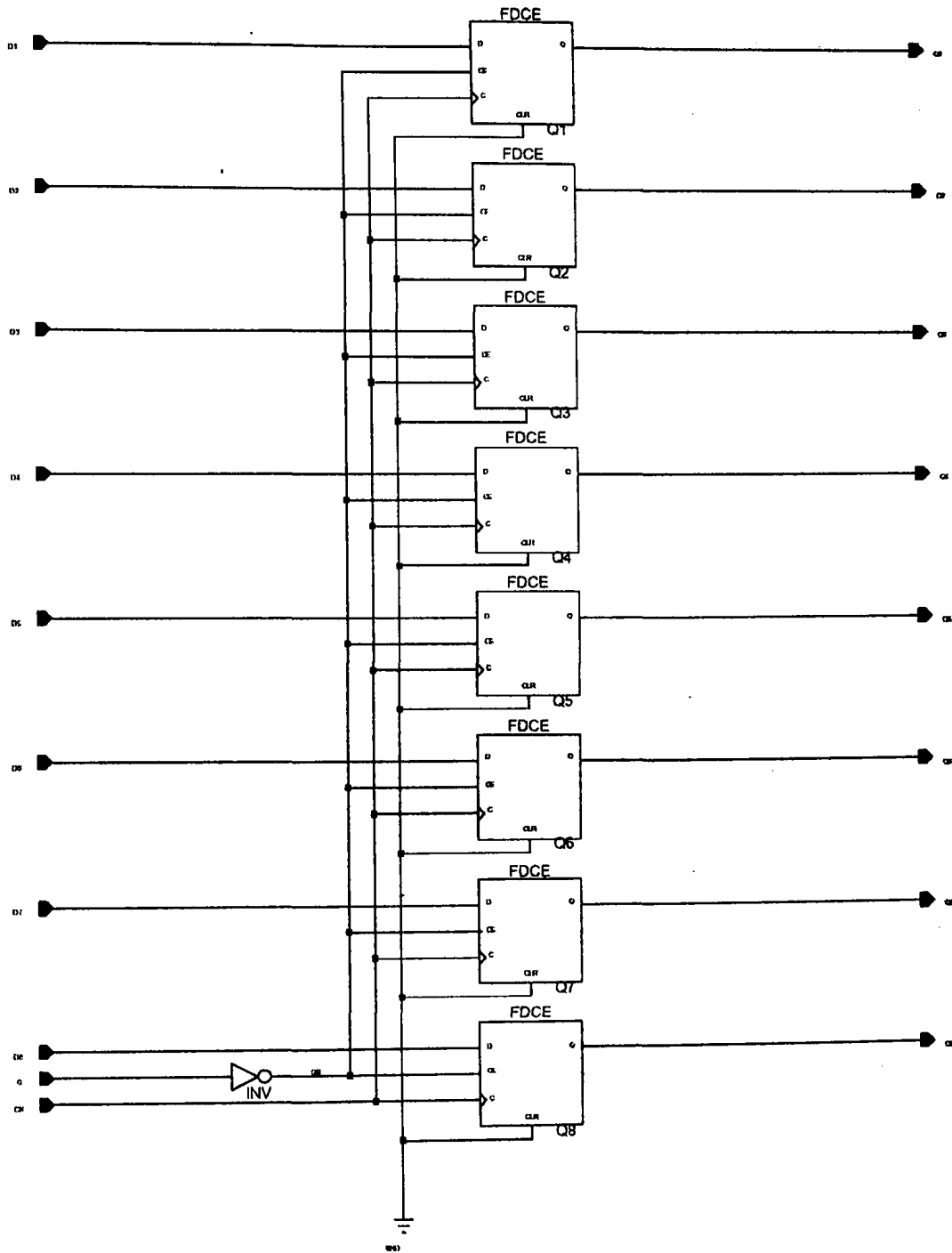


ΣΧΗΜΑ Ε.5: Σχηματικό του 2_REGIST.



ΣΧΗΜΑ Ε.6: Σχηματικό του D2_4E_L.

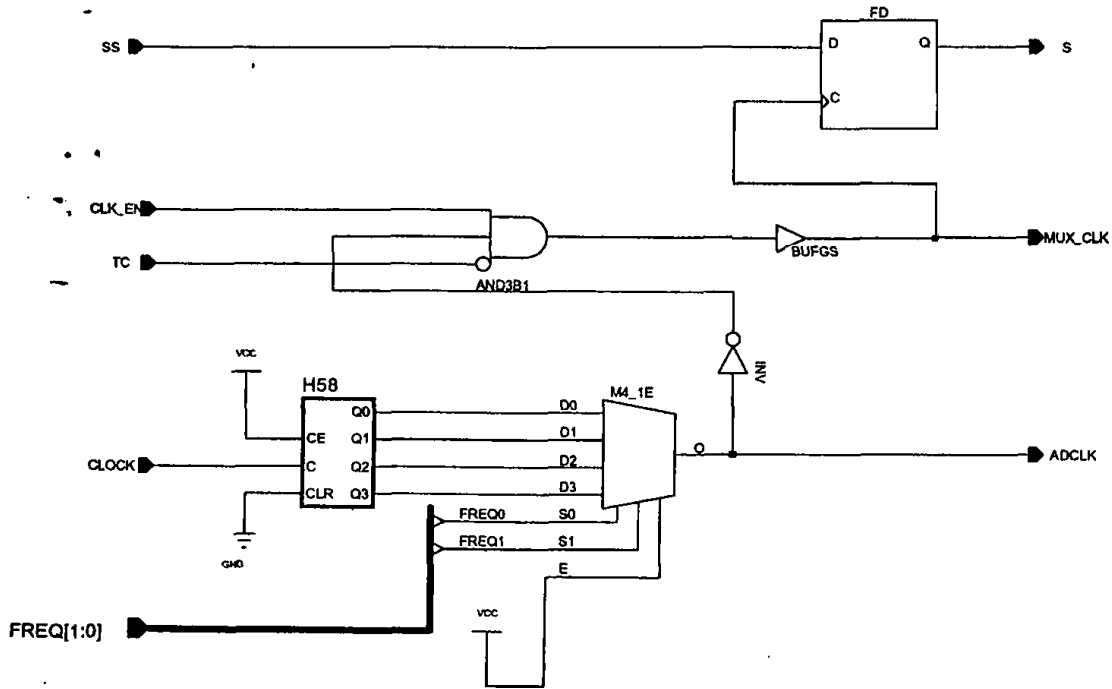




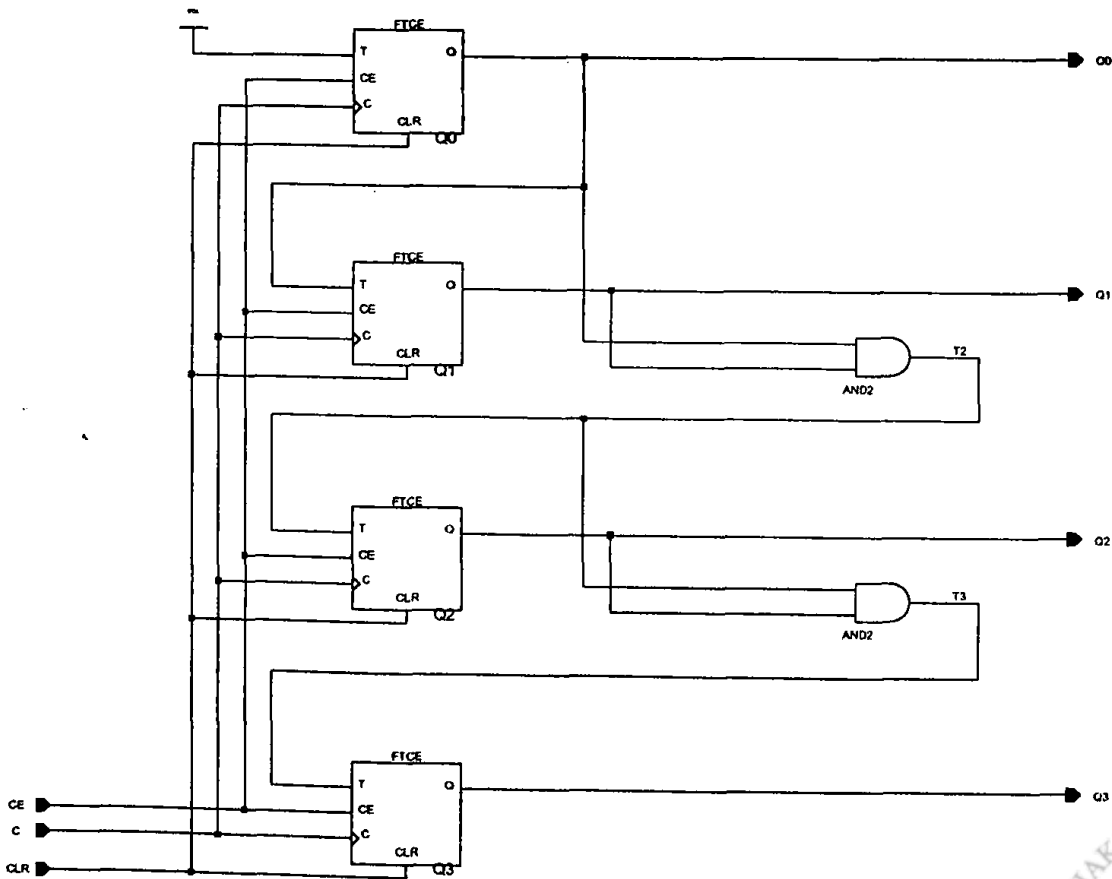
ΣΧΗΜΑ Ε.7: Σχηματικό του X74_377.



Ε.2 ΥΠΟΜΟΝΑΔΑ ΔΙΑΙΡΕΣΗΣ ΚΑΙ ΔΙΑΝΟΜΗΣ ΤΩΝ ΡΟΛΟΓΙΩΝ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ

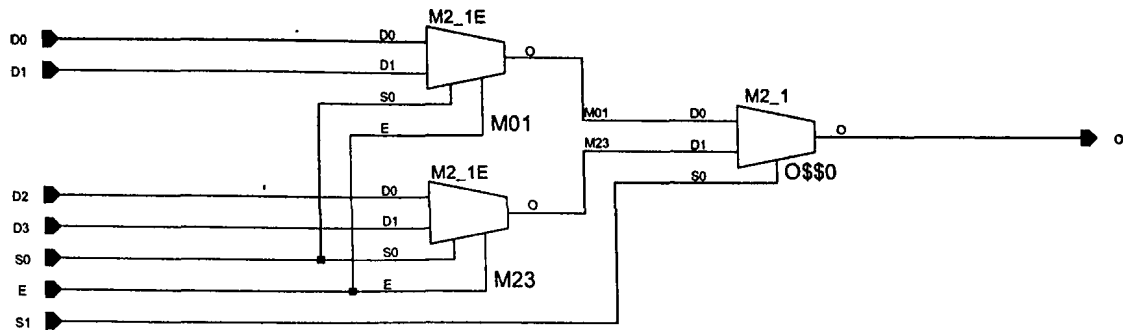


ΣΧΗΜΑ Ε.8: Σχηματικό του CLK_DIV.

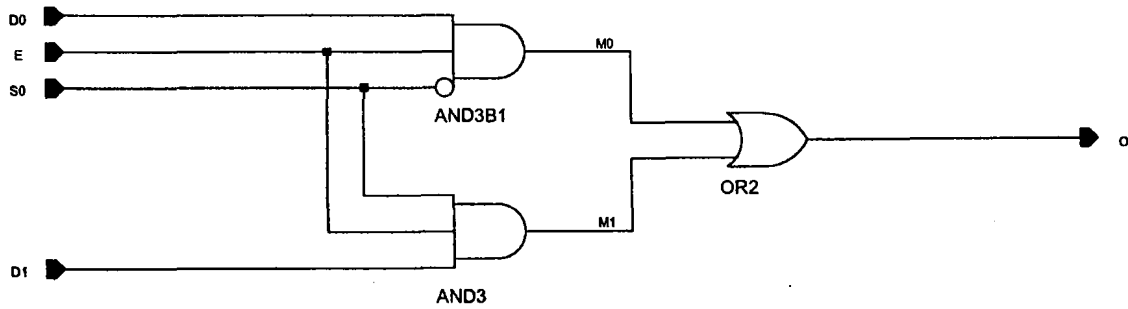


ΣΧΗΜΑ Ε.9: Σχηματικό του CB4CE_N.



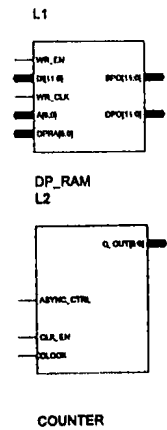


ΣΧΗΜΑ Ε.10: Σχηματικό του M4_1E.



ΣΧΗΜΑ Ε.11: Σχηματικό του M2_1E.

Ε.3 ΥΠΟΜΟΝΑΔΑ ΕΣΩΤΕΡΙΚΗΣ ΜΝΗΜΗΣ RAM



ΣΧΗΜΑ Ε.12: LogiBLOX στοιχείο DPRAM48x12 και LogiBLOX στοιχείο CB35.



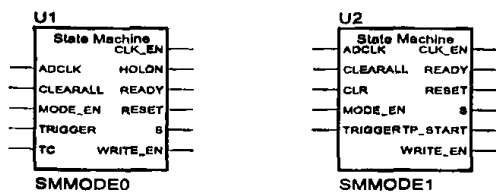
Οι παράμετροι που χαρακτηρίζουν το στοιχείο DPRAM48x12 είναι οι ακόλουθοι:

Module Name.....dpram48x12
 Module Type.....Memories
 Data Bus Width.....12
 Memory Type.....DP_RAM
 Memory Depth.....48
 Multiplexer Style.....Maximum Speed
 Use RPMs.....False.

Οι παράμετροι που χαρακτηρίζουν το στοιχείο CB35 είναι οι ακόλουθοι:

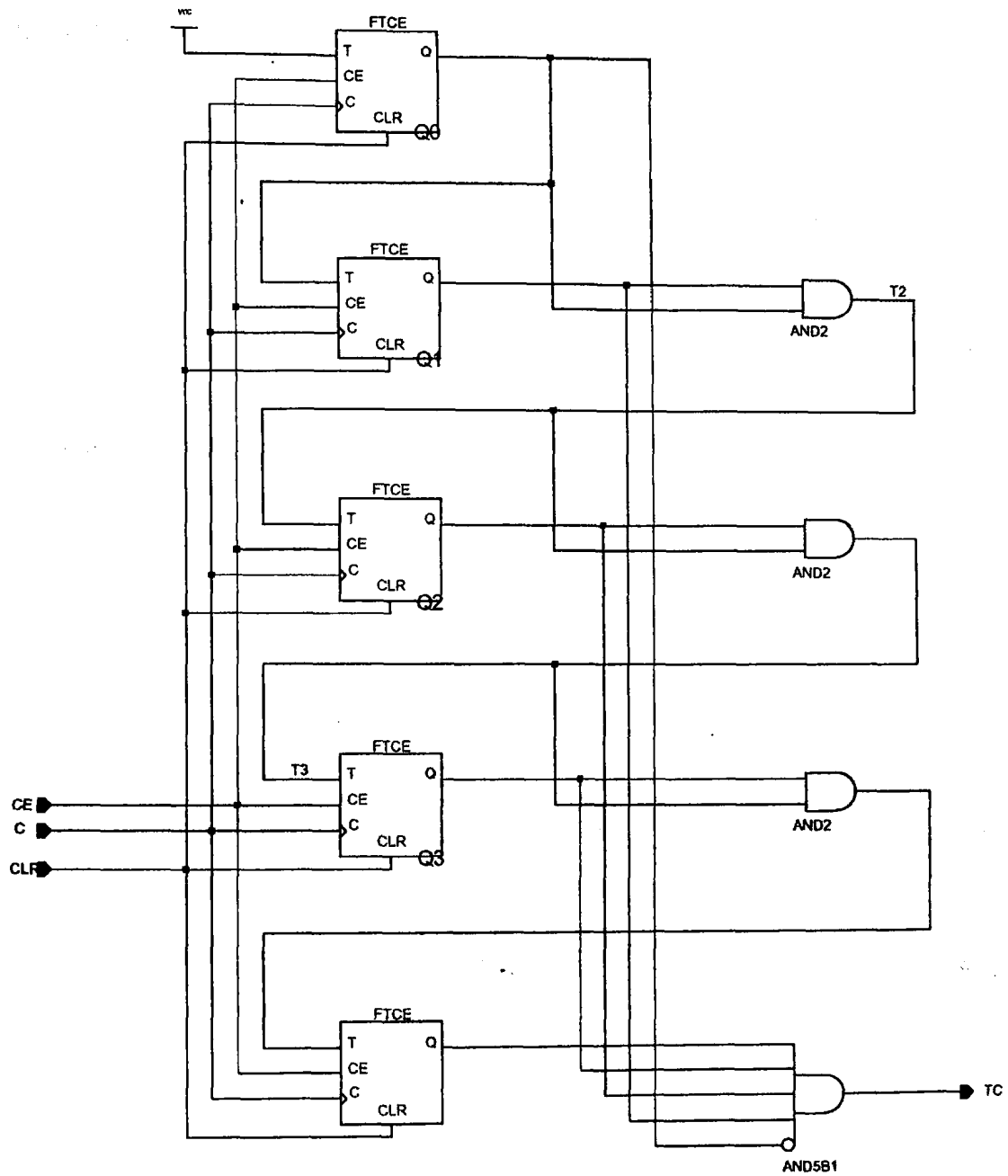
Module Name.....CB35
 Module Type.....Counters
 Bus Width.....6
 Module Pins.....Async. Control, Clock Enable,
 Q_OUT
 Operation.....Up
 Style.....Maximum Speed
 Encoding.....Binary
 Count Limit.....35
 Async. Val.....0.

E.4 ΥΠΟΜΟΝΑΔΕΣ ΜΕΘΟΔΟΥ ΔΕΙΓΜΑΤΟΛΗΨΙΑΣ MODE0 ΚΑΙ MODE1

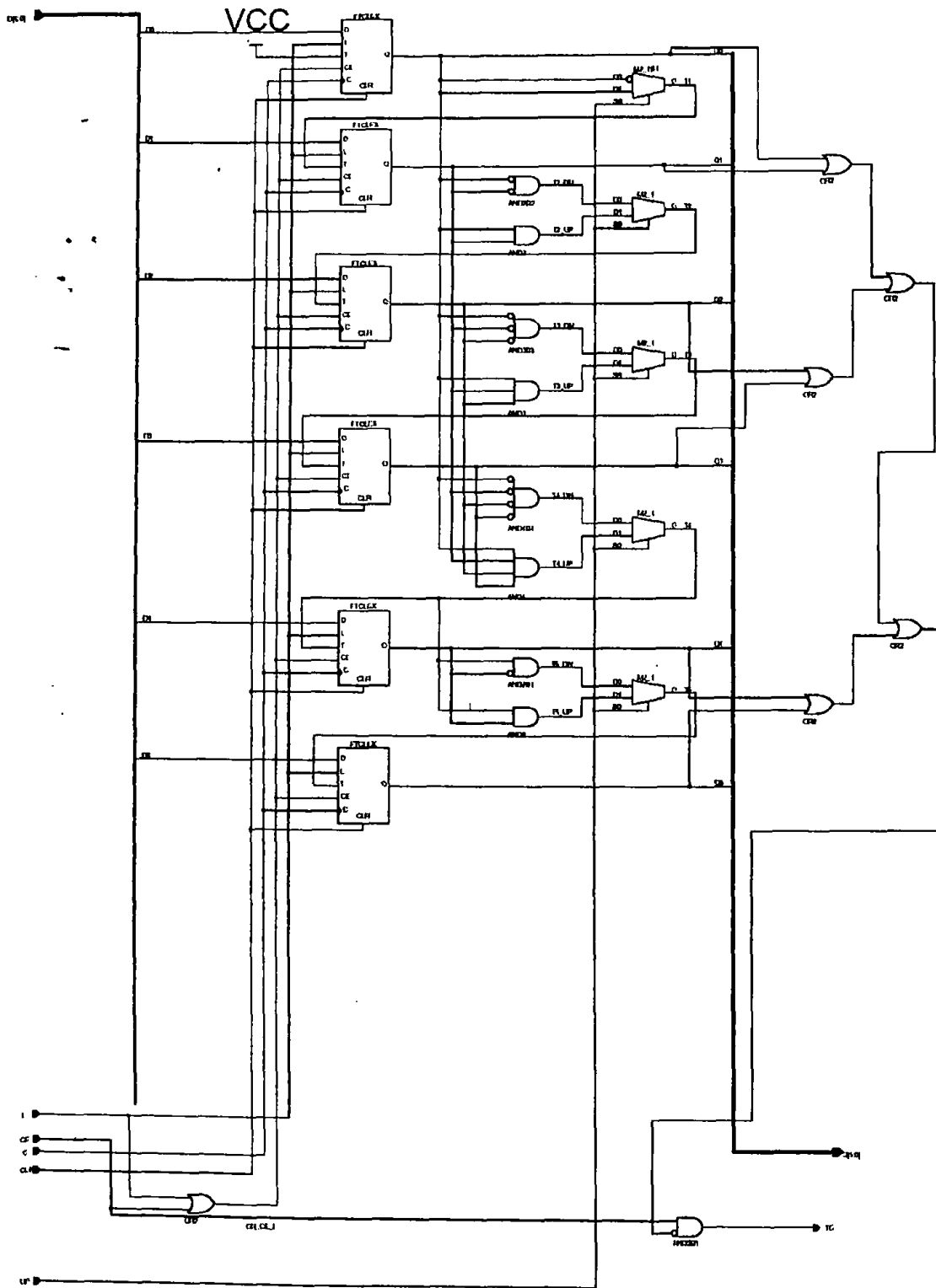


ΣΧΗΜΑ Ε.13: State Machine στοιχεία (macros) SMMODE0 και SMMODE1.





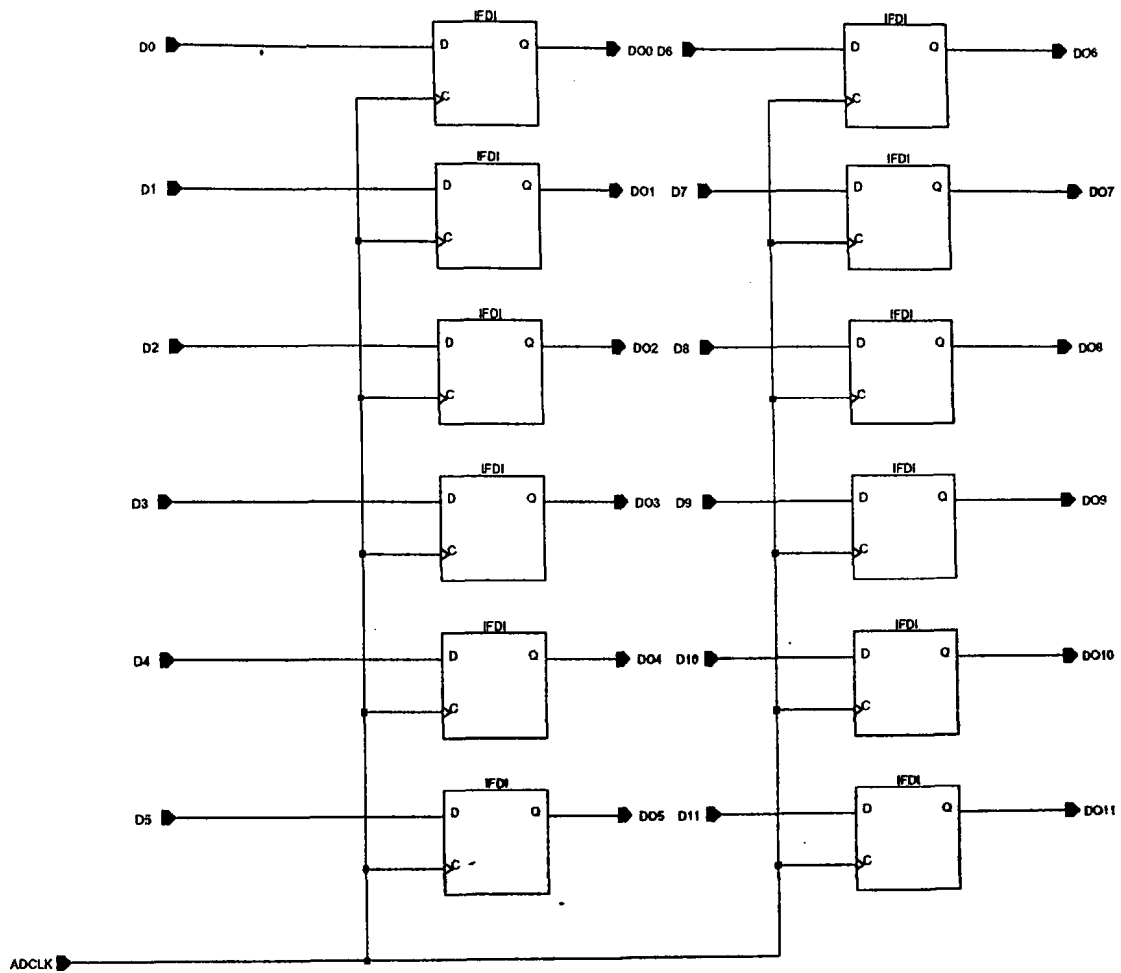
ΣΧΗΜΑ Ε.14: Σχηματικό του CB5CE.



ΣΧΗΜΑ Ε.15: Σχηματικό του CB8CLED_N2.

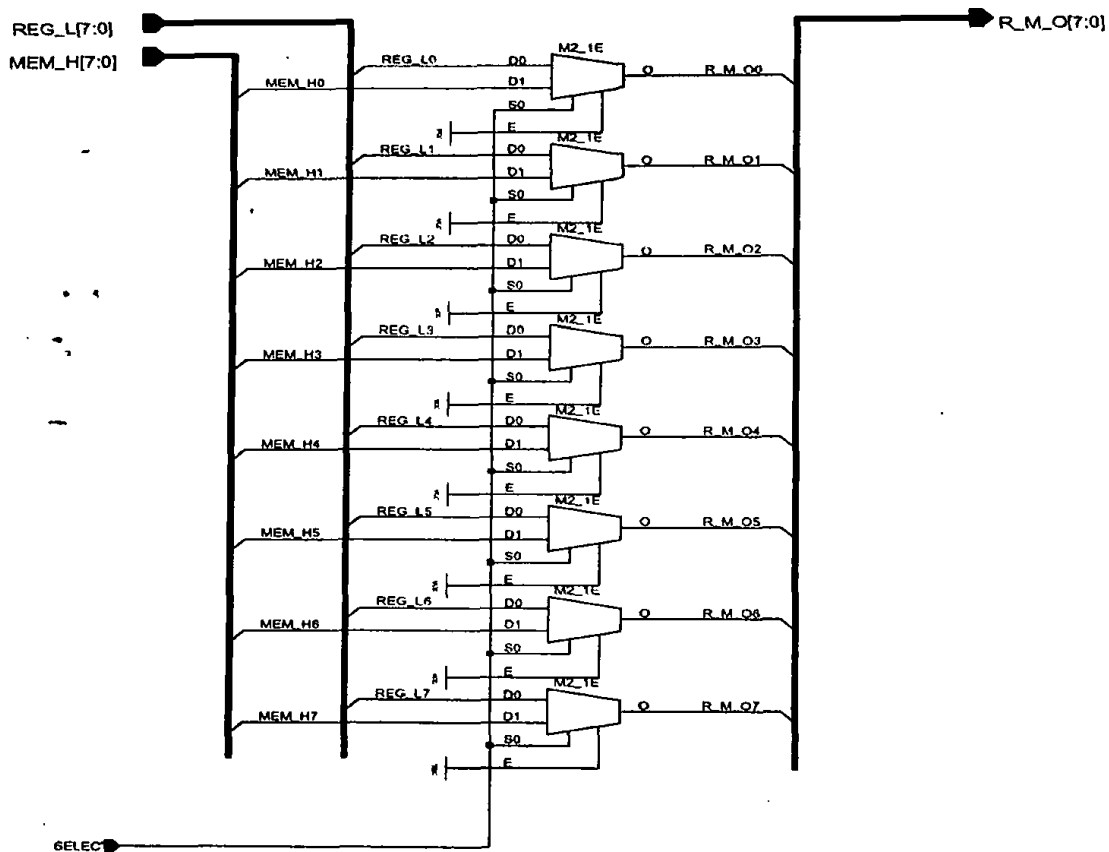


Ε.5 ΛΟΙΠΑ ΣΤΟΙΧΕΙΑ ΚΥΚΛΩΜΑΤΟΣ

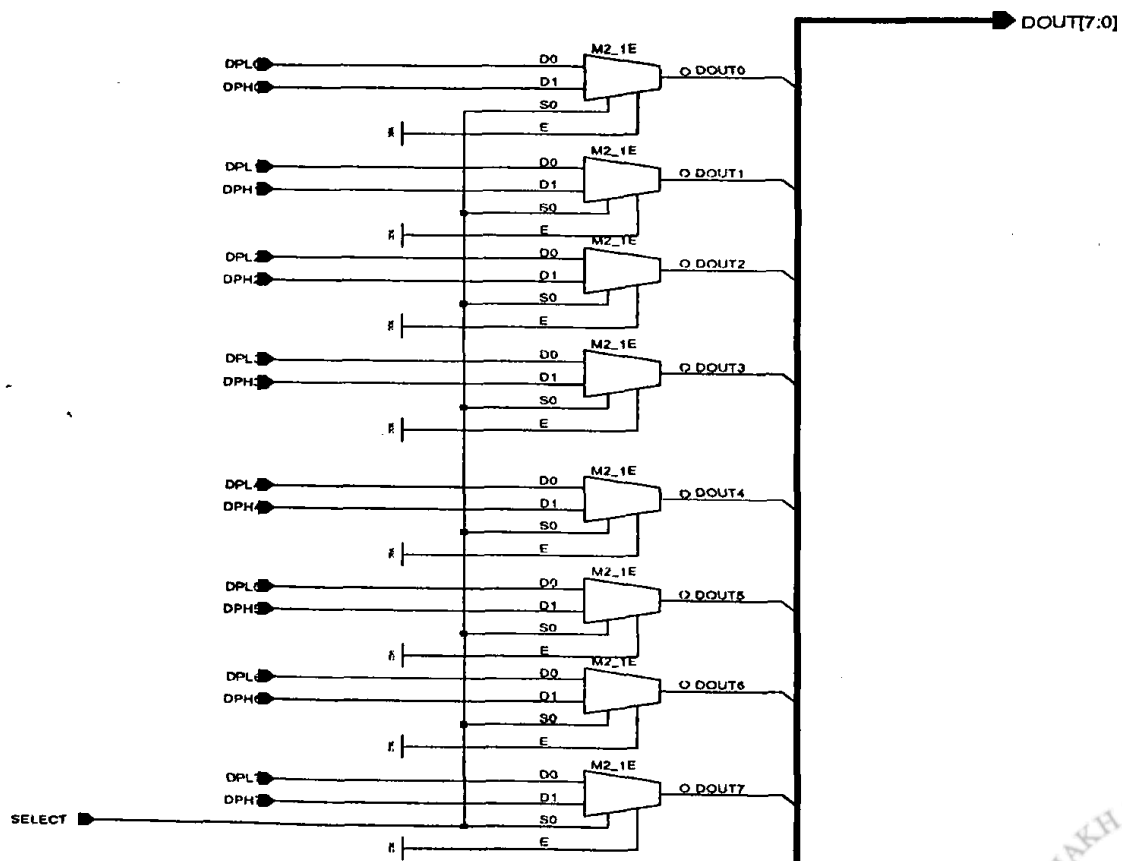


ΣΧΗΜΑ Ε.16: Σχηματικό του IFDI12.



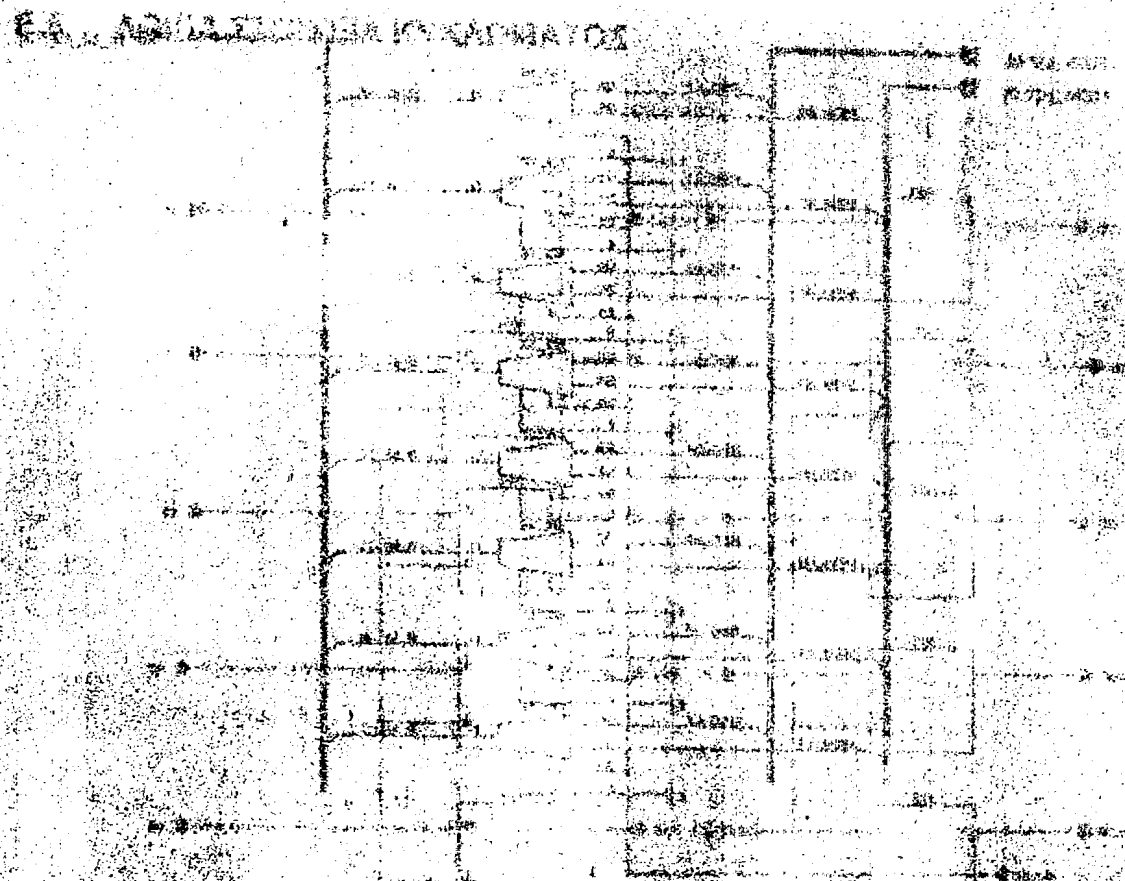


ΣΧΗΜΑ Ε.17: Σχηματικό του MUX2_1_8N.

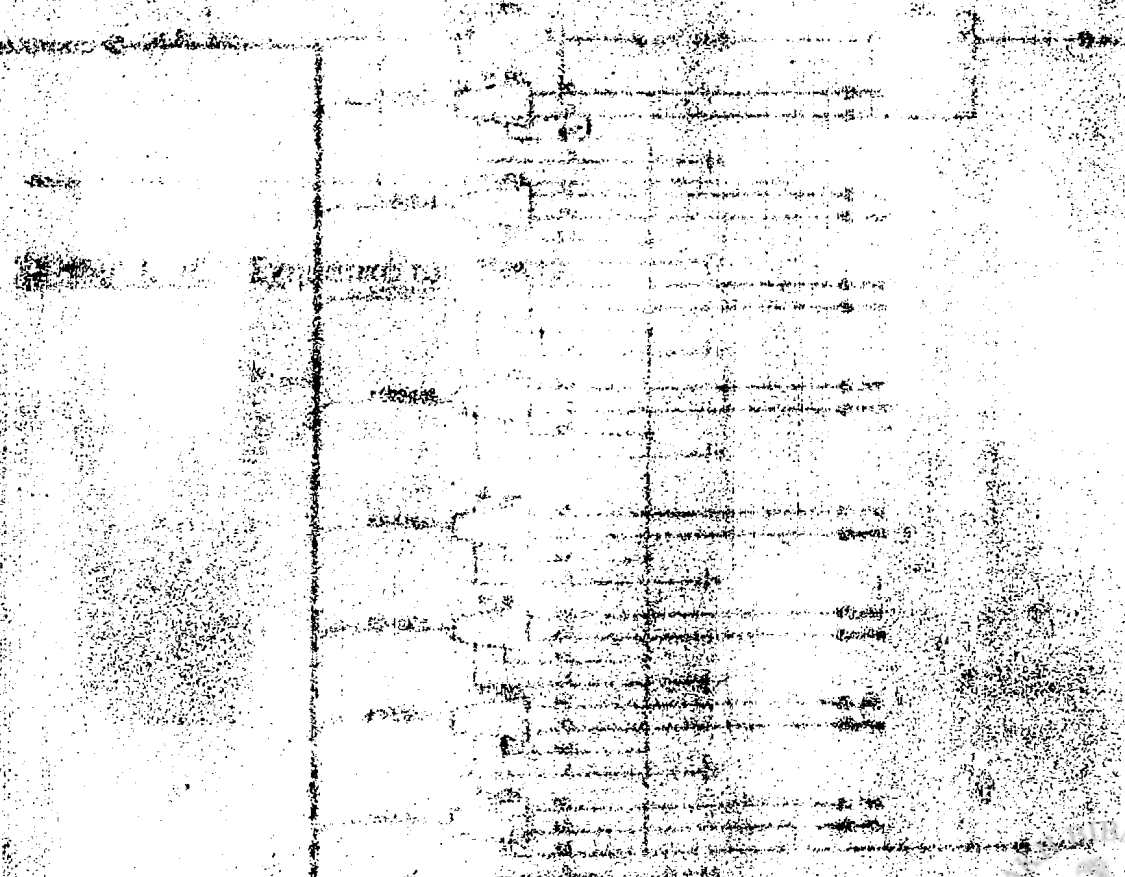


ΣΧΗΜΑ Ε.18: Σχηματικό του MUX2_1_8.





Υπομονάδες εσωτερικού κυκλώματος του FPGA



Υπομονάδες εσωτερικού κυκλώματος του FPGA



ΣΤ. ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΤΟΥ ΜΙΚΡΟΕΛΕΓΚΤΗ ΜΕ ΚΩΔΙΚΑ ΣΕ ΓΛΩΣΣΑ ASSEMBLY

Ο μικροελεγκτής του συστήματος προγραμματίστηκε με τη βοήθεια της συσκευής προγραμματισμού SUPERPRO II της εταιρίας XELTEK, που είναι διαθέσιμος στο ΕΦΥΕ [32]. Η διαδικασία προγραμματισμού του μικροελεγκτή αρχίζει με τη συγγραφή του κώδικα λειτουργίας του, ο οποίος υλοποιείται σε γλώσσα προγραμματισμού Assembly. Για τη συγγραφή του κώδικα χρησιμοποιείται το εργαλείο Notepad των Windows και σώζεται με την κατάληξη .A51. Στη συνέχεια, ο κώδικας γίνεται compiled με τη βοήθεια του προγράμματος Unw51.exe, οπότε και δημιουργείται το αρχείο του κώδικα με την κατάληξη .obj. Κατόπιν, για να δημιουργηθεί το αρχείο του κώδικα με την κατάληξη .hex πρέπει να τρέξει το πρόγραμμα oh51.exe με τη γραμμή εντολής: "oh51 filename.obj". Το αρχείο του κώδικα με την κατάληξη .hex είναι αυτό που θα "φορτωθεί" στο μικροελεγκτή με τη βοήθεια του λογισμικού Sp2. Σε αυτό το πρόγραμμα δηλώνεται το αρχείο του κώδικα, η συσκευή που θα προγραμματιστεί και τέλος με την επιλογή λειτουργίας Auto, η συσκευή σβήνεται, εγγράφεται με τον κώδικα και γίνεται επαλήθευση ότι η συσκευή προγραμματίστηκε επιτυχώς.

Ο τελικός κώδικας που γράφτηκε για να προγραμματίσει το μικροελεγκτή του συστήματος είναι ο Dcodev6.a51, ο οποίος παρουσιάζεται στη συνέχεια του παραρτήματος. Ο αρχικός κώδικας έχει γραφτεί από το συνάδελφο κ Χριστοφιλάκη, ενώ οι απαραίτητες διορθώσεις και αλλαγές που προέκυψαν ώστε να προσαρμοστεί ο κώδικας στις ανάγκες του συστήματος πραγματοποιήθηκαν από τον γράφοντα.



```

;@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@;
; Dcodev6.a51
; LAST UPDATE:30/04/01 & 14/06/01
; OLD VERSION:Dcodev5.a51

```

```

-----
; Author   :   Vasilis Christofilakis
;           :   HEP LAB, University of Ioannina
; Modified by: Nikos Tzoulis
;           :   HEP LAB, University of Ioannina
;
; For further information contact   : vchrist@iit.demokritos.gr
;
;                                     or      me00403@cc.uoi.gr

```

```

;@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@;

```

```

*****
;
;                               PSEUDO OPS
;
*****

```

```

-----
;
;                               Constants
;

```

```

READ_COMMAND      EQU  52H      ;ASCII 'R'
WRITE_COMMAND     EQU  57H      ;ASCII 'W'
B_RATE            EQU  0FFH

```

```

-----
;
;                               Memory addresses
;

```

```

ADDRESS           DATA 20H
DATA_BYTE         DATA 21H
LBYTE            DATA 22H
HBYTE            DATA 23H
;18,19,1A,1B,1C,1D,1E,1F (HEX)

STATUS_FLAG       BIT   78H      ;(byte address 2Fh)
STATUS_PIN        BIT   P3.2

```

```

-----
;
;                               Ports
;

```

```

DATA_PORT         DATA P2
ADDR_PORT         DATA P0
READ_PIN          BIT   P0.7
WRITE_PIN         BIT   P0.6

```



```
*****
;
; BEGIN CODE
;
*****
```

```
ORG 0000H
```

```
SJMP START
```

```
-----
; interrupts
; vector addresses
;
-----
```

```
ORG 0003H ; EXTERNAL IE 0
```

```
ORG 000BH ; T/C IE 0
```

```
ORG 0013H ; EXTERNAL IE 1
```

```
ORG 001BH ; T/C IE 1
```

```
ORG 0023H ; SERIAL, SPI
```

```
ORG 002BH ; TIMER 2 IE
```

```
*****
;
; INITIALIZE
;
*****
```

```
ORG 0033H
```

START:

```
MOV SP,#2FH ;INITIALIZE STACK
```

```
ACALL INITIALIZE
```

again:

```
ACALL MAIN
```

```
LJMP again
```

```
-----
;
; INITIALIZE ROUTINE
;
-----
```

```
-----
; B.R=57600BPS
; TIMER 1 IN AUTORELOAD MODE
; (GENERATE BAUD RATE)
;
-----
```



INITIALIZE:

```

CLR READ_PIN           ;R=0
CLR WRITE_PIN          ;W=0
MOV ADDR_PORT,#0      ;addr = 0
MOV DATA_PORT,#0     ;data = 0

ORL TCON,#0000001B    ;IT0=1

MOV SCON,#50H
MOV TMOD,#00100001B
MOV TH1,#B_RATE       ; BAUD RATE 57600
ORL PCON,#80H         ; SMOD=1 (K=2)
SETB TR1              ; GENERATE B.R
CLR TF0               ;
CLR RI                 ;Clear Receive IE flag
CLR TI                 ;Clear Transmit IE flag

RET                    ;return

```

```

-----
MAIN ROUTINE
-----

```

```

-----
;RECEIVE 1st BYTE
;1st byte --> CTRL BYTE
; R,W,P,S,D
-----

```

MAIN:

```

JNB RI,$               ;byte is received ?
MOV A,SBUF             ;A<--SBUF
CLR RI                 ;Clear RI flag

CHECK_R: CJNE A,#'R',CHECK_W ;Received byte = "R"
LJMP READ              ;YES...Jump to READ label
                      ;ELSE...Jump to CHECK_W

CHECK_W: CJNE A,#'W',CHECK_P ;Received byte = "W"
LJMP WRITE             ;YES...Jump to WRITE label
                      ;ELSE...Jump to CHECK_P

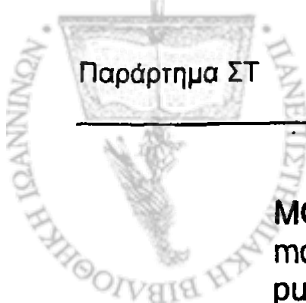
CHECK_P: CJNE A,#'P',CHECK_S ;Received byte = "P"
LJMP SET_CLR_PIN       ;YES...Jump to SET_CLR_PIN label
                      ;ELSE...Jump to CHECK_S

CHECK_S: CJNE A,#'S',CHECK_D ;Received byte = "S"
LJMP STATUS            ;YES...Jump to STATUS label
                      ;ELSE...Continue

CHECK_D: CJNE A,#'D',ERROR ;Received byte = "D"
LJMP DMA               ;YES...Jump to DMA label

```





```

MOV SP,#02FH           ;ELSE...Continue
mov dptr,#Again       ;protect the stack
push dpl               ;
push dph               ;
RET                    ;jump to AGAIN label

```

////////////////////////////////////

;Correct character was not received

ERROR:

```

MOV SP,#02FH           ;protect the stack
mov dptr,#Again       ;
push dpl               ;
push dph               ;
RET                    ;jump to AGAIN label

```

////////////////////////////////////

; READ LABEL

;Read data

```

READ:    JNB RI,$           ;byte is received?
         MOV A,SBUF         ;
         CLR RI            ;

         MOV ADDRESS,A     ;copy address byte to IRAM
         CJNE A,#47,CHECK  ;If Address < 48 then
         AJMP CORRECT_ADDRESS ;jump to correct_address

CHECK:   JNC ERROR         ;else jump to wrong_address
(ERROR)

CORRECT_ADDRESS:
         CLR C              ;clear CY flag
         CLR C
         MOV P0,ADDRESS    ;WRITE ADDR

         CLR P3.3         ;LOW NIBBLE
         SETB READ_PIN    ;READ DATA BYTE
         MOV A,P2         ;
         MOV LBYTE,A      ;SAVE ORIG LOW BYTE IN MEM

```

```

CLR READ_PIN          ;DON'T TRANSMIT YET
                       ;
SETB P3.3             ;HIGH NIBBLE
SETB READ_PIN        ;READ DATA BYTE
MOV A,P2              ;
ANL A,#00001111b     ;HIGH NIBBLE OF THIS BYTE = 0
MOV HBYTE,A          ;SAVE ORIG HIGH BYTE IN MEM
CLR READ_PIN         ;
                       ;DON'T TRANSMIT YET
    
```

```

-----
CLR C                 ;ELSE CONTINUE
CLR RI
CLR TI
MOV SBUF,LBYTE
JNB TI,$
CLR TI               ;1st LOW BYTE
MOV SBUF,HBYTE      ;2nd HIGH BYTE
JNB TI,$
CLR TI
CLR RI

MOV SP,#02FH
mov dptr,#Again
push dpl
push dph
RET                 ;Return to AGAIN label
    
```

```

;////////////////////////////////////
WRONG_ADDRESS:    LJMP ERROR
;////////////////////////////////////
    
```



WRITE LABEL

```

WRITE:          JNB RI,$           ;byte is received?
                MOV A,SBUF
                CLR RI

                MOV ADDRESS,A      ;PROTECT
                CJNE A,#47,CHECK1
                AJMP CORRECT_ADDRESS1
CHECK1:         JNC WRONG_ADDRESS
                CLR C
CORRECT_ADDRESS1:
                CLR C
                JNB RI,$
                MOV A,SBUF
                CLR RI
                MOV DATA_BYTE,A

                MOV P2,DATA_BYTE   ;data
                MOV P0,ADDRESS     ;ADDR
                SETB WRITE_PIN     ;W=1
                CLR WRITE_PIN      ;W=0
                MOV P2,#0FFH       ;P2=0FFH

                MOV SP,#02FH
                mov dptr,#Again
                push dpl
                push dph
                RET

```

SET/CLR PIN LABEL

```

;BYTE IS RECEIVED ONLY FROM PC!
;CHECK THIS BYTE
;IF BYTE (IN B) = '0' THEN SET_PIN (P1.0)=0 (READ REGISTERS IN
FPGA)
;IF BYTE (IN B) = '1' THEN SET_PIN (P1.0)=1 (READ DATA IN FPGA)

```



```

SET_CLR_PIN:   JNB RI,$
                MOV A,SBUF
                CLR RI
                MOV B,A
                XRL A,#'0'           ;ASCII "0"
                JZ CLEAR_PIN
                MOV A,B
                XRL A,#'1'           ;ASCII "1"
                JZ SET_PIN

                MOV SP,#02FH         ;PROTECT THE STACK
                mov dptr,#Again
                push dpl
                push dph
                RET

SET_PIN:       SETB P1.0

                MOV SP,#02FH         ;PROTECT THE STACK
                mov dptr,#Again
                push dpl
                push dph
                RET

CLEAR_PIN:     CLR P1.0

                MOV SP,#02FH         ;PROTECT THE STACK
                mov dptr,#Again
                push dpl
                push dph
                RET

```

```

STATUS:
                MOV C,STATUS_PIN
                MOV STATUS_FLAG,C
                CLR TI
                JC FPGA_is_READY
                MOV SBUF,#'N'
                JNB TI,$
                CLR TI

                MOV SP,#02FH
                mov dptr,#Again
                push dpl
                push dph
                RET

```



```
FPGA_is_READY:
    CLR C
    MOV SBUF,#'Y'
    JNB TI,$
    CLR TI

    MOV SP,#02FH
    mov dptr,#Again
    push dpl
    push dph
    RET
```

```
-----;
DMA LABEL
-----;
```

```
DMA:
    MOV R0,#0
    MOV R1,#35
LOOP_DMA:
    MOV TH0,#0fbh      ;delay
    -----
    MOV TL0,#0f0h      ;
    SETB TR0           ;
    JNB TF0,$          ;
    CLR TF0            ;
    CLR TR0            ;
    MOV P0,R0          ;WRITE ADDR

    CLR P3.3           ;LOW NIBBLE
    SETB READ_PIN     ;READ DATA BYTE
    MOV A,P2           ;
    MOV LBYTE,A       ;SAVE ORIG LOW BYTE IN MEM
    CLR READ_PIN      ;DON'T TRANSMIT YET

    SETB P3.3         ;HIGH NIBBLE
    SETB READ_PIN     ;READ DATA BYTE
    MOV A,P2           ;
    ANL A,#0000111b   ;HIGH NIBBLE OF THIS BYTE = 0
    MOV HBYTE,A       ;SAVE ORIG HIGH BYTE IN MEM
    CLR READ_PIN      ;DON'T TRANSMIT YET
    -----;
```



```
CLR C                ;ELSE CONTINUE
CLR RI
CLR TI               ;
MOV SBUF,LBYTE      ;
JNB TI,$             ;
CLR TI               ;1st LOW BYTE
MOV SBUF,HBYTE      ;2nd HIGH BYTE
JNB TI,$             ;
CLR TI               ;
CLR RI               ;
INC R0
DJNZ R1,LOOP_DMA
MOV SP,#02FH        ;
mov dptr,#Again     ;
push dpl             ;
push dph             ;
RET                  ;Return to AGAIN label
```

~~~~~  
loop\_dma1: ljmp loop\_dma

END



## Ζ. ΠΡΟΤΥΠΟ ΕΠΙΚΟΙΝΩΝΙΑΣ RS232

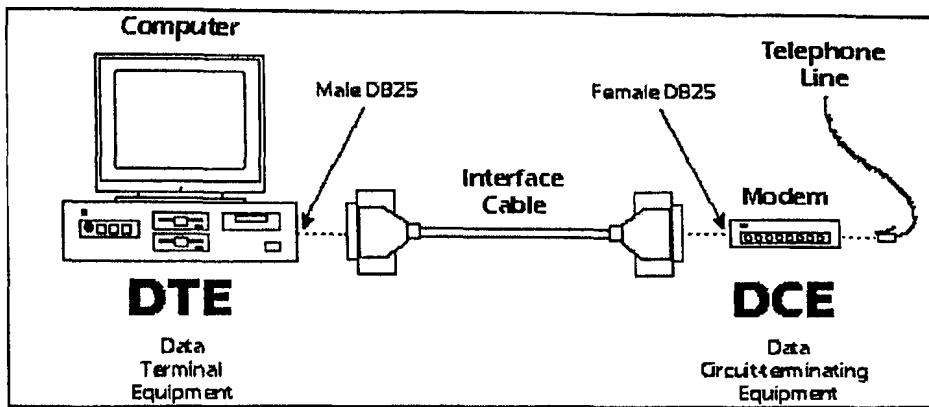
Η μεταφορά δεδομένων μεταξύ του FPGA και του PC όπου τρέχει το περιβάλλον εργασίας του χρήστη, όπως έχει ήδη αναφερθεί, υλοποιείται μέσω σειριακού διαύλου, βασισμένου στο πρότυπο RS232. Στο παρόν παράρτημα δίνονται πληροφορίες που σχετίζονται με τις προδιαγραφές του RS232.

Το πρότυπο RS232 γεννήθηκε ως ιδέα στις αρχές της δεκαετίας του '60, από μια επιτροπή, γνωστή σήμερα ως Σύνδεσμος Βιομηχανιών Ηλεκτρονικών (Electronic Industries Association), η οποία ήθελε να αναπτύξει ένα κοινό πρότυπο διασύνδεσης εξαρτημάτων για τη μεταφορά δεδομένων. Το πρότυπο θα έπρεπε να βασίζεται σε δύο κύρια χαρακτηριστικά, πρώτον να εξασφαλίζει αξιόπιστη επικοινωνία και δεύτερον να επιτρέπει τη διασύνδεση εξαρτημάτων διαφορετικών κατασκευαστών, υιοθετώντας με αυτόν τον τρόπο τα οφέλη της μαζικής παραγωγής και του ανταγωνισμού. Το RS232 καθορίζει τις τάσεις, τους χρονισμούς και τη λειτουργικότητα των σημάτων, το πρωτόκολλο ανταλλαγής πληροφορίας, καθώς και τους μηχανικούς συνδέσμους. Στις αρχές της δεκαετίας του '90, το πρότυπο μετονομάστηκε σε EIA232. Με την πάροδο του χρόνου, εξαιτίας του γεγονότος ότι δεν υιοθετήθηκε ένα συγκεκριμένο, απλοποιημένο πρότυπο, δημιουργήθηκαν πολλά παρεμφερή πρωτόκολλα που ταιριάζουν σε κάθε μηχανικό σύνδεσμο του EIA232, αλλά είναι ασύμβατα μεταξύ τους.

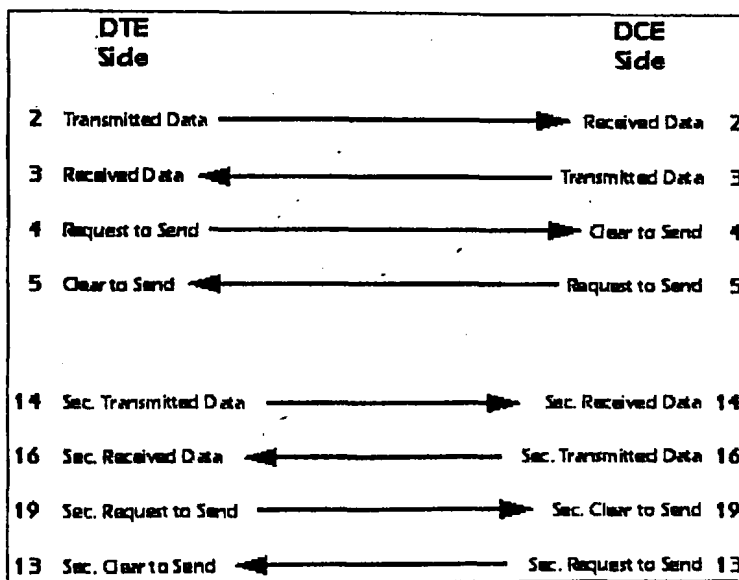
Εφαρμόζοντας το πρότυπο EIA232 στο σύστημα, ο ηλεκτρονικός υπολογιστής έχει το ρόλο της DTE (Data Terminal Equipment) συσκευής, δηλαδή της συσκευής στο απομακρυσμένο άκρο της σύνδεσης, ενώ το ρόλο της DCE (Data Circuit-terminating Equipment) συσκευής που είναι συνδεδεμένη στο πλησιέστερο άκρο της σύνδεσης τον έχει η πλακέτα ROB. Το καλώδιο που συνδέει τις συσκευές DTE και DCE είναι ένα απλό, παράλληλο καλώδιο. Οι συνδετήρες στα άκρα του καλωδίου είναι των 9 ακροδεκτών, αρσενικών στη συσκευή DTE και θηλυκών στη συσκευή DCE (Σχήμα Ζ.1). Οι ορισμοί των ακροδεκτών των συσκευών DTE και DCE κατά την εφαρμογή του προτύπου δίνονται στο Σχήμα Ζ.2.

Για τη μεταφορά της πληροφορίας, το πρότυπο EIA232 χρησιμοποιεί αρνητική, διπολική λογική, στα πλαίσια της οποίας ένα αρνητικής τάσης σήμα αντιπροσωπεύει το λογικό '1' και η θετική τάση αντιπροσωπεύει το λογικό '0'. Τάσεις από  $-3\text{ V}$  έως  $-25\text{ V}$ , σε σχέση με τη γη του καλωδίου, θεωρούνται ως λογικό επίπεδο '1', ενώ τάσεις από  $+3\text{ V}$  έως  $+25\text{ V}$  θεωρούνται ως λογικό επίπεδο '0'. Η περιοχή τάσεων ανάμεσα στα  $-3\text{ V}$  και τα  $+3\text{ V}$  θεωρείται μεταβατική περιοχή, μέσα στην οποία δεν εκχωρείται συγκεκριμένο επίπεδο λογικής στο σήμα. Ο χρόνος μετάβασης ενός σήματος διαμέσου της συγκεκριμένης περιοχής δε θα πρέπει να υπερβαίνει το  $1\text{ msec}$  (Σχήμα Ζ.3).

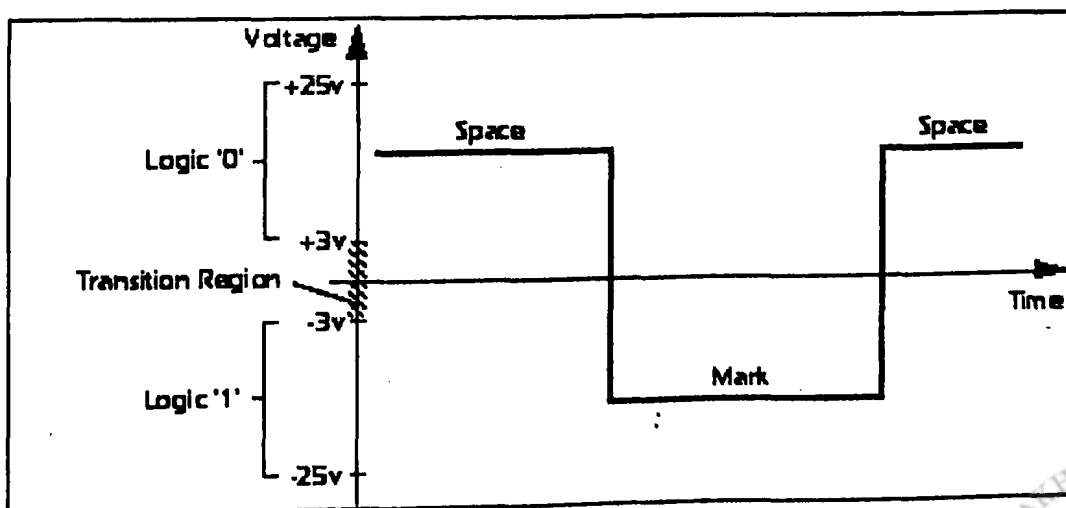




ΣΧΗΜΑ Ζ.1: Σύστημα επικοινωνίας με χρήση διαύλου EIA232.



ΣΧΗΜΑ Ζ.2: Μεταφορά δεδομένων μεταξύ των ακροδεκτών του καλωδίου RS232.

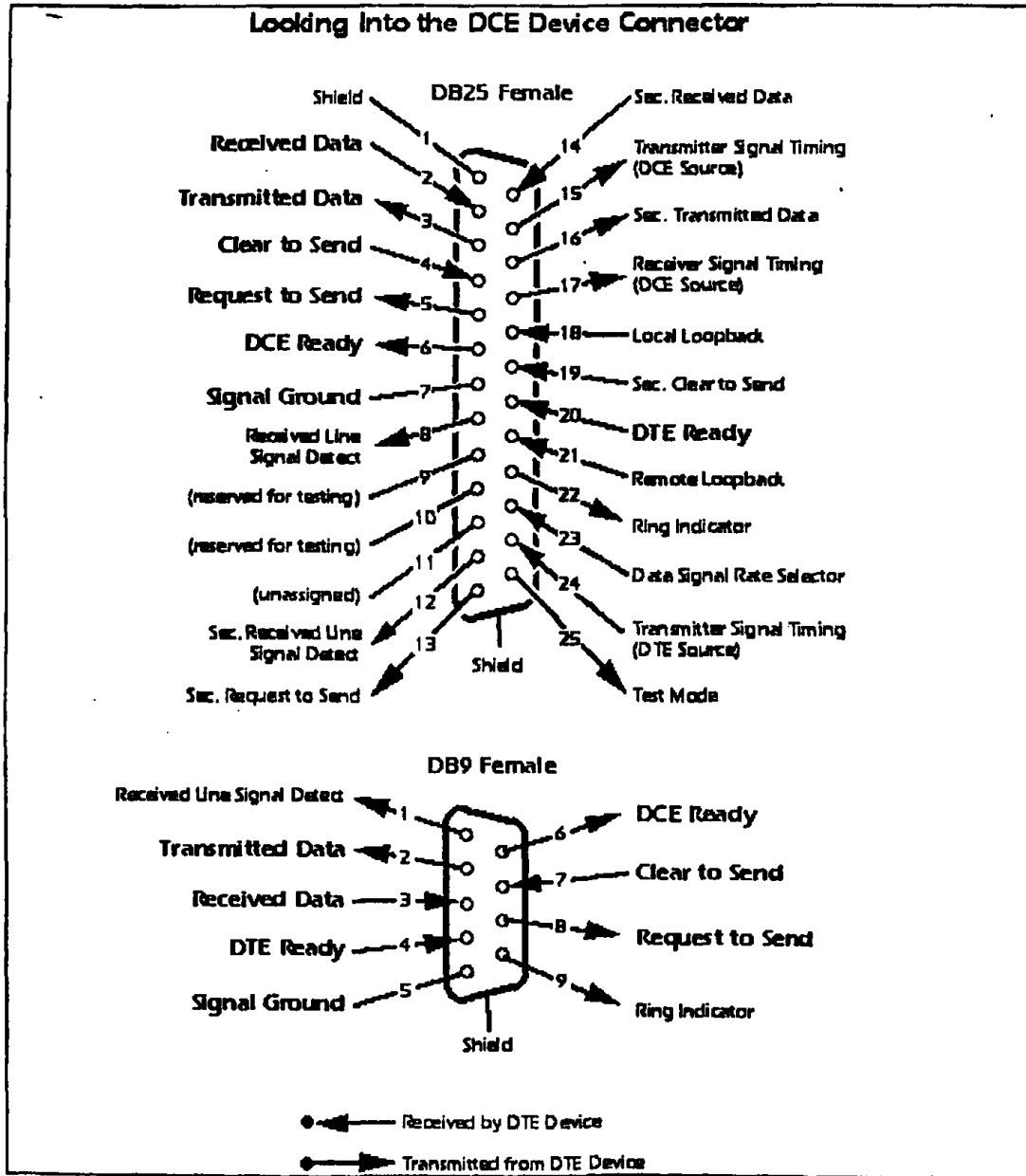


ΣΧΗΜΑ Ζ.3: Επίπεδα λογικής των σημάτων του καλωδίου RS232.



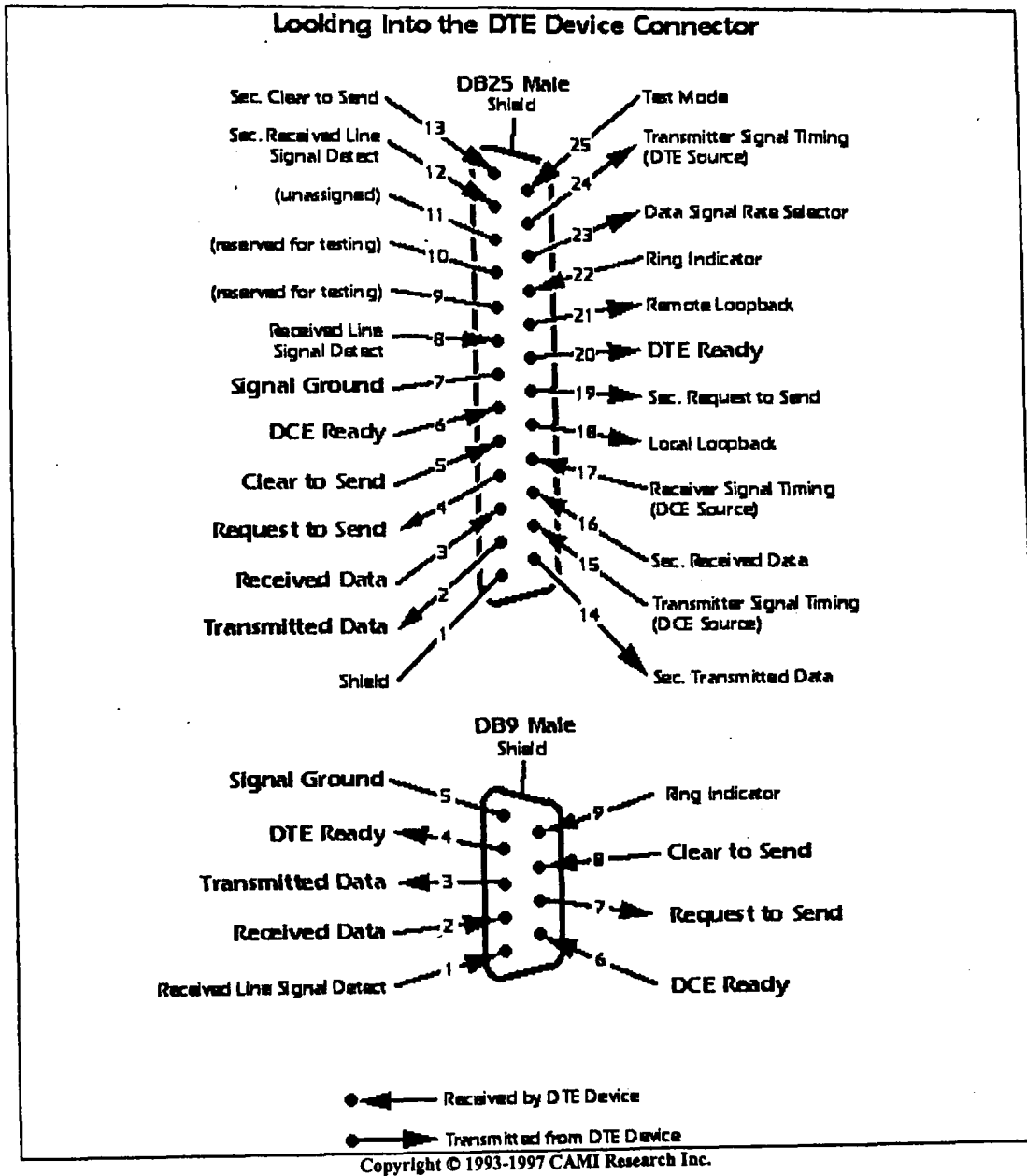


Στη συνέχεια του παρόντος παραρτήματος παρουσιάζονται οι ορισμοί των ακροδεκτών των συσκευών DTE και DCE ακροδέκτες των συνδετήρων (connectors) που βρίσκονται στις δύο άκρες του καλωδίου, το οποίο υλοποιεί σε φυσικό επίπεδο τη μεταφορά των δεδομένων (Σχήματα Z.4 και Z.5), το ισοδύναμο κύκλωμα που αντιστοιχεί στο καλώδιο του RS232 (Σχήμα Z.6), καθώς και η μορφή (Σχήμα Z.7), που θα πρέπει να έχει το σήμα που μεταφέρεται μέσω του σειριακού διαύλου RS232.



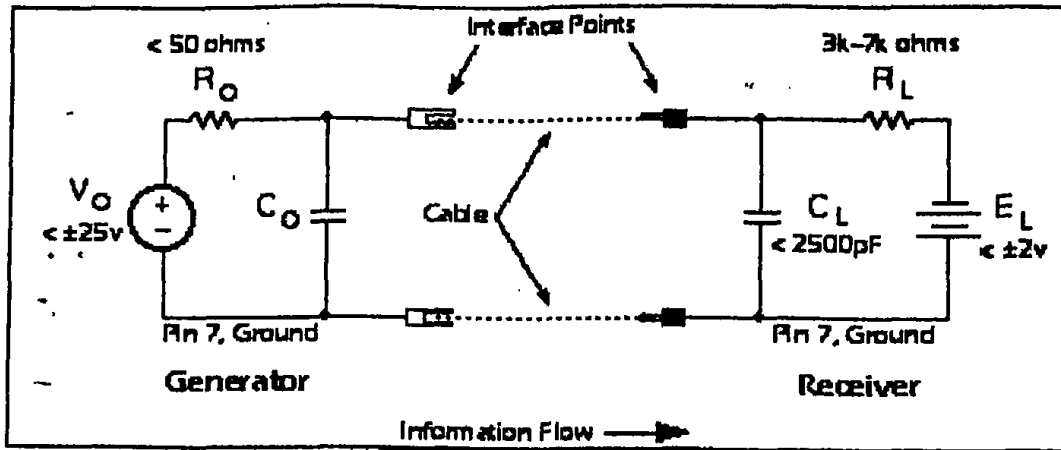
ΣΧΗΜΑ Z.4: Θηλυκοί συνδετήρες του καλωδίου RS232



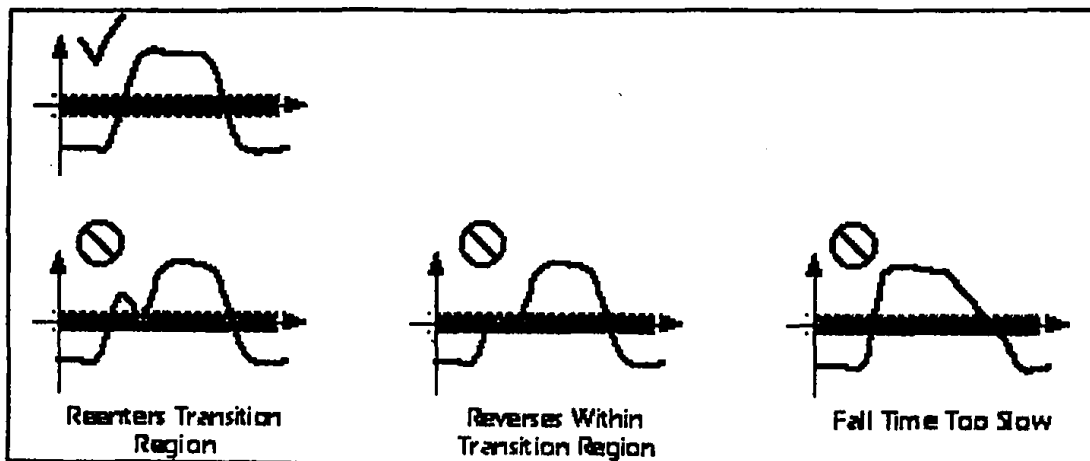


**ΣΧΗΜΑ Z.5:** Αρσενικοί συνδετήρες του καλωδίου RS232





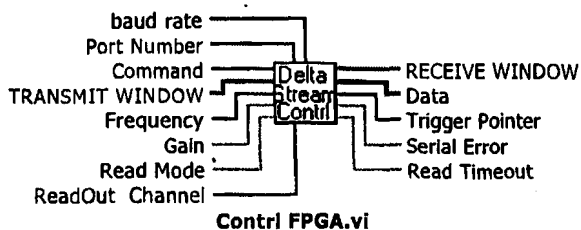
ΣΧΗΜΑ Z.6: Ισοδύναμο κύκλωμα του καλωδίου RS232



ΣΧΗΜΑ Z.7: Μορφή σήματος για σωστή μεταφορά δεδομένων μέσω καλωδίου RS232



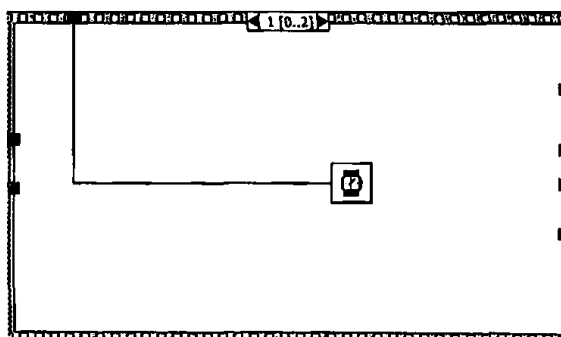
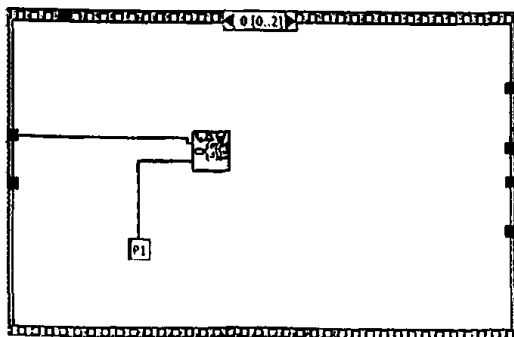
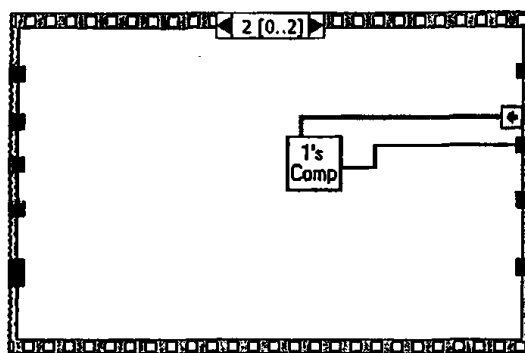
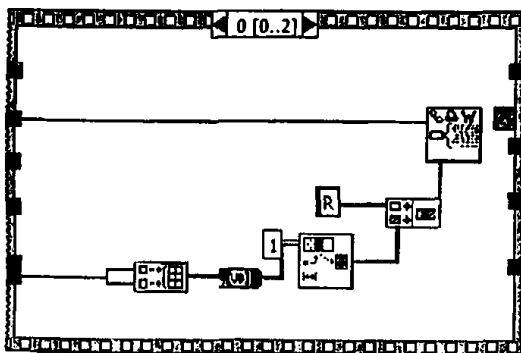
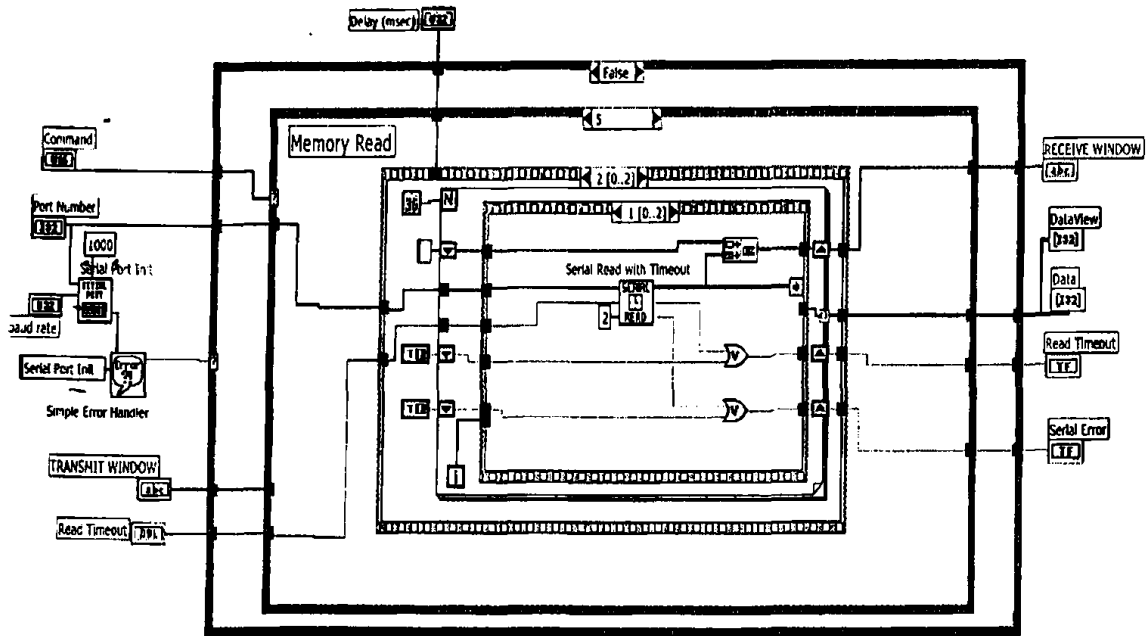
Connector Pane



Front Panel

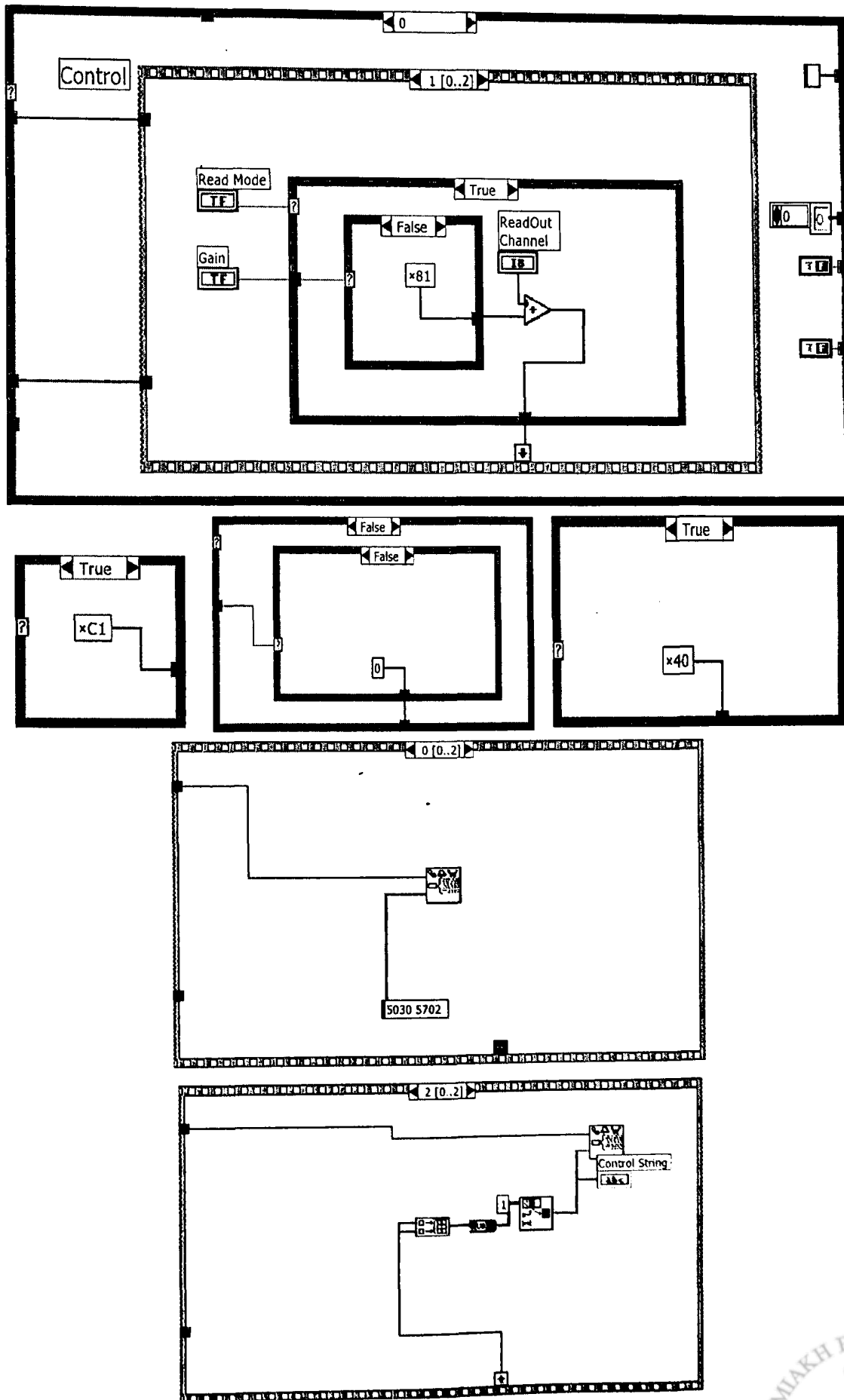
ΣΧΗΜΑ Η.2: Υποπρόγραμμα Contrl FPGA.vi





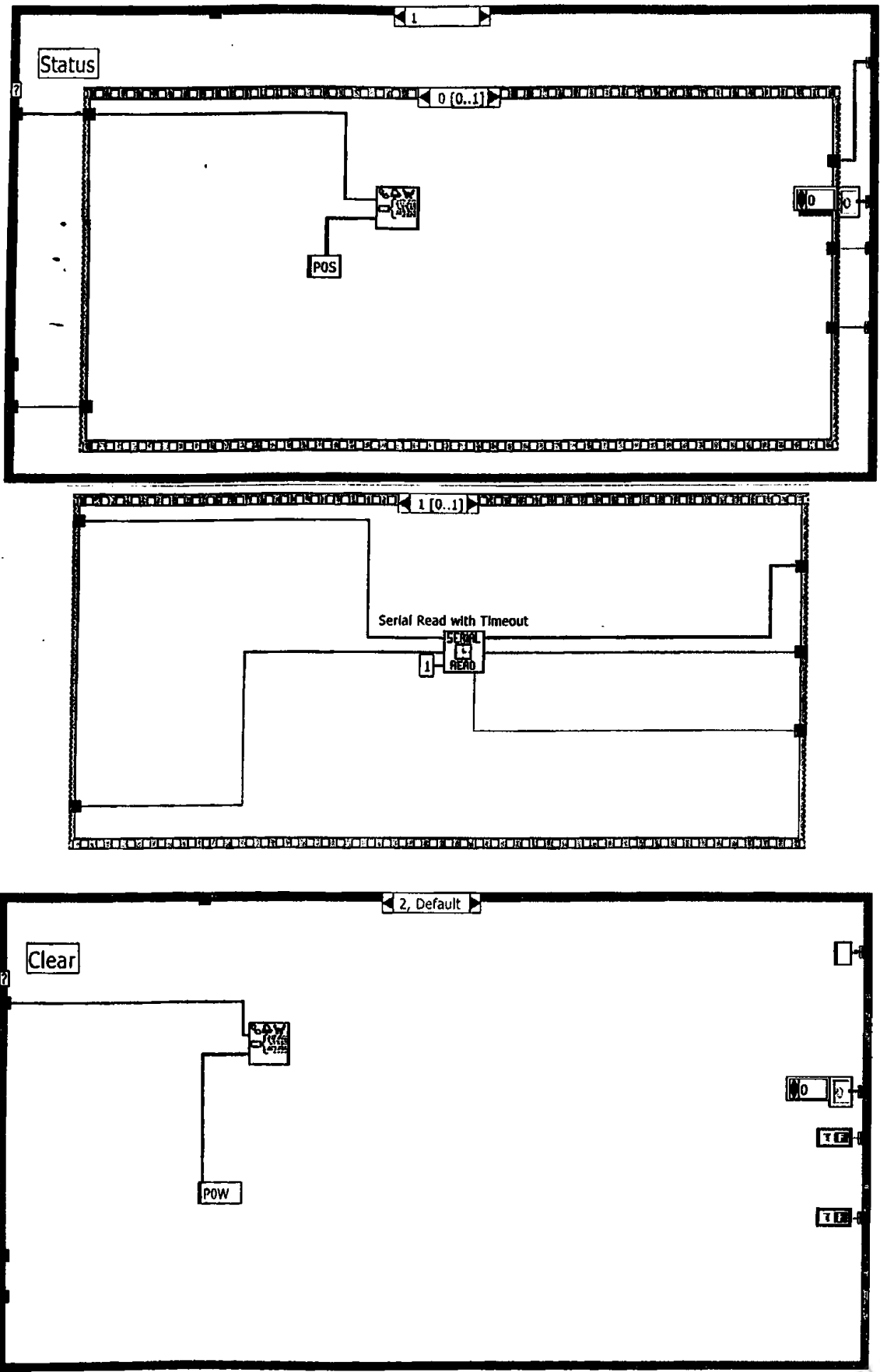
ΣΧΗΜΑ Η.3: Διάγραμμα λειτουργίας του υποπρογράμματος Control FPGA.vi





ΣΧΗΜΑ Η.4: Διάγραμμα λειτουργίας του υποπρογράμματος Control FPGA.vi

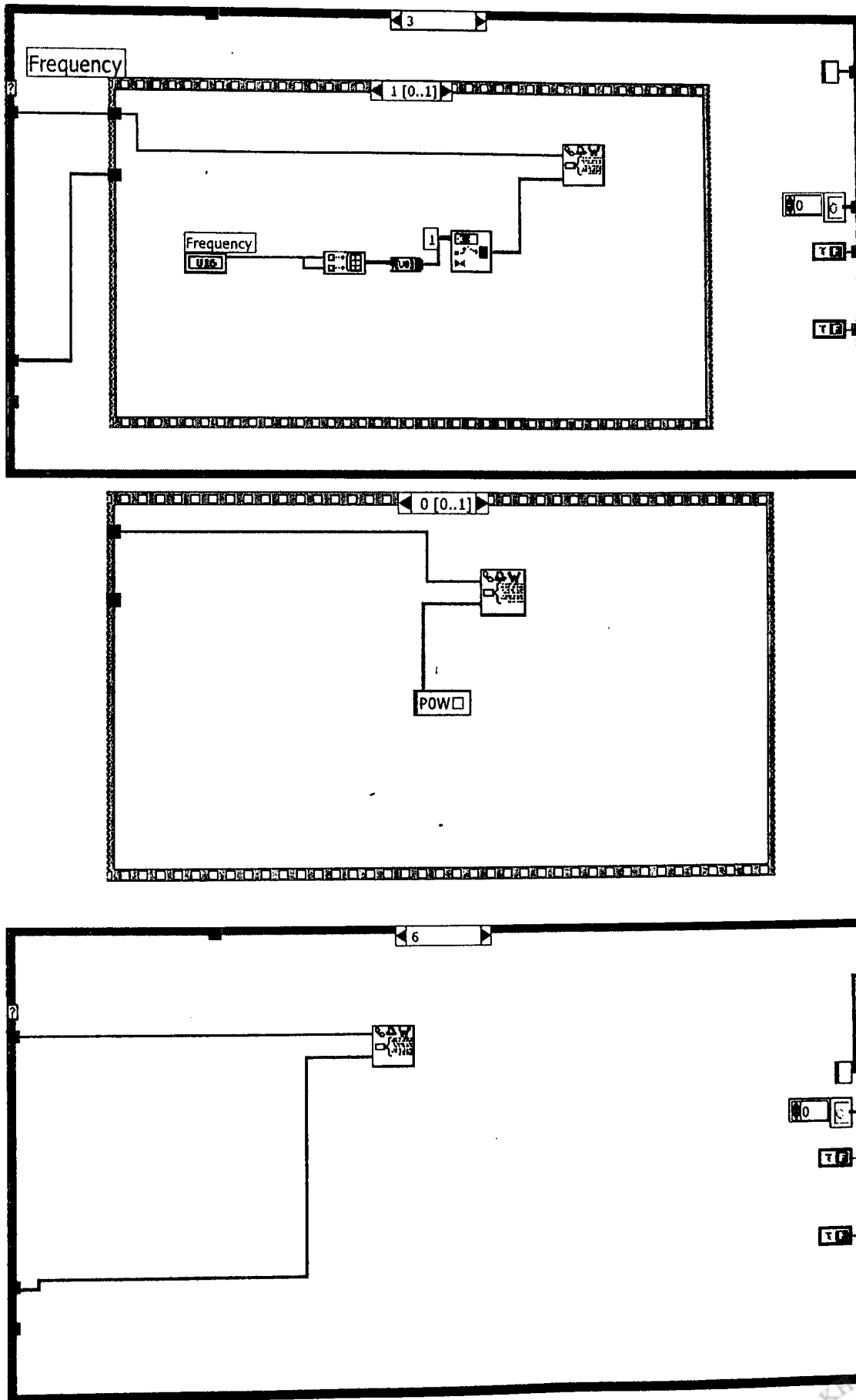




ΣΧΗΜΑ Η.5: Διάγραμμα λειτουργίας του υποπρογράμματος Contrl FPGA.vi

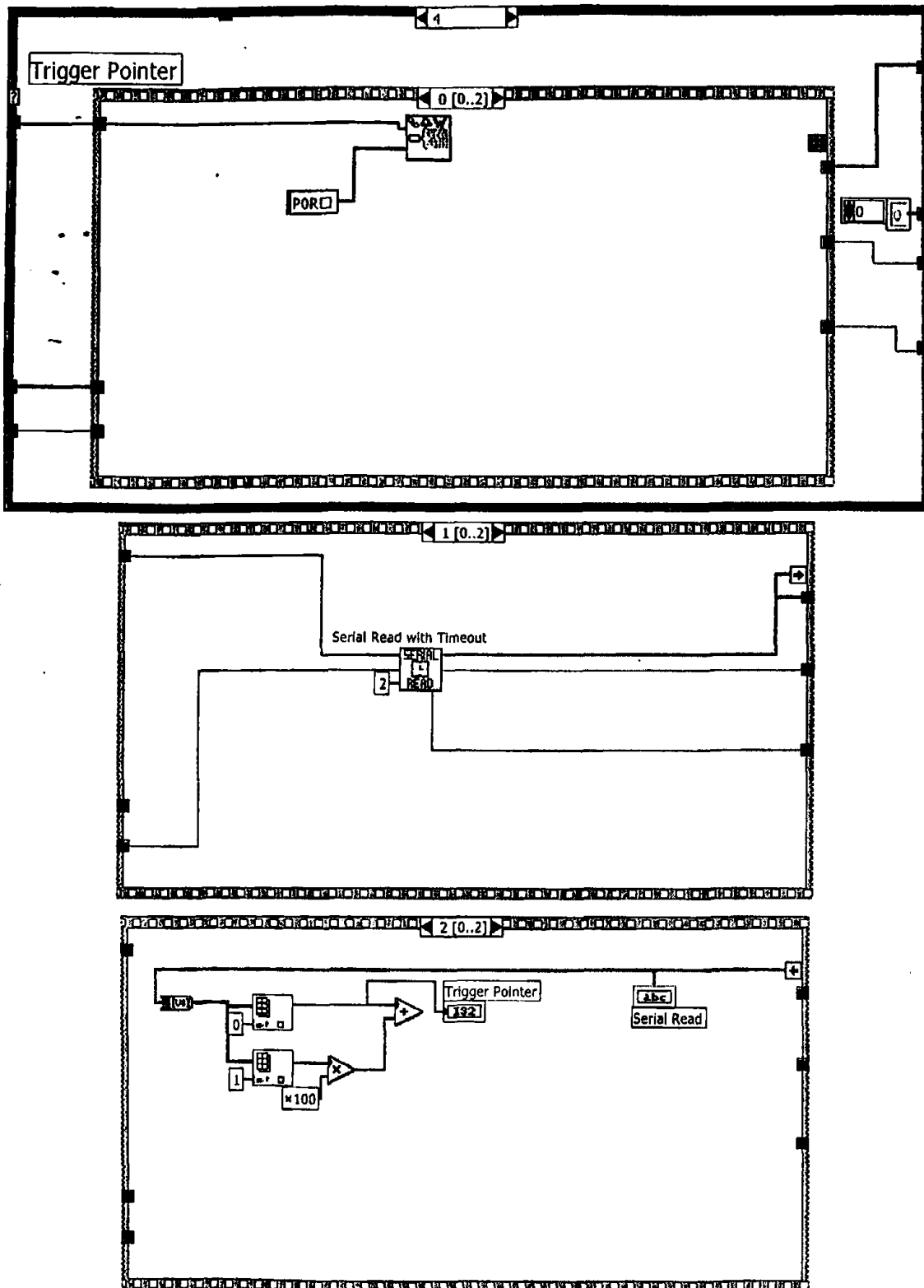






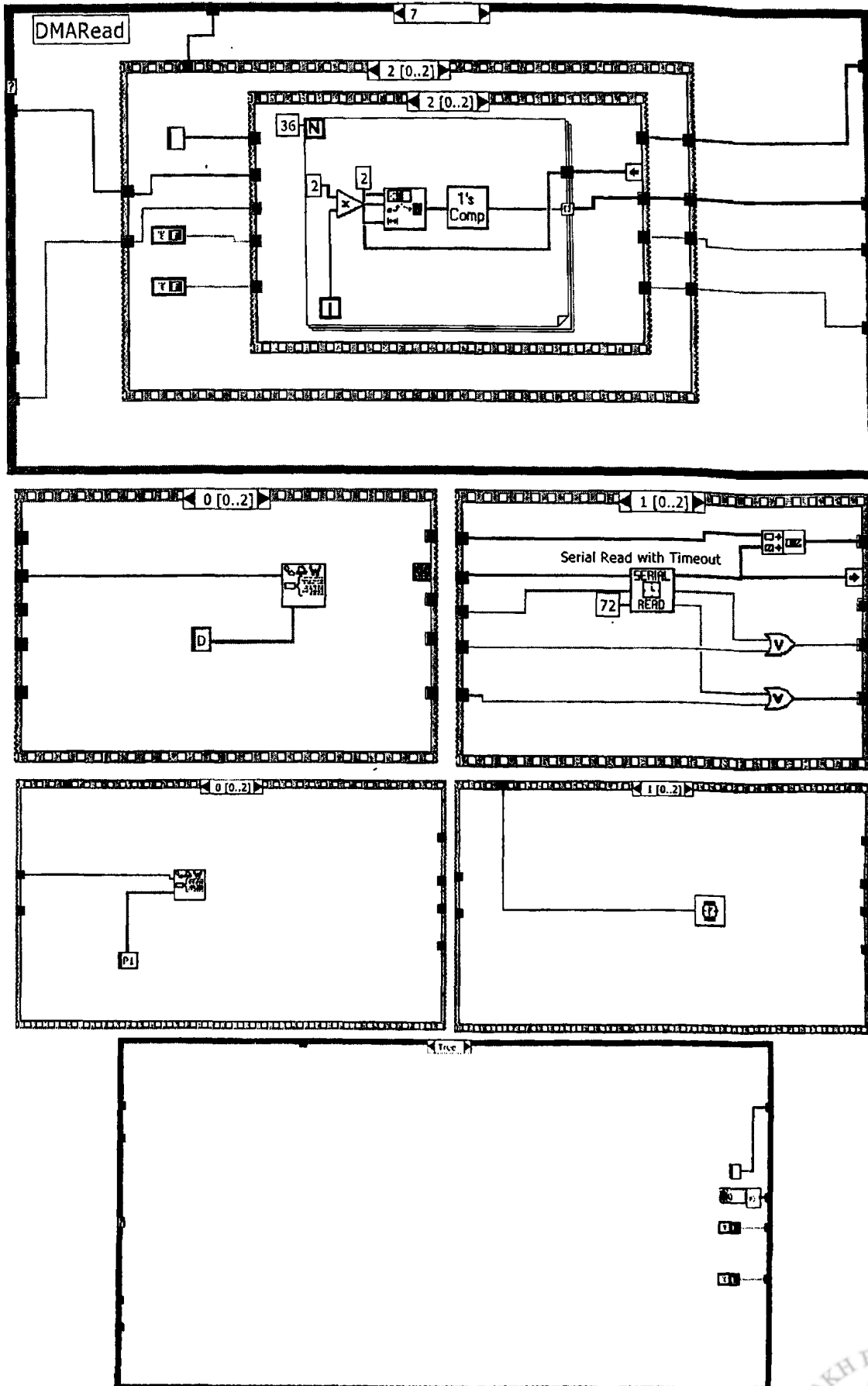
ΣΧΗΜΑ Η.6: Διάγραμμα λειτουργίας του υποπρογράμματος Contri FPGA.vi





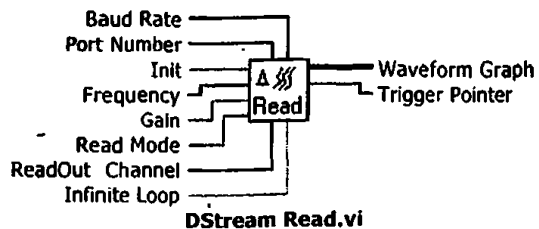
ΣΧΗΜΑ Η.7: Διάγραμμα λειτουργίας του υποπρογράμματος Contrl FPGA.vi



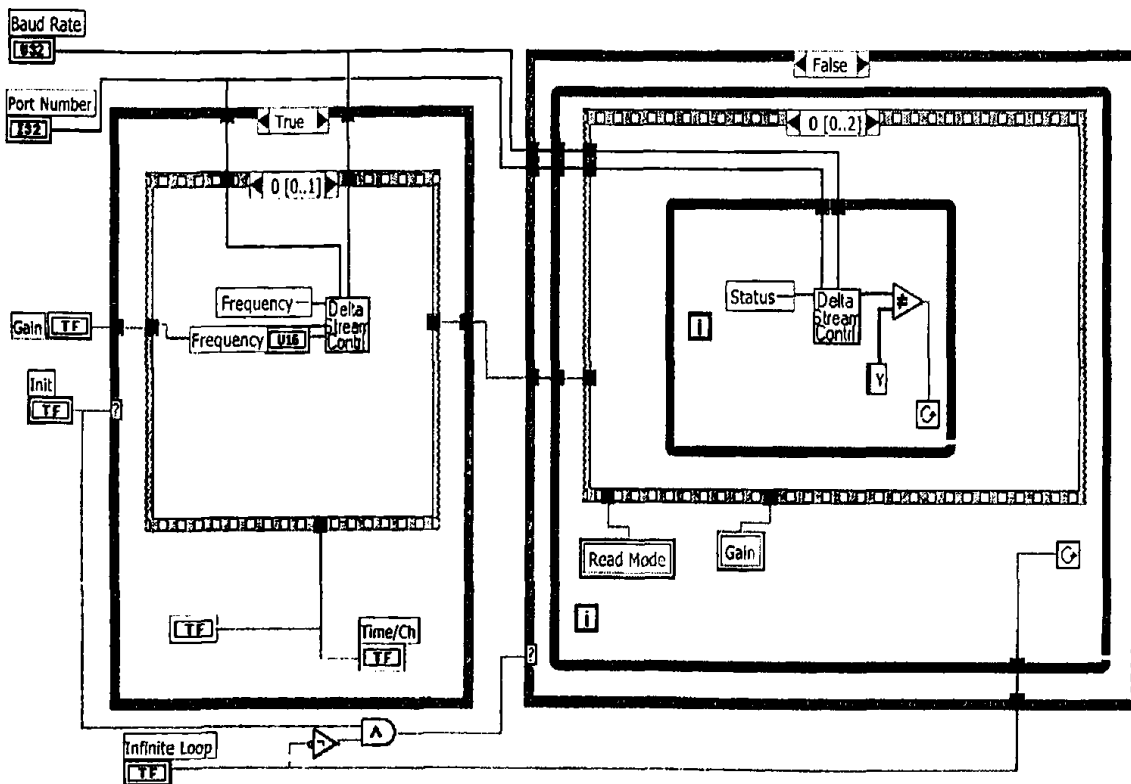
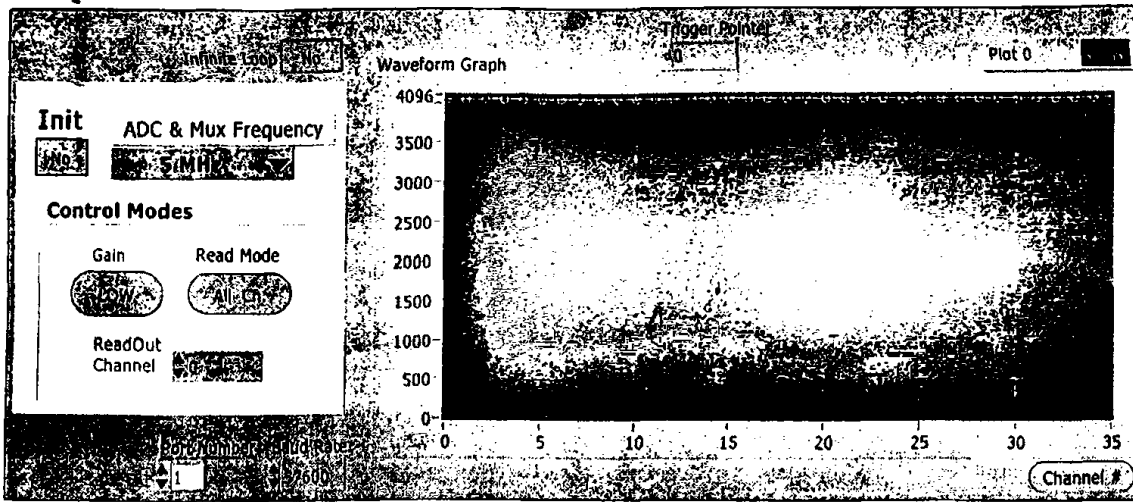


ΣΧΗΜΑ Η.8: Διάγραμμα λειτουργίας του υποπρογράμματος Contrl FPGA.vi



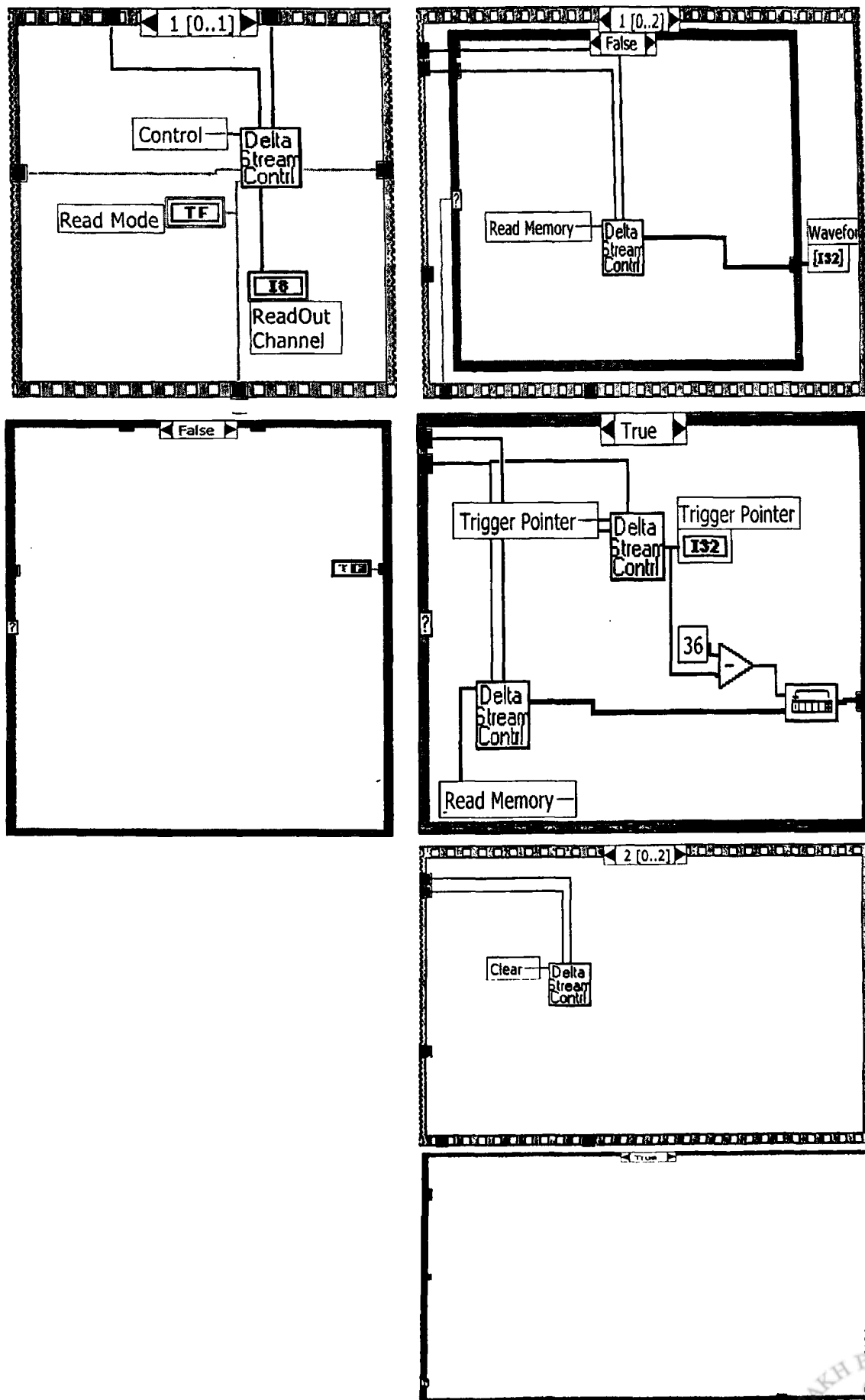


Front Panel



ΣΧΗΜΑ Η.9: Πρόγραμμα DstreamRead.vi και διάγραμμα λειτουργίας του.

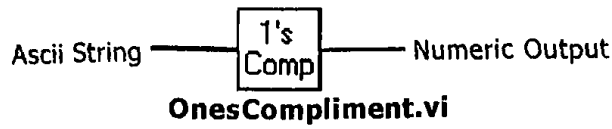




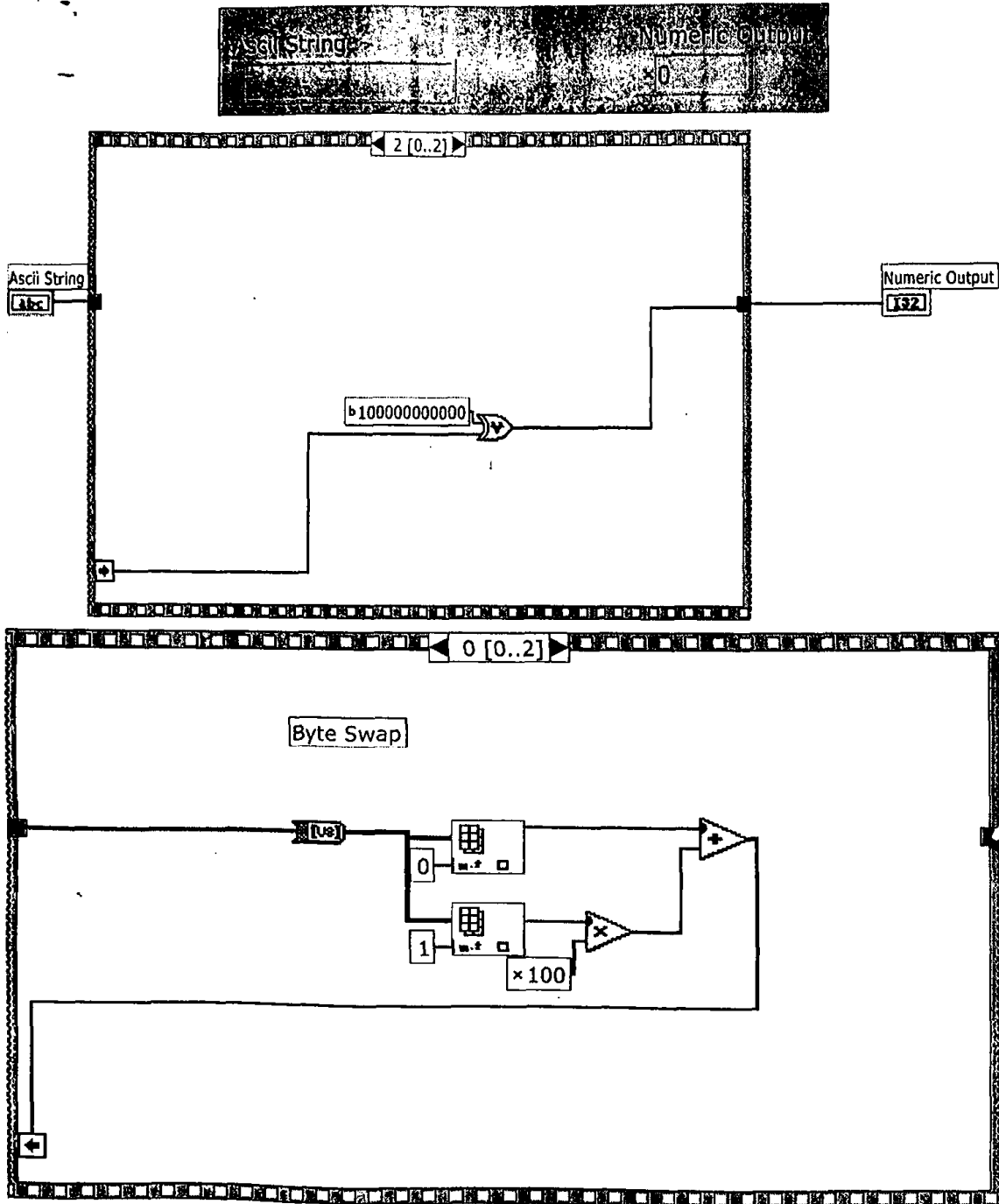
ΣΧΗΜΑ Η.10: Διάγραμμα λειτουργίας του προγράμματος DstreamRead.vi



Connector Pane

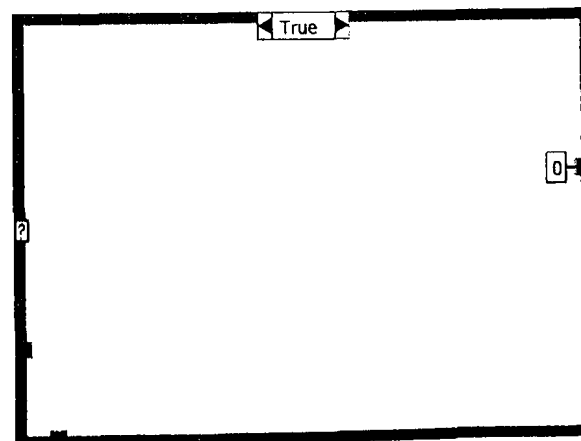
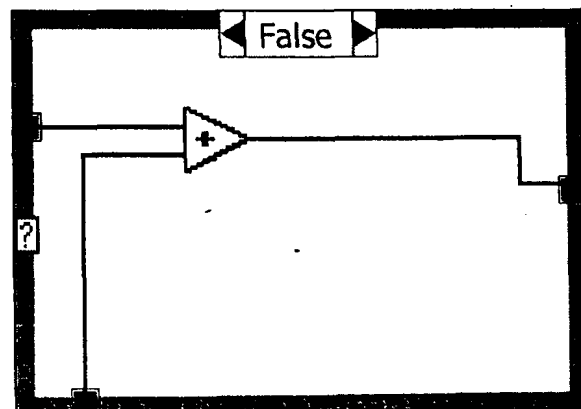
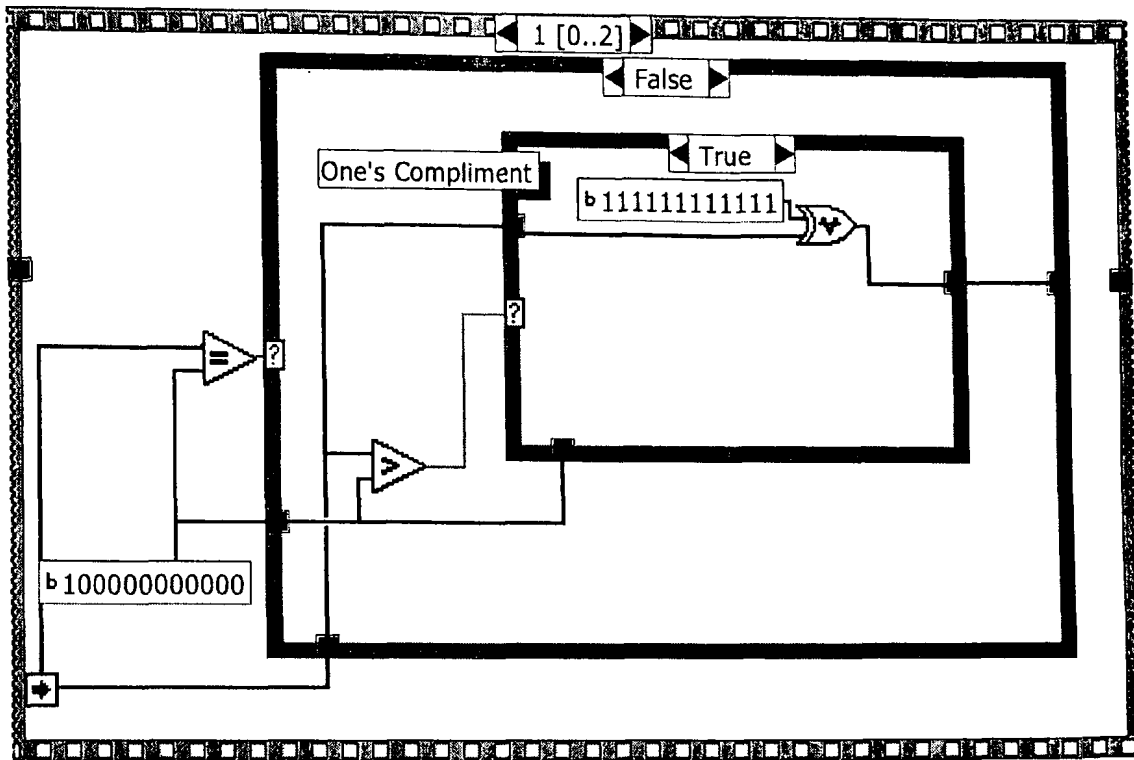


Front Panel



ΣΧΗΜΑ Η.11: Πρόγραμμα OnesCompliment.vi και διάγραμμα λειτουργίας του.





ΣΧΗΜΑ Η.12: Διάγραμμα λειτουργίας του προγράμματος OnesCompliment.vi



