

Ανάπτυξη μονάδας VME για την παραγωγή  
σημάτων ρύθμισης σε σύστημα ανάγνωσης  
μικρολωριδιακών ανιχνευτών πυριτίου

180

ΜΠΛΕ

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΤΣΑΓΚΟΥΡΙΑΣ Κ. ΝΙΚΟΛΑΟΣ  
ΗΛΕΚΤΡΟΝΙΚΟΣ ΜΗΧΑΝΙΚΟΣ

1

Μ.Ε. 2

ΕΠΙΒΛΕΨΗ: ΕΠΙΚΟΥΡΟΣ ΚΑΘΗΓΗΤΗΣ Ν. ΜΑΝΘΟΣ  
ΕΡΓΑΣΤΗΡΙΟ ΦΥΣΙΚΗΣ ΥΨΗΛΩΝ ΕΝΕΡΓΕΙΩΝ

ΔΙΑΤΜΗΜΑΤΙΚΟ ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ  
ΣΤΙΣ ΣΥΓΧΡΟΝΕΣ ΗΛΕΚΤΡΟΝΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ

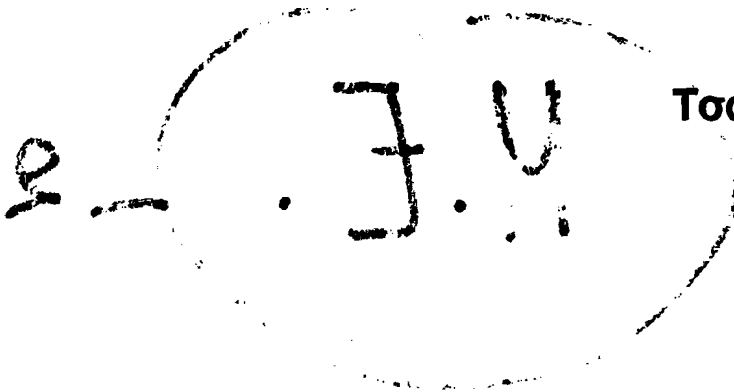
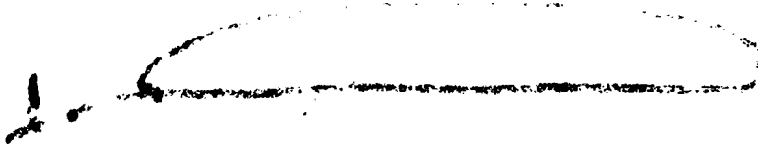
ΤΜΗΜΑ ΦΥΣΙΚΗΣ  
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ  
ΙΩΑΝΝΙΝΑ ΜΑΪΟΣ 2001

3



Χρ.  
546

**Ανάπτυξη μονάδας VME  
για την παραγωγή σημάτων ρύθμισης  
σε σύστημα ανάγνωσης  
μικρολωριδιακών ανιχνευτών πυριτίου**



**Τσαγκούριας Νικόλαος**



Τόν άρχοντα τριών δει μέμνησθαι  
πρώτον μεν ότι ανθρώπων άρχει,  
δεύτερον ότι κατά νόμους άρχει  
τρίτον δε ουκ αεί άρχει.  
Αγάθων 3ος αιώνας π. Χ.

(c) 2001 Νικόλαος Τσαγκούριας



ΕΠΙΣΤΗΜΟΝΙΚΟ ΚΕΝΤΡΟ ΕΡΕΥΝΑΣ ΚΑΙ ΠΡΟΒΛΕΨΗΣ  
ΕΠΙΧΕΙΡΗΣΙΑΚΗΣ ΣΤΡΑΤΗΓΙΚΗΣ ΚΑΙ ΟΡΓΑΝΩΣΗΣ  
ΕΠΙΧΕΙΡΗΣΙΑΚΗΣ ΣΤΡΑΤΗΓΙΚΗΣ ΚΑΙ ΟΡΓΑΝΩΣΗΣ  
ΕΠΙΧΕΙΡΗΣΙΑΚΗΣ ΣΤΡΑΤΗΓΙΚΗΣ ΚΑΙ ΟΡΓΑΝΩΣΗΣ

**Αφιερώνεται εξαιρετικά στην Ιωάννα**



## Περίληψη

.....

Η παρούσα διπλωματική εργασία έχει ως αντικείμενο την ανάπτυξη μιας μονάδας VME που παράγει τα σήματα ρύθμισης του FE (Front End) ζεύγους ολοκληρωμένων κυκλωμάτων PACE που χρησιμοποιούνται για την ανάγνωση μικρολωριδιακών αισθητήρων πυριτίου. Το ζεύγος ολοκληρωμένων PACE αποτελείται από 32 κανάλια ανάγνωσης. Κάθε κανάλι αποτελείται από έναν προενισχυτή και έναν μορφοποιητή για την ενίσχυση και μορφοποίηση των σημάτων που προέρχονται από τον αισθητήρα. Περιέχει επίσης κυκλική αναλογική μνήμη βάθους 160 θέσεων, για προσωρινή αποθήκευση των μορφοποιημένων σημάτων. Τα κύρια σήματα ρύθμισης που παράγει η μονάδα VME που αναπτύχθηκε είναι ένας περιοδικός παλμός σταθερής συχνότητας 40MHz, ο οποίος μετακινεί το δείκτη εγγραφής της αναλογικής μνήμης, και ένας παλμός σκανδαλισμού προγραμματιζόμενης χρονικής απόστασης (latency delay) από τον προηγούμενο παλμό. Ο παλμός σκανδαλισμού χρησιμοποιείται για τη σήμανση θέσεων της αναλογικής μνήμης οι οποίες περιέχουν χρήσιμα γεγονότα. Οι σεσημασμένες θέσεις της αναλογικής μνήμης αναγιγνώσκονται από το σύστημα λήψης δεδομένων. Η μονάδα παράγει επίσης τον παλμό επαναφοράς της αναλογικής μνήμης στην αρχική της κατάσταση. Τέλος η μονάδα παράγει τα κατάλληλα αναλογικά σήματα βαθμονόμησης που χρησιμοποιούνται για τον έλεγχο της καλής λειτουργίας των διαφόρων τμημάτων του ζεύγους ολοκληρωμένων PACE. Η μονάδα πρόκειται να χρησιμοποιηθεί σε ένα γενικότερο ηλεκτρονικό σύστημα που ως στόχο έχει την καταγραφή και την επεξεργασία της πληροφορίας που συλλέγεται από αισθητήρες πυριτίου σε πείραμα Φυσικής Υψηλών Ενεργειών.



## Abstract



The subject of the present MSc thesis is the development of a VME board, which produces control signals for the FE (Front End) PACE chipset. The PACE chipset is used for the readout of silicon microstrip sensors analog signals. The PACE chipset includes 32 readout channels and each of these channels consists of a preamplifier and a shaper for the amplification and shaping of the sensor signals; it also includes a circular analog memory, 160 slots deep, for temporary storage of these signals. The main control signals produced by the VME board are a periodic square pulse with constant frequency of 40 MHz for the shifting of the analog memory write pointer, and a trigger pulse having a programmable delay (latency delay) with respect to the previous pulse. The trigger pulse is used to mark the memory slots where useful signals are stored. The marked slots are readout by the Data Acquisition (DAQ) system. In addition VME board produces a reset pulse to unmark all the marked slots, in order to avoid the overflow of the memory. Finally, the board produces programmable calibration signals in order to check the operation and the performance of the PACE chipset. This board is going to be integrated into an electronic system, which will be used to control, record and process the information coming out from a Si microstrip sensors in a High Energy Physics experiment.



## Ευχαριστίες

.....

Στο σημείο αυτό θα ήθελα να ευχαριστήσω τους ανθρώπους, η συμβολή των οποίων στην πραγματοποίηση αυτής της εργασίας υπήρξε σημαντική.

- Τον επιβλέποντα της διπλωματικής μου εργασίας Επίκουρο Καθηγητή Ν. Μάνθο, μέλος του Εργαστηρίου Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων, για την καθοδήγησή του καθ' όλη τη διάρκεια του προγράμματος των σπουδών μου.

Τον Καθηγητή Φ.Α.Τριάντη διευθυντή του ΕΦΥΕ, τον διευθυντή του Ινστιτούτου Πληροφορικής του Ε.Κ.Ε.Φ.Ε "Δημόκριτος" και καθηγητή Ηλεκτρονικών του Πανεπιστημίου Ιωαννίνων κ. Π. Κωσταράκη, τους Επίκουρους Καθηγητές Ι. Ευαγγέλου και Π. Κόκκα του ΕΦΥΕ και τον Δρ. Κ.Κλουκίνα του Ευρωπαϊκού Εργαστηρίου Πυρηνικής Φυσικής CERN για τις συμβουλές και τη βοήθειά τους στην εκπόνηση αυτής της εργασίας.

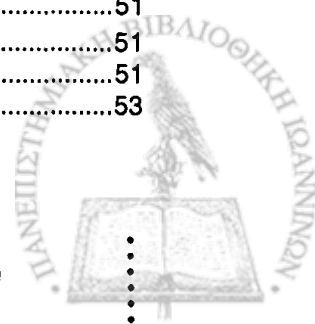
Τον ηλεκτρονικό του ΕΦΥΕ κ. Π. Τριανταφύλλου για τις πληροφορίες και τη βοήθειά του. Τους συναδέλφους μου κ. Α. Ασημίδη, Ν. Τζούλη, Οδ. Μητρόπουλο και Α. Αναστασίου για τη βοήθεια και τη συνεργασία τους.



## Πίνακας περιεχομένων

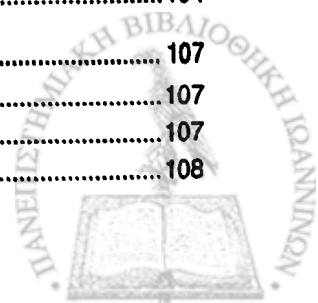
.....

Κεφάλαιο 1	Μικρολωριδιακοί ανιχνευτές πυριτίου.....	17
	Γενικά.....	17
	Αρχή λειτουργίας.....	17
	Καταγραφή τροχιάς φορτισμένων σωματίων.....	18
	Σύστημα ανάγνωσης.....	20
	Το ζεύγος ολοκληρωμένων PACE.....	21
	Το ολοκληρωμένο DELTA.....	21
	Το ολοκληρωμένο PACE AM (analog memory).....	22
Κεφάλαιο 2	Περιγραφή της μονάδας παραγωγής σημάτων ρύθμισης.....	27
	Γενικά.....	27
	Μονάδα παραγωγής σημάτων ρύθμισης.....	27
Κεφάλαιο 3	Υπομονάδα διεπαφής με το δίαυλο VME.....	31
	Γενικά.....	31
	Εισαγωγή στο δίαυλο VME.....	31
	Χαρακτηριστικά του διαύλου VME.....	31
	Εφαρμογές του διαύλου VME.....	32
	Δομή του διαύλου VME.....	32
	Προδιαγραφές.....	33
	Υλοποίηση.....	33
	Διεπαφή με το δίαυλο VME.....	33
	Αποκωδικοποίηση διευθύνσεων.....	34
	Τερματισμός διαδικασίας μεταφοράς δεδομένων.....	35
	Εμφάνιση σφαλμάτων κατά τη μεταφορά δεδομένων.....	37
	Αποκωδικοποίηση εσωτερικών διευθύνσεων.....	37
	Καταχωρητές.....	39
Κεφάλαιο 4	Υπομονάδα παραγωγής και διανομής σήματος ρολογιού.....	41
	Γενικά.....	41
	Προδιαγραφές.....	41
	Υλοποίηση.....	41
Κεφάλαιο 5	Υπομονάδα επαναφοράς.....	45
	Γενικά.....	45
	Προδιαγραφές.....	45
	Σήμα Reset.....	45
	Σήματα ResetSync και DisableTrigger.....	45
	Αρχή λειτουργίας.....	47
	Σήμα Reset.....	47
	Σήματα ResetSync και DisableTrigger.....	47
	Υλοποίηση.....	51
	Σήμα Reset.....	51
	Σήματα ResetSync και DisableTrigger.....	51
	Καταχωρητές υπομονάδας.....	53





<b>Κεφάλαιο 6</b>	<b>Υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού.....</b>	<b>55</b>
	Γενικά .....	55
	Προδιαγραφές .....	55
	Αρχή λειτουργίας.....	56
	Γενικά .....	56
	Δημιουργία ψευδοτυχαίων αριθμών.....	58
	Υλοποίηση .....	62
	Καταχωρητές .....	64
<b>Κεφάλαιο 7</b>	<b>Υπομονάδα παραγωγής σημάτων χρονισμού .....</b>	<b>65</b>
	Γενικά .....	65
	Προδιαγραφές .....	65
	Υλοποίηση .....	67
	Βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου.....	67
	Βαθμίδα προγραμματιζόμενης καθυστέρησης του σήματος	
σκανδαλισμού πρώτου επιπέδου .....		69
	Βαθμίδα λογικής χρονισμού .....	69
	Καταχωρητές .....	71
<b>Κεφάλαιο 8</b>	<b>Υπομονάδα προγραμματιζόμενης εξασθένησης παλμού .....</b>	<b>73</b>
	Γενικά .....	73
	Προδιαγραφές .....	73
	Υλοποίηση .....	75
	Καταχωρητές .....	78
<b>Κεφάλαιο 9</b>	<b>Υπομονάδα μετατροπής σημάτων .....</b>	<b>79</b>
	Γενικά .....	79
	Μετατροπή TTL σε LVDS και αντίστροφα .....	79
	Μετατροπή TTL σε οπτικό .....	82
	Μετατροπή TTL σε NIM .....	84
	.....	86
<b>Κεφάλαιο 10</b>	<b>Λειτουργία της μονάδας .....</b>	<b>87</b>
	Γενικά .....	87
	Υπομονάδα επαναφοράς .....	87
	Υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού.....	88
	Υπομονάδα παραγωγής σημάτων χρονισμού .....	89
	Υπομονάδα προγραμματιζόμενης καθυστέρησης .....	90
<b>Κεφάλαιο 11</b>	<b>Αποτίμηση μονάδας.....</b>	<b>91</b>
	Γενικά .....	91
	Γέφυρα PCI-MXI2-VME .....	92
	Η γλώσσα VISA.....	93
	Επαλήθευση λειτουργίας .....	94
	Χρονική προσομοίωση .....	94
	Υπομονάδα επαναφοράς .....	95
	Μετρήσεις - Κυματομορφές μονάδων .....	96
	Υπομονάδα επαναφοράς .....	96
	Υπομονάδα εξασθένησης παλμού .....	99
	Τυπωμένα κυκλώματα.....	101
<b>Παράρτημα 1</b>	<b>Ο δίαυλος VMEbus.....</b>	<b>107</b>
	Γενικά .....	107
	Εισαγωγή στην προδιαγραφή του VMEbus.....	107
	Σκοπός της προδιαγραφής του VMEbus .....	108



	Στοιχεία για τη διασύνδεση στο σύστημα VMEbus.....	108
	Βασικοί ορισμοί .....	108
	Βασική δομή του VMEbus.....	117
	Διαγράμματα προδιαγραφών VMEbus .....	123
	Ορολογία προδιαγραφών.....	123
	RULE (κανόνας).....	123
	RECOMMENDATION (σύσταση).....	123
	SUGGESTION (υπόδειξη).....	124
	PERMISSION (άδειες).....	124
	OBSERVATION (παρατήρηση).....	124
	Καταστάσεις των γραμμών σημάτων .....	124
	Συνδετήρες της οπίσθιας πλευράς του VMEbus και των πλακετών .....	125
	Συνδετήρας J1/P1 .....	125
	Συνδετήρας J2/P2 .....	126
	Περιγραφή των σημάτων των συνδετήρων του VMEbus.....	128
Παράρτημα 2	Πρότυπο NIM.....	131
	Γενικά .....	131
	Προδιαγραφές .....	131
Παράρτημα 3	Ολοκληρωμένα προγραμματιζόμενης λογικής.....	133
	Λογισμικό ανάπτυξης εφαρμογών με ολοκληρωμένα προγραμματιζόμενης λογικής .....	133
	Ροή προγραμματισμού για FPGAs .....	133
	Ροή προγραμματισμού για CPLDs .....	134
	Αρχιτεκτονική ολοκληρωμένων προγραμματιζόμενης λογικής.....	136
	Αρχιτεκτονική των FPGAs .....	136
	Αρχιτεκτονική των CPLDs .....	138
	Προγραμματισμός ολοκληρωμένων προγραμματιζόμενης λογικής. ....	139
	Προγραμματισμός FPGA. ....	139
	Προγραμματισμός CPLD .....	145
Παράρτημα 4	Πακέτο ηλεκτρονικής σχεδίασης OrCAD .....	147
	Γενικά .....	147
	OrCAD Capture .....	147
	OrCAD CIS.....	148
	OrCAD Express .....	148
	OrCAD PSpice A/D.....	148
	OrCAD Layout .....	148
Παράρτημα 5	Τεχνικές ελάττωσης θορύβου .....	151
	Γενικά .....	151
	Συνοπτική περιγραφή των Η/Μ παρεμβολών .....	152
	Ορισμός του θορύβου.....	152
	Μετάδοση Η/Μ παρεμβολών .....	152
	Λύσεις στον σχεδιασμό συστημάτων για Η/Μ συμβατότητα.....	154
	Γενικές οδηγίες σχεδίασης τυπωμένων κυκλωμάτων .....	155
	Τοποθέτηση εξαρτημάτων .....	155
	Η διάταξη της γείωσης.....	156
	Η διάταξη της τροφοδοσίας του συστήματος και αποσύζευξη.....	159
	Η διάταξη σημάτων .....	161
	Λίστα ελέγχου για την ελάττωση του θορύβου.....	162
	Καταστολή των πηγών θορύβου.....	162
	Ελάττωση θορύβου σύζευξης .....	163
	Ελάττωση του λαμβανόμενου θορύβου .....	164



## Εισαγωγή

.....

Στο Πανεπιστήμιο Ιωαννίνων και συγκεκριμένα στο Εργαστήριο Φυσικής Υψηλών Ενεργειών του Φυσικού Τμήματος αναπτύσσεται ένα σύστημα έλεγχου μικρολωριδιακών αισθητήρων πυριτίου - αναλογικών ηλεκτρονικών. Σκοπός της ανάπτυξης αυτής είναι ο έλεγχος, η καταγραφή και η επεξεργασία της πληροφορίας που παράγεται στους αισθητήρες κατά τη διέλευση φορτισμένων σωματίων ή φωτονίων. Το σύστημα βασίζεται στο δίαυλο VME, ο οποίος καθοδηγείται από έναν προσωπικό ηλεκτρονικό υπολογιστή (PC).

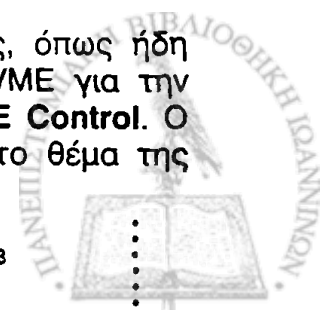
Το σύστημα περιλαμβάνει:

- Δύο μονάδες (SEQ, FE Control) σε πρότυπο VME, οι οποίες περιέχουν υποκυκλώματα σε FPGAs και παρέχουν τα αναγκαία σήματα χρονισμού και βαθμονόμησης για το σύστημα αναλογικών ηλεκτρονικών FE (Front End). Το FE στη συγκεκριμένη περίπτωση είναι ένα ζεύγος ολοκληρωμένων που χρησιμοποιείται για την ανάγνωση των σημάτων που προέρχονται από έναν μικρολωριδιακό αισθητήρα πυριτίου. Οι δύο αυτές μονάδες χρησιμοποιούν 24 γραμμές διευθυνσιοδότησης (A24) από το δίαυλο VME και 16 γραμμές δεδομένων (D16).
- Μία μονάδα σε πρότυπο VME (FE Readout), που περιέχει υποκυκλώματα σε FPGAs, η οποία λαμβάνει τα ψηφιοποιημένα σήματα από το αναλογικό FE μέσω του ADC και τα αποστέλλει στην κεντρική μονάδα επεξεργασίας (PC) για ανάλυση.
- Μία μονάδα μέσω της οποίας παρέχονται off line οι εντολές ελέγχου στο αναλογικό FE (RS-232, I<sup>2</sup>C interface).

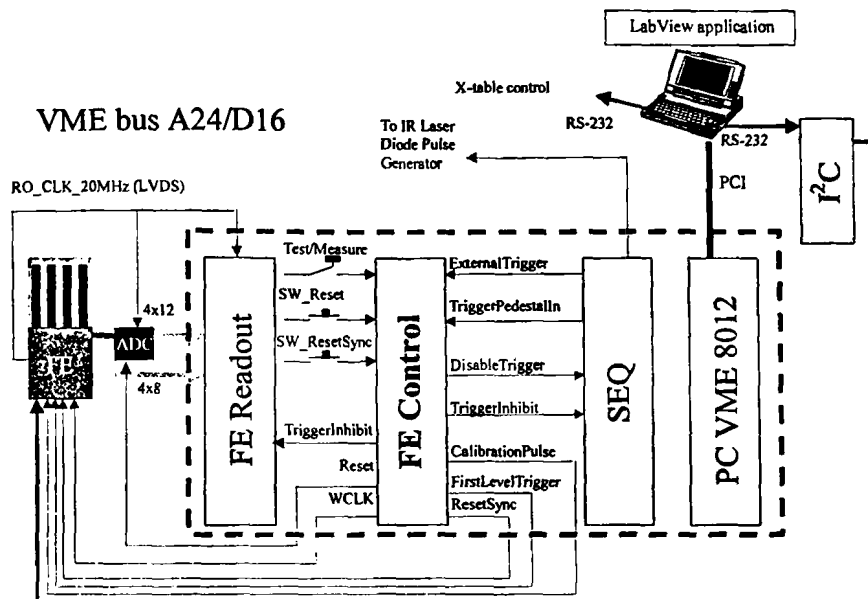
Ο συνολικός έλεγχος του συστήματος πραγματοποιείται μέσω μιας μονάδας PCI-VME interface και το λογισμικό αλληλεπίδρασης του χρήστη με το σύστημα (με βάση το πακέτο γραφικού προγραμματισμού LabView) που βρίσκεται εγκατεστημένο σε ένα προσωπικό υπολογιστή (PC).

Η παραγωγή σημάτων στον ανιχνευτή γίνεται με την βοήθεια ενός οπτικού συστήματος που αποτελείται από μια υπέρυθρη δίοδο laser σε παλμική λειτουργία, ένα σύστημα οπτικής ίνας-συγκεντρωτικών φακών και μια προγραμματιζόμενη κινητή τράπεζα μιας διάστασης στην οποία επικάθεται το υποσύστημα αισθητήρα-αναλογικών ηλεκτρονικών ώστε να γίνεται σάρωση των λωρίδων του. Στο σχ. 1 φαίνεται σχηματικά το εργαστηριακό σύστημα με τις μονάδες που περιγράφησαν προηγουμένως.

Στα πλαίσια του παραπάνω εργαστηριακού συστήματος, όπως ήδη αναφέρθηκε, βασίζεται και η ανάπτυξη της μονάδας VME για την παραγωγή σημάτων ρύθμισης του FE που ονομάζεται **FE Control**. Ο σχεδιασμός και η ανάπτυξη της μονάδας αυτής είναι το θέμα της



παρούσας διπλωματικής εργασίας. Το FE διαθέτει 32 κανάλια, το κάθε ένα εκ των οποίων περιέχει: έναν προενισχυτή του σήματος, έναν μορφοποιητή, αναλογική μνήμη 160 θέσεων στην οποία καταγράφονται προσωρινά οι πληροφορίες που συλλέγονται από τον αισθητήρα, έναν αναλογικό πολυπλέκτη στην έξοδο του για την πολύπλεξη των 32 καναλιών και ένα τμήμα που αφορά στον έλεγχό του.



σχ. 1. Εργαστηριακό σύστημα ελέγχου μικρολωριδιακού ανιχνευτή πυριτίου

Η μονάδα παραγωγής σημάτων ρύθμισης του μικρολωριδιακού ανιχνευτή μπορεί να βρίσκεται σε μια από τις δύο παρακάτω καταστάσεις λειτουργίας:

- κανονική λειτουργία που ονομάζεται MEASURE και
- λειτουργία βαθμονόμησης που ονομάζεται TEST

Στην πρώτη κατάσταση λειτουργίας η μονάδα παράγει τα κατάλληλα σήματα χρονισμού κατά τη διάρκεια της λήψης δεδομένων από τον αισθητήρα στον οποίο προσπίπτουν φορτισμένα σωματίδια, ενώ στη δεύτερη κατάσταση λειτουργίας εξυπηρετείται η βαθμονόμηση (calibration) του FE ολοκληρωμένου. Στο σχ. 1 παρατίθενται τα σήματα που αποστέλλονται στο FE ολοκληρωμένο καθώς επίσης και τα σήματα εισόδου-εξόδου που λαμβάνονται ή αποστέλλονται σε άλλες μονάδες του συστήματος.

Θα πρέπει να σημειωθεί εδώ, πως εκτός από την άμεση σύνδεση της μονάδας παραγωγής σημάτων ρύθμισης με τις άλλες μονάδες του VME, υπάρχει και η επικοινωνία της μονάδας μέσω του VMEbus με τον ηλεκτρονικό υπολογιστή. Έτσι τα σήματα ελέγχου προγραμματίζονται από αυτόν.

Εκτός του Εργαστηριακού Συστήματος Ελέγχου μικρολωριδιακών αισθητήρων πυριτίου, η μονάδα για την παραγωγή σημάτων ρύθμισης συστήματος FE θα χρησιμοποιηθεί και σε σύστημα ελέγχου ανιχνευτών/αναλογικών ηλεκτρονικών σε δέσμη ηλεκτρονίων στο CERN της Ελβετίας στα πλαίσια του προγράμματος Preshower του πειράματος



CMS. Οι προδιαγραφές της μονάδας καθορίστηκαν σε συνεργασία του Εργαστηρίου ΦΥΕ του Πανεπιστημίου Ιωαννίνων με ομάδα του CERN που μετέχει στο πρόγραμμα.

Η παρούσα εργασία είναι χωρισμένη σε κεφάλαια και παραρτήματα.

Στο κεφάλαιο 1 περιγράφονται εν συντομία οι μικρολωριδιακοί αισθητήρες πυριτίου και στη συνέχεια αναλύεται η δομή του συστήματος λήψης δεδομένων και ελέγχου ενός μικρολωριδιακού αισθητήρα πυριτίου καθώς επίσης και ο τρόπος λειτουργίας του ζεύγους ολοκληρωμένων PACE.

Στο κεφάλαιο 2 περιγράφεται συνοπτικά η μονάδας παραγωγής σημάτων ρύθμισης του FE. Επίσης γίνεται αναφορά στις υπομονάδες από τις οποίες αποτελείται η μονάδα αυτή.

Στο κεφάλαιο 3 γίνεται αναφορά στον δίαυλο VME και στη συνέχεια περιγράφεται και αναλύεται η υπομονάδα διεπαφής (interface) με το δίαυλο VME. Περισσότερες πληροφορίες για το δίαυλο VME παρατίθενται στο Παράρτημα 1.

Στο κεφάλαιο 4 περιγράφεται και αναλύεται η υπομονάδα παραγωγής και διανομής του σήματος ρολογιού.

Στο κεφάλαιο 5 περιγράφεται και αναλύεται η υπομονάδα επαναφοράς η οποία ενεργοποιείται στην περίπτωση υπερχείλισης της αναλογικής μνήμης του FE.

Στο κεφάλαιο 6 περιγράφεται και αναλύεται η υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού η οποία παράγει τα απαραίτητα σήματα για την βαθμονόμηση του FE.

Στο κεφάλαιο 7 περιγράφεται και αναλύεται η υπομονάδα χρονισμού με τις επιμέρους βαθμίδες της ήτοι την βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου, την βαθμίδα προγραμματιζόμενης καθυστέρησης σήματος σκανδαλισμού πρώτου επιπέδου και τη βαθμίδα που περιέχει την λογική χρονισμού.

Στο κεφάλαιο 8 παρουσιάζεται η υπομονάδα του προγραμματιζόμενου εξασθενητή σήματος.

Στο κεφάλαιο 9 παρουσιάζεται η υπομονάδα μετατροπής σημάτων που είναι υπεύθυνη για την μετατροπή των σημάτων σε διάφορα πρότυπα (LVDS, NIM, TTL, οπτικό) που είναι απαραίτητα για την επικοινωνία της μονάδας με άλλες μονάδες.

Στο κεφάλαιο 10 παρατίθεται αναλυτικά ο τρόπος λειτουργίας της μονάδας.

Τέλος στο κεφάλαιο 11 παρατίθεται μια γενική αποτίμηση της μονάδας μέσα από χρονικές προσομοιώσεις, μετρήσεις των κυκλωμάτων.



# Κεφάλαιο 1

## Μικρολωριδιακοί ανιχνευτές πυριτίου

.....

Στο κεφάλαιο αυτό δίδεται μια περιγραφή των μικρολωριδιακών αισθητήρων πυριτίου και στη συνέχεια δίδονται πληροφορίες για το σύστημα ανάγνωσης μικρολωριδιακών αισθητήρων.

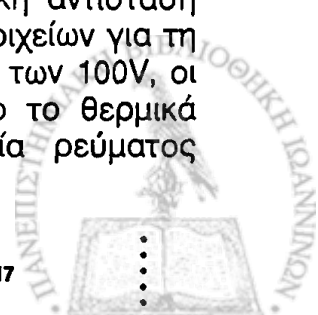
### Γενικά

Οι αισθητήρες πυριτίου<sup>[1]</sup> βρίσκουν εφαρμογή σε πολλά πεδία της έρευνας στη Φυσική. Οι εφαρμογές τους εκτείνονται από τις αλληλεπιδράσεις των στοιχειωδών σωματιών και την αναζήτηση των σωματιών Higgs στην κλίμακα των  $<10^{-20}\text{m}$  έως την έρευνα μεγάλης κλίμακας ( $>10^{28}\text{m}$ ) του σύμπαντος. Ενδιάμεσα των ορίων αυτών χρησιμοποιούνται στην Πυρηνική Φυσική, στην Κρυσταλλογραφία και στην Ιατρική για ακτινογραφία - απεικόνιση καθώς επίσης και στη Μηχανολογία για ευθυγράμμιση. Για κάθε μια από τις πολλές υπάρχουσες εφαρμογές οι ανιχνευτές πυριτίου έχουν τροποποιηθεί κατάλληλα έτσι ώστε να καλύπτουν τις απαιτήσεις ως προς την κλίμακα της ενέργειας και του χρόνου και τα χαρακτηριστικά των σημάτων της εκάστοτε εφαρμογής.

### Αρχή λειτουργίας

Ένας από τους βασικότερους λόγους για τη χρήση του πυριτίου ως υλικό αισθητήρων είναι ότι οι ημιαγωγικές του ιδιότητες με μετρημένη απαγορευμένη περιοχή (band gap)  $1.12\text{eV}$ . Το εύρος της απαγορευμένης περιοχής είναι συγκρίσιμο με τη θερμική ενέργεια δωματίου  $kT=1/40\text{eV}$ . Έτσι, απαιτείται ψύξη μόνο σε περιπτώσεις εφαρμογών πολύ χαμηλού θορύβου ή όταν απαιτείται ο μετριασμός της καταστροφής από ακτινοβολία. Η ενέργεια που απαιτείται για τη δημιουργία ενός ζεύγους ηλεκτρονίου-οπής είναι  $3.6\text{eV}$  -συγκρινόμενο με την ενέργεια ιονισμού των  $15\text{eV}$  στο αέριο Αργό- οδηγώντας σε ιονισμό που αποφέρει για ελάχιστο αριθμό ιονισμένων σωματιών MIP περίπου 80 ζεύγη ηλεκτρονίων-οπών ανά  $\mu\text{m}$ . Έτσι παράγονται περίπου 25000 ζεύγη ηλεκτρονίων-οπών σε ένα δίσκο πυριτίου πάχους  $300\mu\text{m}$  και συλλέγονται σε χρόνο περίπου  $20\text{ns}$  χωρίς βαθμίδα ενίσχυσης.

Τα δισκίδια πυριτίου που χρησιμοποιούνται για αισθητήρες είναι συνήθως n-τύπου με υψηλή ειδική αντίσταση περίπου  $5\text{k}\Omega/\text{cm}$ . Στα δισκίδια αυτά δημιουργούνται περιοχές με χαμηλή ειδική αντίσταση τύπου p σε μορφή νησίδων ή λωρίδων ή ορθογωνίων στοιχείων για τη δημιουργία επαφής. Με ανάστροφη πόλωση χαμηλότερη των  $100\text{V}$ , οι ανιχνευτές μπορούν να απογυμνωθούν έτσι ώστε μόνο το θερμικά δημιουργούμενο ρεύμα να συμβάλλει στη δημιουργία ρεύματος



διάρροής. Για μεγαλύτερα πάχη απαιτείται υψηλότερη τάση επειδή η τάση απογύμνωσης αυξάνει με το τετράγωνο του πάχους. Η επιφάνεια των ανιχνευτών περιορίζεται από τα μεγέθη των δισκιδίων πυριτίου που χρησιμοποιούνται στη βιομηχανία, η οποία έχει αυξήσει το μέγεθος του δίσκου από 4" σε 6" τα τελευταία δύο χρόνια. Σήμερα κατασκευάζονται ανιχνευτές για ευρύτερη περιοχή ανίχνευσης με τη συναρμολόγηση και την συγκόλληση πολλών μικρότερων ανιχνευτών σε βαθμίδες με αρκετά μακρές λωρίδες ανάγνωσης.

## Καταγραφή τροχιάς φορτισμένων σωματιών

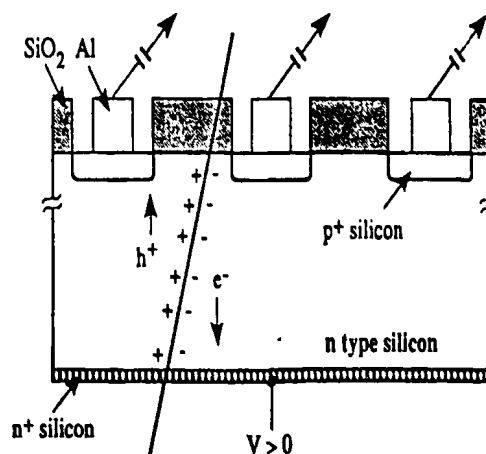
Η ανίχνευση των φορτισμένων σωματιδίων βασίζεται στην ειδική απώλεια ενέργειας στην ύλη. Το σήμα είναι ανάλογο της ειδικής απώλειας ενέργειας ("ισχύς ανάσχεσης") και το πάχος του ανιχνευτή.

Το απαραίτητο πάχος του ανιχνευτή του πυριτίου περιορίζεται από την μια πλευρά από την απαίτηση για συγκράτηση της τάσης απογύμνωσης σε χαμηλά επίπεδα και από την άλλη πλευρά από την απαίτηση του περιορισμού του φαινομένου της πολλαπλής σκέδασης του σωματίου.

Η απόδοση του ανιχνευτή εξαρτάται από το λόγο σήματος προς θόρυβο. Ο λόγος αυτός προσδιορίζει τον αριθμό των επιπλέον συγκρούσεων που δέχεται και εάν υπάρχει ακρίβεια λόγω του διαμοιρασμού του φορτίου που επιτυγχάνεται.

Η χρήση των μικρολωριδιακών αισθητήρων πυριτίου στην καταγραφή τροχιάς σε πειράματα Φυσικής Υψηλών Ενεργειών προωθήθηκε με την εισαγωγή της επίπεδης τεχνολογίας από τον J. Kemmer<sup>[2]</sup> και τα πειράματα σταθερού στόχου στο CERN<sup>[3]</sup>.

Το επόμενο βήμα ήταν η ανάπτυξη ολοκληρωμένων κυκλωμάτων ενισχυτών (ASIC) σε μέγεθος που μπορούσε να συνδεθεί απευθείας με τους ανιχνευτές.



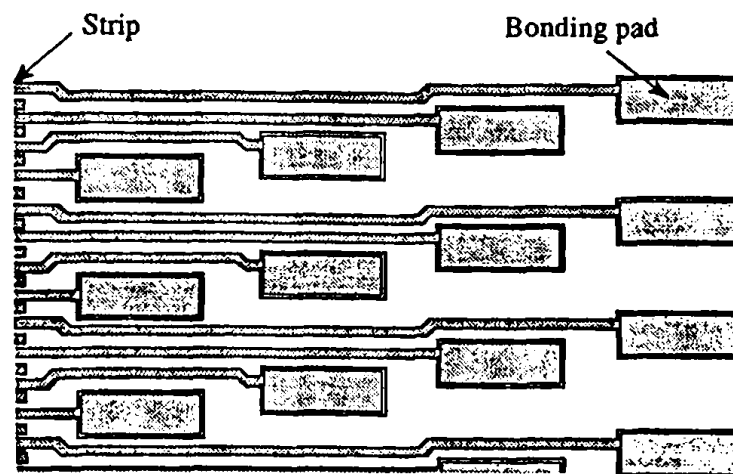
σχ. 2. Κάθετη τομή ανιχνευτή πυριτίου.

Οι ανιχνευτές πυριτίου είναι σήμερα πολύ δημοφιλείς στα πειράματα Φυσικής Υψηλών Ενεργειών, λόγω της πολύ καλής εσωτερικής διακριτικής ικανότητας μέτρησης της ενέργειας και θέσης διελεύσεως φορτισμένων σωματιών ή φωτονίων που παρέχουν. Για να

κατασκευαστεί ένας αισθητήρας πυριτίου<sup>[4],[5]</sup> το μόνο που απαιτείται είναι μια δίοδος, δηλαδή μία επαφή με χαμηλές προσμίξεις δοτών στη μια πλευρά και υψηλή συγκέντρωση δεκτών στην άλλη ( $p^+n$  επαφή). Στο σχ. 2 φαίνεται σχηματικά μια κάθετη τομή ενός ανιχνευτή πυριτίου μιας όψης.

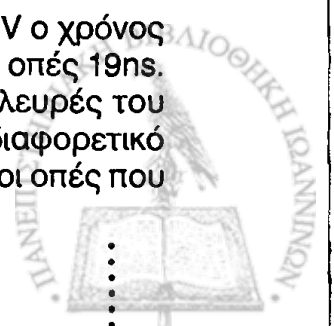
Ένας λεπτός μονοκρύσταλλος πυριτίου τύπου  $n$  έχει στην πάνω πλευρά λωρίδες πυριτίου  $p^+$  και στην κάτω ένα στρώμα από υψηλά εμπλουτισμένο πυρίτιο  $n^+$ . Στη λωρίδα  $p^+$  εφαρμόζεται η ανάστροφη πόλωση της επαφής. Το στρώμα  $n^+$  δεν επιτρέπει στη ζώνη κένωσης να φτάσει στην πίσω πλευρά του ανιχνευτή, όπως επίσης δημιουργεί καλή ωμική επαφή με το μέταλλο αλουμινίου με το οποίο πραγματοποιείται η διασύνδεση με την ανάστροφη πόλωση. Οι λωρίδες  $p^+$  είναι επιμεταλλωμένες με αλουμίνιο για να είναι δυνατή η μικροσυγκόλληση συρμάτων με υπέρηχους και η σύνδεση τους με τα ηλεκτρονικά ανάγνωσης. Η επίστρωση με το  $\text{SiO}_2$  απομονώνει τις γειτονικές λωρίδες. Στο σχ. 3 φαίνεται η άκρη ενός ανιχνευτή με τις νησίδες μικροσυγκόλλησης. Η απόσταση μεταξύ των λωρίδων μπορεί να είναι μέχρι  $25\mu\text{m}$  ή και ακόμη μικρότερη, ενώ στο τέλος κάθε λωρίδας υπάρχει ένα πέλαμα επιφάνειας συνήθως  $60 \times 120\mu\text{m}^2$  για την μικροσυγκόλληση. Μερικές φορές οι νησίδες υπάρχουν μόνο σε κάθε δεύτερη λωρίδα, ενώ οι υπόλοιπες λωρίδες έχουν νησίδες στην κατοπτρική πλευρά του ανιχνευτή.

Εάν ένα φορτισμένο σωματίο ή φωτόνιο διέλθει από έναν ανιχνευτή πυριτίου δημιουργούνται ζεύγη ηλεκτρονίων-οπών. Τα ζεύγη ηλεκτρονίων-οπών δημιουργούνται γύρω από την τροχιά του φορτισμένου σωματίου σε ένα κύλινδρο διαμέτρου περίπου  $1\mu\text{m}$ . Τα φορτία ολισθαίνουν κάτω από την επιρροή ηλεκτρικού πεδίου και συλλέγονται τα μεν ηλεκτρόνια στην πίσω πλευρά ( $n^+$ ) οι δε οπές στις λωρίδες της μπροστινής πλευράς ( $p^+$ ).



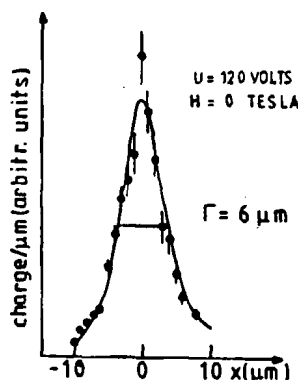
σχ. 3. Το ένα άκρο ανιχνευτή πυριτίου

Για έναν ανιχνευτή πάχους  $280\mu\text{m}$  και για τάση πόλωσης  $100\text{V}$  ο χρόνος για να συλληθούν τα ηλεκτρόνια είναι περίπου  $7\text{ns}$  και για τις οπές  $19\text{ns}$ . Τα ηλεκτρόνια και οι οπές στην πορεία τους προς τις δύο πλευρές του ανιχνευτή διαχέονται με πολλαπλές συγκρούσεις και με διαφορετικό τρόπο λόγω διαφορετικής κινητικότητας. Είναι προφανές ότι οι οπές που





δημιουργούνται στην πίσω πλευρά του ανιχνευτή έχουν να διανύσουν μεγαλύτερη απόσταση και διαχέονται περισσότερο. Το αποτέλεσμα είναι το συλλεγόμενο φορτίο να είναι η υπέρθεση πολλών κατανομών Gauss με διαφορετικά εύρη. Η κατανομή του φορτίου για ανιχνευτή με απόσταση λωρίδων 25 $\mu\text{m}$  και τάση πόλωσης 120V, κατά την οποία η περιοχή απογύμνωσης εκτείνεται μέχρι το πίσω μέρος του ανιχνευτή, φαίνεται στο σχ. 4.



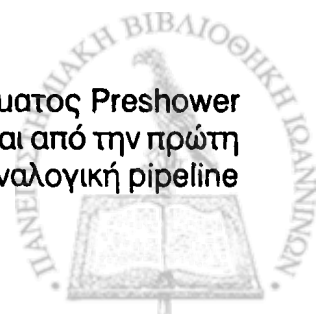
σχ. 4. Κατανομή φορτίου που συλλέγεται στις λωρίδες

Σε πολλά γεγονότα η συλλογή του φορτίου γίνεται από δύο διπλανές λωρίδες λόγω μεγάλου εύρους της διάχυσης. Στην περίπτωση αυτή εφαρμόζεται η τεχνική του κέντρου βάρους για τον εντοπισμό του ακριβούς σημείου διέλευσης του σωματίου. Η διακριτική ικανότητα ενός ανιχνευτή πυριτίου στο χώρο με απόσταση λωρίδων 25 $\mu\text{m}$ , κυμαίνεται μεταξύ 2 και 4 $\mu\text{m}$  και εξαρτάται από την τάση πόλωσης. Η επιλογή της απόστασης μεταξύ των λωρίδων (pitch) είναι επίσης πολύ σημαντικός παράγων για την χωρική ακρίβεια του ανιχνευτή. Επειδή το εύρος του παλμού κυμαίνεται μεταξύ 10 και 20 $\mu\text{m}$ , τίθεται ένα κατώτερο όριο των 20 $\mu\text{m}$  ως απόσταση μεταξύ των λωρίδων.

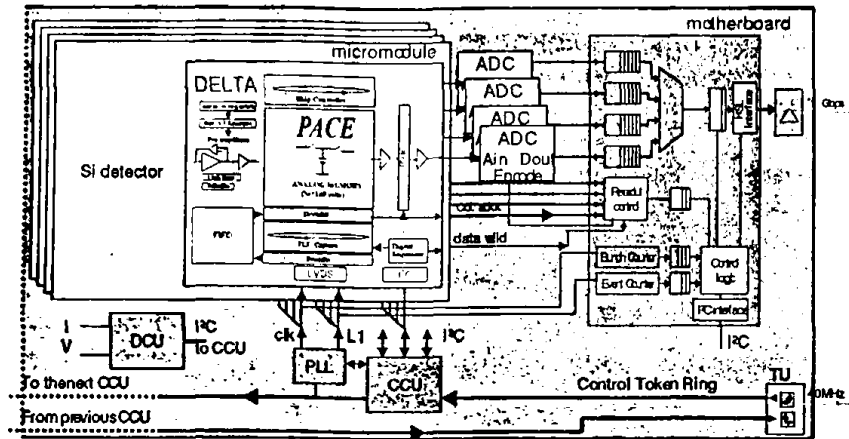
Εκτός των ανιχνευτών πυριτίου με διόδους-λωρίδες παράλληλες στη μία όψη, χρησιμοποιούνται και ανιχνευτές με διόδους-λωρίδες και στις δύο όψεις, όπου οι λωρίδες της μιας όψης είναι κάθετες στις λωρίδες της άλλης όψης. Με αυτήν την τοπολογία είναι δυνατόν να προσδιοριστεί με μεγάλη ακρίβεια η θέση x-y του διερχόμενου φορτισμένου σωματιδίου ή φωτονίου. Χρησιμοποιούνται δύο τρόποι διασύνδεσης των διόδων-λωρίδων του ανιχνευτή με τα ηλεκτρονικά ανάγνωσης. Σύμφωνα με τον πρώτο τρόπο τα φορτία από τις λωρίδες-διόδους αποθηκεύονται σε πυκνωτές που είναι συνδεδεμένοι σε σειρά με τις διόδους (AC σύζευξη). Οι πυκνωτές είναι δυνατόν να είναι εξωτερικοί (του ανιχνευτή) ή ολοκληρωμένοι πάνω στον ανιχνευτή. Στην τελευταία περίπτωση ένα λεπτό στρώμα  $\text{SiO}_2$  τοποθετείται μεταξύ της λωρίδας πυριτίου  $p^+$  και της μεταλλικής λωρίδας του αλουμινίου σχηματίζοντας τον πυκνωτή σύζευξης. Σύμφωνα με τον δεύτερο τρόπο δεν χρησιμοποιείται πυκνωτής (DC σύζευξη).

## Σύστημα ανάγνωσης

Τα ηλεκτρονικά ανάγνωσης<sup>[6]</sup> του ανιχνευτή του πειράματος Preshower βασίζονται σε μια υβριδική αρχιτεκτονική που αποτελείται από την πρώτη βαθμίδα προενίσχυσης-μορφοποίησης DELTA και την αναλογική pipeline



μνήμη όπου αποθηκεύονται τα δεδομένα σε αναλογική μορφή σε πυκνωτές εντός του ολοκληρωμένου. Ακολούθως τα χρήσιμα σήματα οδεύουν σε έναν μετατροπέα αναλογικού σήματος σε ψηφιακό και στο σύστημα δημιουργίας γεγονότων μέσω οπτικής ίνας. Στο σχ. 5 φαίνεται το διάγραμμα βαθμίδων του FE συστήματος ανάγνωσης.



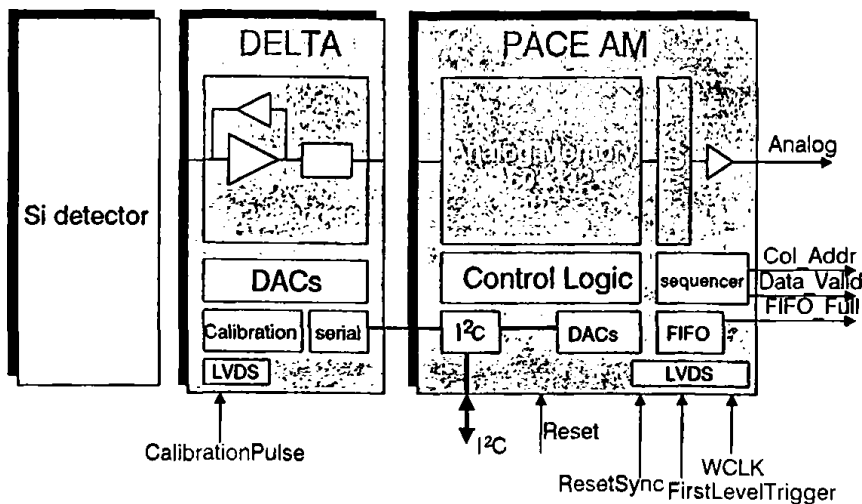
σχ. 5. Διάγραμμα βαθμίδων του FE συστήματος ανάγνωσης

## Το ζεύγος ολοκληρωμένων PACE

Το ζεύγος ολοκληρωμένων PACE αποτελεί την καρδιά του FE συστήματος. Μπορεί να διαβάζει 32 μικρολωριδιακούς ανιχνευτές πυριτίου παράλληλα. Το ζεύγος απαρτίζεται από δύο διακριτά ASIC στοιχεία:

- το ολοκληρωμένο DELTA και
- το ολοκληρωμένο PACE AM

Και τα δύο ολοκληρωμένα έχουν υλοποιηθεί με την τεχνολογία DMILL η οποία μετριάζει την καταστροφή των ανιχνευτών από την ακτινοβολία.



σχ. 6. Απλοποιημένο διάγραμμα του ζεύγους ολοκληρωμένων PACE

## Το ολοκληρωμένο DELTA

Το ολοκληρωμένο περιλαμβάνει τις παρακάτω βαθμίδες:

- 32 προενισχυτές χαμηλού θορύβου που έχουν βελτιστοποιηθεί για τη χρήση στο σύστημα ανάγνωσης των μικρολωριδιακών ανιχνευτών



- 32 μορφοποιητές σημάτων
- Χρησιμοποιείται ένας αριθμός προγραμματιζόμενων DAC μετατροπών για τον ορισμό των συνθηκών πόλωσης των προενισχυτών και των μορφοποιητών
- Το κύκλωμα ελέγχου του παλμού βαθμονόμησης (Calibration)
- Μια σειριακή θύρα I<sup>2</sup>C που χρησιμοποιείται για την παροχή πρόσβασης στους προγραμματιζόμενους DAC μετατροπείς και στο κύκλωμα ελέγχου του παλμού Calibration.

## Το ολοκληρωμένο PACE AM (analog memory)

Το ολοκληρωμένο περιλαμβάνει τις παρακάτω βαθμίδες:

- Μια αναλογική μνήμη βάθους 160 θέσεων που χρησιμοποιείται για την αποθήκευση των δειγμάτων του σήματος με συχνότητα δειγματοληψίας 40MHz (write pointer).
- Ένα σύστημα σήμανσης στηλών με χρήσιμα γεγονότα που ενεργοποιείται από το σήμα σκανδαλισμού πρώτου επιπέδου.
- Ένας πολυπλέκτης εξόδου χρησιμοποιείται για τη σάρωση των 32 αναλογικών θέσεων μνήμης όταν η διεργασία ανάγνωσης ξεκινά σε μια συγκεκριμένη στήλη.
- Χρησιμοποιείται ένας αριθμός DAC μετατροπών για τον ορισμό των συνθηκών πόλωσης των αναλογικών κυκλωμάτων
- Χρησιμοποιείται μια διασύνδεση I<sup>2</sup>C για τον off line προγραμματισμό των εσωτερικών καταχωρητών με παραμέτρους ρύθμισης και δυνατότητα ανάγνωσης πληροφοριών κατάστασης.

Το απλοποιημένο διάγραμμα του ζεύγους ολοκληρωμένων PACE φαίνεται στο σχ. 6. Στο διάγραμμα αυτό εμφανίζονται μόνο τα σήματα που λαμβάνουν μέρος στην διασύνδεση με το σύστημα ανάγνωσης.

Ο πίνακας 1 δίδει μια περιγραφή των σημάτων αυτών.

**Πίνακας 1. Σήματα διασύνδεσης του ζεύγους ολοκληρωμένων PACE**

Όνομα	Τύπος	Επίπεδο	Περιγραφή
CalibrationPulse	Είσοδος	LVDS	Παλμός βαθμονόμησης
WCLK	Είσοδος	LVDS	Ρολόι δειγματοληψίας 40MHz
ResetSync	Είσοδος	LVDS	Επαναφορά του sequencer και της μνήμης pipeline
FirstLevelTrigger	Είσοδος	LVDS	Σκανδαλισμός 1ου επιπέδου
Reset	Είσοδος	CMOS 5V	Επαναφορά όλων των μηχανών καταστάσεων
Col_Addr	Έξοδος	CMOS 5V	Σειριακή έξοδος διεύθυνσης στήλης
Data_Valid	Έξοδος	CMOS 5V	Σήμα πιστοποίησης δεδομένων
FIFO_full	Έξοδος	CMOS 5V	Σημεία υπερχείλισης μνήμης pipeline
I <sup>2</sup> C	Αμφίδρομη	Ανοιχτού συλλέκτη 2.5V	Θύρα ελέγχου χαμηλής ταχύτητας
Analog	Έξοδος	Αναλογική	DC σύζευξη με τον ADC



Το ζεύγος ολοκληρωμένων PACE έχει τρεις τρόπους λειτουργίας που περιγράφονται στον πίνακα 2.

Πίνακας 2. Τρόποι λειτουργίας του ζεύγους ολοκληρωμένων PACE

1

Τρόπος λειτουργίας	Περιγραφή
RESET	Οι δείκτες της κυκλικής μνήμης επαναφέρονται στην αρχή και τα σήματα ελέγχου του sequencer βρίσκονται στην προκαθορισμένη κατάσταση. Αυτή η κατάσταση διατηρείται για όσο χρόνο το σήμα ResetSync είναι ενεργό. Τα δεδομένα που είναι αποθηκευμένα στην κυκλική μνήμη χάνονται με την μεταγωγή σε αυτόν τον τρόπο λειτουργίας.
SLEEP	Ένα ελάχιστο ρεύμα πόλωσης εφαρμόζεται στους προενισχυτές για λόγους ασφαλείας και ελαχιστοποιείται η κατανάλωση ενέργειας στις περιόδους αναμονής (standby). Η λογική ελέγχου βρίσκεται σε κατάσταση επαναφοράς.
RUN	Κανονικός τρόπος καταγραφής δεδομένων. Ο δείκτης εγγραφής της κυκλικής μνήμης δουλεύει στην συχνότητα δειγματοληψίας ενώ ο sequencer ανάγνωσης ενεργοποιείται για την ανάγνωση των αποθηκευμένων γεγονότων.

Το σήμα ResetSync και FirstLevelTrigger έχουν διάρκεια 25ns ενώ το σήμα CalibrationPulse διάρκεια τουλάχιστον 200ns. Το σήμα CalibrationPulse ελέγχει την μεταγωγή που συνδέει και αποσυνδέει πυκνωτές στην είσοδο του καναλιού.

Οι λειτουργίες που πραγματοποιεί το ζεύγος ολοκληρωμένων PACE είναι κατά σειρά:

- η προενίσχυση των σημάτων του ανιχνευτή (preamplification),
- η μορφοποίηση των σημάτων (shaping) δηλαδή η δημιουργία σημάτων της συγκεκριμένης μορφής (σταθερής διάρκειας και διαφορετικού πλάτους), ώστε η πληροφορία που μεταφέρουν να μην αλλοιώνεται από τα ηλεκτρονικά κυκλώματα που ακολουθούν,
- η δειγματοληψία των σημάτων (sampling) με σταθερό ρυθμό 40MHz,
- η προσωρινή αποθήκευση των σημάτων σε αναλογικές μνήμες για χρονικό διάστημα τουλάχιστον ίσο με τον λανθάνοντα χρόνο σκανδαλισμού (Trigger Latency),
- και τέλος η ταξινόμηση των δεδομένων και η διαμόρφωση τους με κατάλληλο τρόπο (formatting) για την μετάδοσή τους από το χώρο του ανιχνευτή στο σύστημα λήψης δεδομένων, με την έλευση του παλμού σκανδαλισμού.

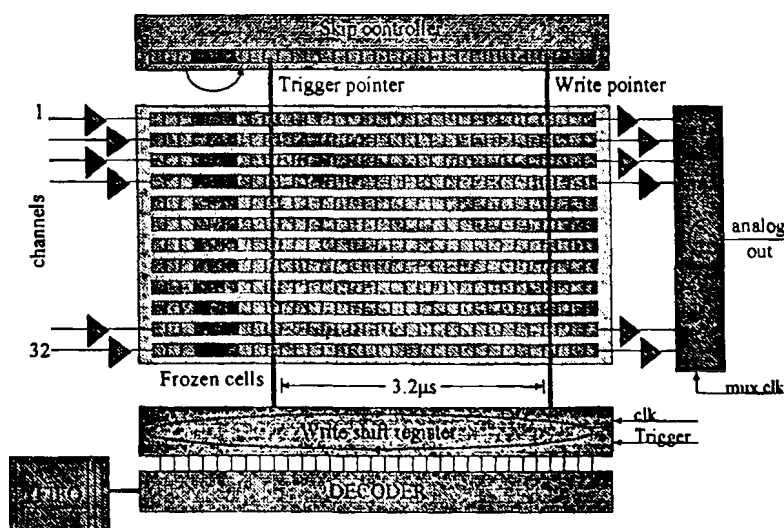
Η αρχιτεκτονική του PACE είναι αναλογικού τύπου. Αυτό σημαίνει πως η δειγματοληψία, η προσωρινή αποθήκευση και η τελική μετάδοση των σημάτων γίνεται με αναλογικό τρόπο. Όμως θα πρέπει να αναφερθεί πως τα σήματα που θα φτάσουν στη μονάδα ανάγνωσης (Read out module) θα είναι ψηφιοποιημένα λόγω της παρεμβολής αναλογικού/ψηφιακού μετατροπέα (Analog to Digital Converter, ADC). Ουσιαστικά η αρχιτεκτονική που ακολουθεί του ζεύγους ολοκληρωμένων PACE είναι σύγχρονη αναλογική με ρυθμό δειγματοληψίας σταθερό συχνότητας 40MHz.

Η τεχνική της δειγματοληψίας μπορεί να είναι αυτή της δειγματοληψίας φορτίου (charge sampling) ή της δειγματοληψίας δυναμικού (voltage sampling). Η δειγματοληψία και τα δείγματα αποθηκεύονται διαδοχικά στους πυκνωτές της αναλογικής μνήμης.



Η αναλογική μνήμη αποτελείται από μια διάταξη πυκνωτών σε μορφή πίνακα. Ο πίνακας αυτός έχει 160 στήλες των 32 πυκνωτών η κάθε μία στήλη. Δηλαδή οι σειρές των πυκνωτών είναι τόσες, όσα και τα κανάλια σήματος που εξυπηρετεί το κάθε PACE. Το σχ. 7 παρουσιάζει το λογικό διάγραμμα της αναλογικής μνήμης.

Στην αναλογική μνήμη υπάρχει ένας μηχανισμός του οποίου πρώτη λειτουργία είναι η μετακίνηση ενός δείκτη εγγραφής (write pointer) προς τα δεξιά στον χώρο της διάταξης των πυκνωτών. Ο δείκτης εγγραφής προωθείται κατά μία θέση σε κάθε παλμό του ρολογιού της δειγματοληψίας και όταν φτάσει το τέλος της μνήμης επανέρχεται στην αρχική θέση και συνεχίζει. Με την λειτουργία αυτή η αναλογική μνήμη αποθηκεύει στις κυψέλες κάθε στήλης τα φορτία που συλλέγονται από τα 32 κανάλια του ανιχνευτή κατά το χρονικό διάστημα της δειγματοληψίας (time slot) που είναι ίσο με 25ns. Θα πρέπει στο σημείο αυτό να γίνει η επισήμανση πως το κάθε γεγονός που καταγράφεται από τον ανιχνευτή καταλαμβάνει περισσότερο χώρο από το χώρο μιας στήλης. Αυτό εξαρτάται από τη διάρκεια του παλμού που πρέπει να καταγραφεί. Στην περίπτωση που η διάρκεια του παλμού είναι 50nsec (αυτό καθορίζεται από τον μορφοποιητή) χρειάζονται τρεις στήλες, μια για την αρχή της ανόδου του παλμού, μια στην κορυφή του και μια στο τέλος της καθόδου του.



σχ. 7. Λογικό διάγραμμα της αναλογικής μνήμης.

Εκτός του δείκτη εγγραφής, υπάρχει και ο δείκτης ανάγνωσης (read pointer). Ο δείκτης ανάγνωσης παρακολουθεί τον δείκτη εγγραφής παραμένοντας όμως πίσω του κατά ένα συγκεκριμένο αριθμό θέσεων μνήμης που αντιστοιχεί στον λανθάνοντα χρόνο σκανδαλισμού Latency-Delay. Ένας εξωτερικός παλμός σκανδαλισμού (ExternalTrigger) που είναι δυνατόν να προέρχεται από τη μονάδα παραγωγής διαδοχικών παλμών (SEQ) -για την οποία έγινε αναφορά στην εισαγωγή- προκαλεί έναν παλμό σκανδαλισμού πρώτου επιπέδου (FirstLevelTrigger) στη μονάδα FE Control. Με την έλευση του παλμού σκανδαλισμού πρώτου επιπέδου στο PACE ο δείκτης ανάγνωσης σημαδεύει μία ή περισσότερες στήλες, όπου είναι αποθηκευμένο ένα χρήσιμο γεγονός. Ο εξωτερικός παλμός σκανδαλισμού δηλαδή, υποδηλώνει τη χρονική στιγμή που έχει

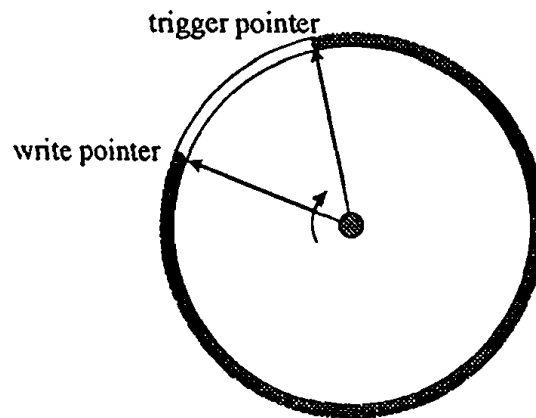


καταχωρηθεί ένα χρήσιμο γεγονός στην αναλογική μνήμη. Πρέπει να αναφερθεί πως παλμός `FirstLevelTrigger` πρέπει να παραχθεί και στην περίπτωση της λειτουργίας βαθμονόμησης.

Οι σημαδεμένες θέσεις μνήμης προστατεύουν τα περιεχόμενά τους από τις διαδοχικές εγγραφές. Δεν επιτρέπεται δηλαδή η πρόσβαση των δύο δεικτών στις μαρκαρισμένες στήλες. Οι πληροφορίες παραμένουν αποθηκευμένες στις σημαδεμένες στήλες μέχρι την εκκίνηση του κύκλου ανάγνωσης της μνήμης (`Readout Cycle`).

Όταν θα έχουμε την εκκίνηση του κύκλου ανάγνωσης της μνήμης ένας άλλος μηχανισμός αναλαμβάνει να αναζητήσει τις διευθύνσεις των σημαδεμένων στηλών και να τις διασυνδέσει με τις εισόδους του μετατροπέα αναλογικού σήματος σε ψηφιακό (ADC) και να γίνει έτσι η ψηφιοποίηση της πληροφορίας.

- Η λειτουργία της αναλογικής μνήμης που περιγράφεται ανωτέρω μπορεί να παρασταθεί με μια κυκλική μνήμη στην οποία τόσο ο δείκτης εγγραφής όσο και ο δείκτης ανάγνωσης περιστρέφονται, όπως φαίνεται και στο σχ. 8. Η σήμανση των στηλών από τον δείκτη ανάγνωσης έχει σαν αποτέλεσμα την δέσμευση των στηλών και την προσωρινή απομάκρυνσή τους από την λειτουργία της κυκλικής μνήμης.



σχ. 8. Η λειτουργία της κυκλικής μνήμης

Από όσα αναφέρθηκαν γίνεται σαφές πως υπάρχει περίπτωση να έχουμε υπερχείλιση της αναλογικής μνήμης. Τότε η μόνη δυνατότητα ανάνηψης από την κατάσταση αυτή είναι η εφαρμογή παλμού επαναφοράς (`ResetSync`) ανά περιοδικά διαστήματα. Με την εφαρμογή του παλμού αυτού έχουμε ταυτόχρονη επαναφορά των δεικτών εγγραφής και ανάγνωσης στην αρχική τους θέση καθώς και την αποδέσμευση των σημαδεμένων θέσεων μνήμης. Ο δείκτης εγγραφής ξεκινά να γράφει τις άδειες πλέον στήλες με τον πρώτο παλμό ρολογιού από τη στιγμή που εφαρμόστηκε το σήμα `ResetSync`. Από τα παραπάνω γίνεται σαφές πως θα πρέπει να γίνεται η εκκίνηση του κύκλου ανάγνωσης νωρίτερα από την εφαρμογή του παλμού επαναφοράς και ο ρυθμός του κύκλου ανάγνωσης να είναι τέτοιος ώστε να μην υπάρξει απώλεια πληροφορίας.

## Κεφάλαιο 2

# Περιγραφή της μονάδας παραγωγής σημάτων ρύθμισης

- Στο κεφάλαιο αυτό δίδεται μια σύντομη περιγραφή της μονάδας ελέγχου που αποτελεί το αντικείμενο της παρούσας διπλωματικής εργασίας.

### Γενικά

Στην εισαγωγή της παρούσας διπλωματικής εργασίας αναφέρθηκε ότι η μονάδα αυτή αποτελεί μέρος ενός γενικότερου εργαστηριακού συστήματος που σκοπό έχει τον έλεγχο, την καταγραφή και την επεξεργασία της πληροφορίας που συλλέγεται από έναν μικρολωριδιακό αισθητήρα πυριτίου. Ο αισθητήρας μαζί με τα αναλογικά ηλεκτρονικά βρίσκεται τοποθετημένος πάνω σε τράπεζα που κινείται με τη βοήθεια ενός βηματικού κινητήρα. Ο βηματικός κινητήρας ελέγχεται μέσω του λογισμικού πακέτου LabView το οποίο λειτουργεί σε έναν προσωπικό υπολογιστή. Η διέλευση σωματίων από τον ανιχνευτή έχει ως αποτέλεσμα την παραγωγή σημάτων τα οποία αφού ενισχυθούν και μορφοποιηθούν αποθηκεύονται στην αναλογική μνήμη του PACE chipset.

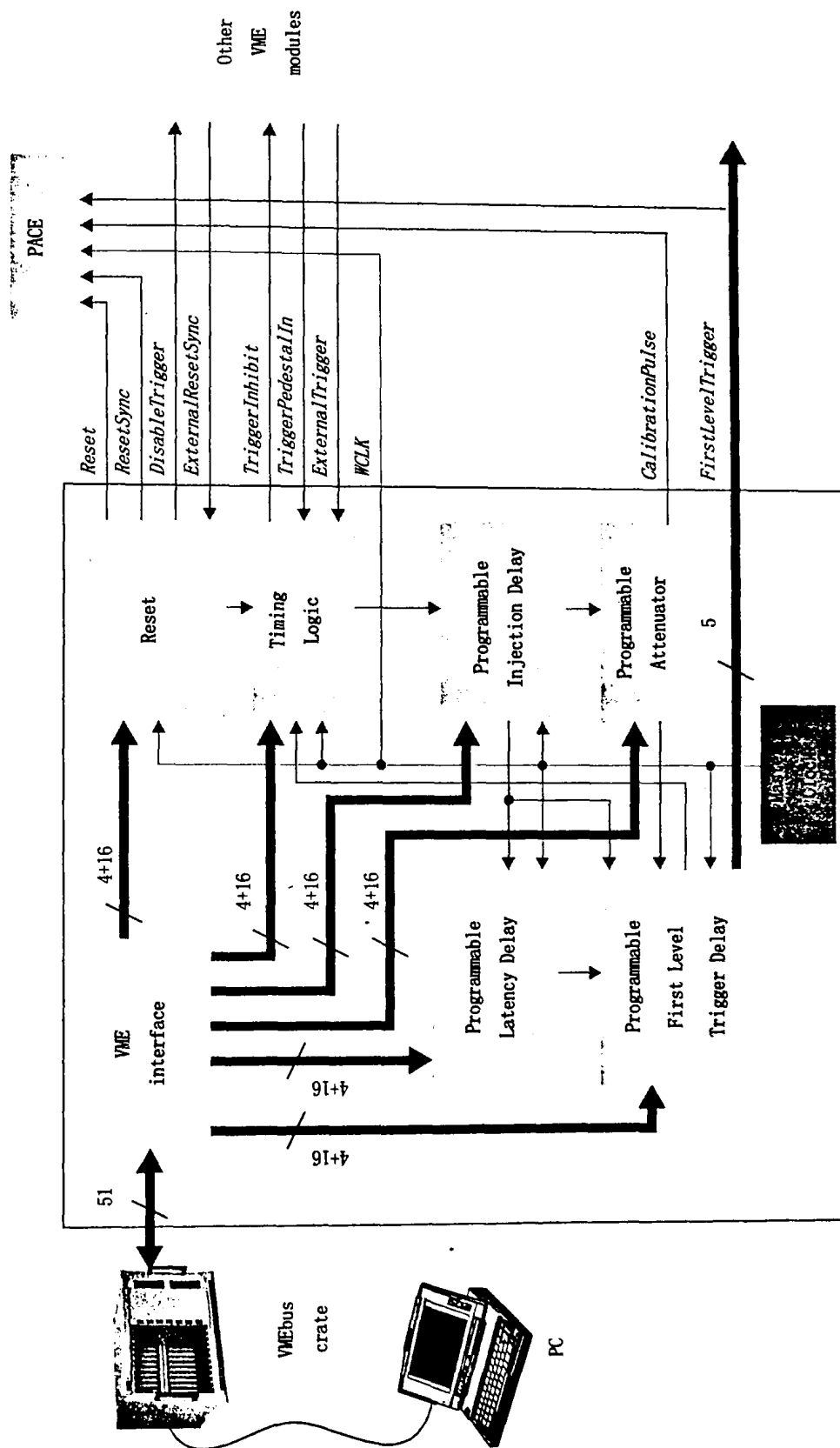
### Μονάδα παραγωγής σημάτων ρύθμισης

Στο σχ. 9 δίδεται το γενικό διάγραμμα της μονάδας ελέγχου (FE Control) του ζεύγους ολοκληρωμένων PACE chip. Στο διάγραμμα γίνεται μια παρουσίαση των υπομονάδων της κάρτας, των διασυνδέσεων που υπάρχουν μεταξύ τους καθώς επίσης εμφανίζονται τα σήματα που εισέρχονται και εξέρχονται από άλλες ή προς άλλες μονάδες.

Η μονάδα παραγωγής σημάτων ρύθμισης έχει σχεδιαστεί ως μια πλακέτα VME 6U δύο επιπέδων και η επικοινωνία του χρήστη με αυτήν επιτυγχάνεται μέσω ενός PC.

Ένα τμήμα της μονάδας είναι η υπομονάδα διεπαφής VME (VME interface). Βασική εργασία που επιτελεί η υπομονάδα διεπαφής VME είναι η παροχή της επικοινωνίας μεταξύ του χρήστη και της μονάδας ελέγχου μέσω μιας διεπαφής PCI-VME. Μέσω της υπομονάδας αυτής είναι δυνατόν ο χρήστης να προγραμματίσει όλες τις παραμέτρους των σημάτων που παράγει η μονάδα.





σχ. 9. Γενικό διάγραμμα μονάδας ελέγχου





Για τον συγχρονισμό των σημάτων παράγεται και χρησιμοποιείται στη μονάδα η υπομονάδα παραγωγής και διανομής του βασικού ρολογιού (WCLK) των 40MHz. Η συχνότητα των 40MHz χρησιμοποιείται για να μετακινείται ο δείκτης εγγραφής (write pointer) της αναλογικής μνήμης του ζεύγους ολοκληρωμένων PACE και καθορίζει το χρονικό διάστημα της δειγματοληψίας (time slot) που είναι ίσο με 25ns. Με άλλα λόγια έχουμε αποθήκευση πληροφορίας στις κυψέλες κάθε στήλης της αναλογικής μνήμης κάθε 25ns. Όλα τα προγραμματιζόμενα από το χρήστη σήματα που παράγονται στη μονάδα παραγωγής σημάτων ρύθμισης είναι συγχρονισμένα με το ρολόι των 40MHz.

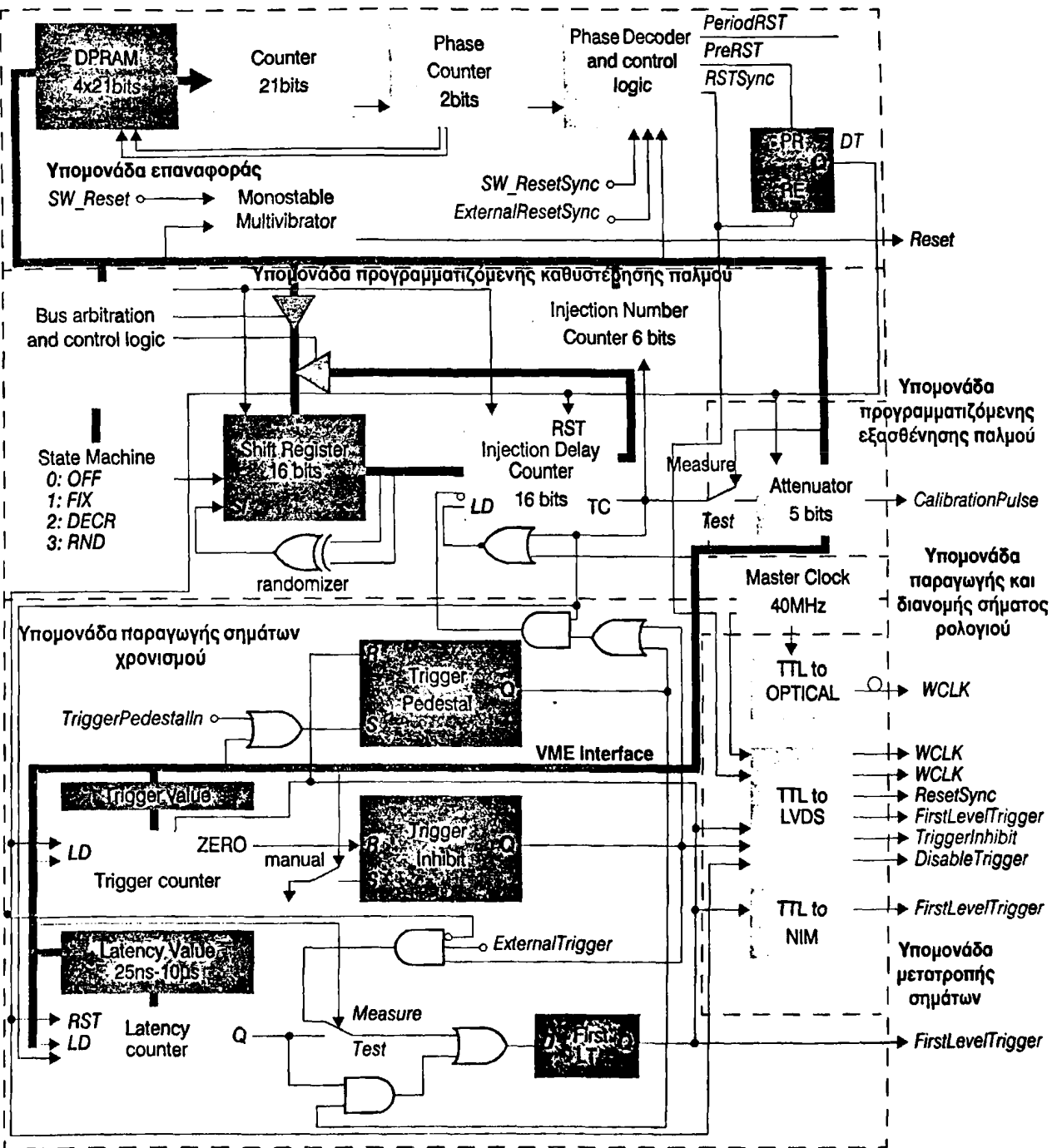
Μια άλλη υπομονάδα της κάρτας ελέγχου του PACE είναι η υπομονάδα επαναφοράς. Με βάση την αναφορά που έγινε στην παράγραφο "Το ζεύγος ολοκληρωμένων PACE" είναι πιθανή η εμφάνιση του φαινομένου της υπερχειλίσσης της αναλογικής μνήμης. Δηλαδή, η αναλογική μνήμη γεμίζει με χρήσιμα γεγονότα και δεν υπάρχει άλλος χώρος για την μετακίνηση του δείκτη εγγραφής. Στην περίπτωση αυτή πρέπει να υπάρχει η δυνατότητα ανάνηψης της μνήμης από αυτή την κατάσταση και αυτό γίνεται με την εφαρμογή του παλμού επαναφοράς (ResetSync pulse). Το ρόλο της παραγωγής του παλμού επαναφοράς επιτελεί η υπομονάδα επαναφοράς. Κατά τη διάρκεια εφαρμογής του παλμού επαναφοράς της μνήμης, η υπομονάδα αποτρέπει την παραγωγή σημάτων σκανδαλισμού. Ταυτόχρονα και ανεξάρτητα η υπομονάδα είναι σε θέση να δημιουργεί κι έναν παλμό επαναφοράς έτσι ώστε να επαναφέρονται στην αρχική κατάσταση όλες οι μηχανές καταστάσεων του PACE.

Οι υπομονάδες προγραμματιζόμενης καθυστέρησης παλμού και προγραμματιζόμενης εξασθένησης του παλμού είναι τμήματα που χρησιμοποιούνται για την παραγωγή του παλμού βαθμονόμησης (calibration) του PACE. Κατά την λειτουργία της βαθμονόμησης, η μονάδα σε προγραμματιζόμενα χρονικά διαστήματα παράγει ένα ψηφιακό παλμό ο οποίος στη συνέχεια εξασθενείται με προγραμματιζόμενη εξασθένηση και οδηγείται στο PACE. Στην περίπτωση που η κάρτα βρίσκεται στη λειτουργία της δειγματοληψίας η υπομονάδα του προγραμματιζόμενου εξασθενητή βρίσκεται εκτός λειτουργίας και οι ψηφιακοί παλμοί που παράγονται από την υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού injection στέλνονται στην υπομονάδα που είναι υπεύθυνη για την παραγωγή σημάτων σκανδαλισμού πρώτου επιπέδου.

Η υπομονάδα παραγωγής σημάτων χρονισμού έχει ως βασική λειτουργία την παραγωγή σημάτων χρονισμού που απαιτούνται για την λειτουργία της μονάδας ελέγχου αλλά και σημάτων χρονισμού που απευθύνονται σε άλλες μονάδες. Η υπομονάδα αποτελείται από τρεις βαθμίδες: α. την βαθμίδα λογικής χρονισμού με την οποία παράγονται σήματα που ενημερώνουν την μονάδα παραγωγής διαδοχικών παλμών (Sequencer, SEQ) εάν είναι επιτρεπτή η παραγωγή σημάτων σκανδαλισμού και τη μονάδα ανάγνωσης των αναλογικών ηλεκτρονικών (FE Readout) εάν υπάρχουν χρήσιμες πληροφορίες στην αναλογική μνήμη που πρέπει να αναγνωσθούν. β. τη βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου και γ. τη βαθμίδα προγραμματιζόμενης καθυστέρησης του σήματος σκανδαλισμού πρώτου επιπέδου. Με την δεύτερη βαθμίδα πραγματοποιείται ο προγραμματισμός

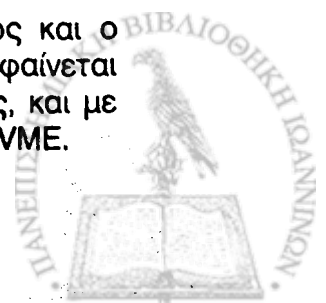


καθυστέρησης ίσης με τον λανθάνοντα χρόνο σκανδαλισμού. Με τη τρίτη βαθμίδα παράγεται στον κατάλληλο χρόνο το σήμα που πραγματοποιεί τη μετακίνηση του δείκτη ανάγνωσης (read pointer). Δηλαδή, εάν συμβεί ένα χρήσιμο γεγονός στον μικρολωριδιακό ανιχνευτή πυριτίου, παράγεται παλμός σκανδαλισμού που έχει σαν αποτέλεσμα τη μετακίνηση του δείκτη ανάγνωσης και τη σημάνση της θέσης μνήμης στην οποία έχει καταγραφεί.



σχ. 10. Λεπτομερές διάγραμμα της μονάδας ελέγχου

Η ανάπτυξη καθεμίας από τις παραπάνω υπομονάδες καθώς και ο σχεδιασμός τους ακολουθεί στα επόμενα κεφάλαια. Στο σχ. 10 φαίνεται με μεγαλύτερη λεπτομέρεια όσα αναφέρθηκαν προηγουμένως, και με την έντονη γκρι γραμμή αναπαρίσταται ο δίαυλος επικοινωνίας VME.



## Κεφάλαιο 3

# Υπομονάδα διεπαφής με το δίαυλο VME

.....

- Στο κεφάλαιο αυτό δίδεται μια σύντομη περιγραφή του διαύλου VME και στη συνέχεια αναλύεται η μέθοδος διεπαφής με το συγκεκριμένο δίαυλο.

### Γενικά

#### Εισαγωγή στο δίαυλο VME

Ο όρος VME<sup>[7],[8],[9]</sup> προέρχεται είναι ακρωνύμιο των Versa Module EuroCard που επινοήθηκε το 1980 από μια ομάδα κατασκευαστών οι οποίοι και το προσδιόρισαν. Την ομάδα αυτή αποτελούσαν μηχανικοί από τις εταιρίες Motorola, Mostek και Signetics οι οποίοι συνεργάστηκαν για τον ορισμό του προτύπου. Ο όρος 'bus' είναι ένας γενικός όρος που περιγράφει ένα δίαυλο δεδομένων ή έτσι ονομάστηκε VMEbus.

Το VERSAbus είχε ορισθεί από την εταιρία Motorola το 1979 για τον 68000 μικροεπεξεργαστή της. Αρχικά συναγωνίζονταν άλλα buses όπως το Multibus™, το STD Bus, το S-100 και το Q-bus. Όμως σπάνια χρησιμοποιείται πλέον.

Από την εισαγωγή του VMEbus στον χώρο των buses έχουν δημιουργηθεί για το VMEbus χιλιάδες προϊόντα και απασχολούνται πολλοί κατασκευαστές πλακετών, μηχανολογικού υλικού, λογισμικού και ολοκληρωμένων διεπαφής με το bus.

Η προδιαγραφή VMEbus κατατέθηκε, εγκρίθηκε και καθορίζεται από τα ακόλουθα πρότυπα: ANSI/IEEE Std 1014-1987 και VITA D8.1 VME64. Τέλος θα πρέπει να τονιστεί ότι το VMEbus υπέστη βελτιώσεις και αναθεωρήσεις. Το VME64 αποτελεί ένα υπερσύνολο των δυνατοτήτων του VMEbus με δυνατότητες μεταφοράς δεδομένων 64bits.

#### Χαρακτηριστικά του διαύλου VME

Η προδιαγραφή του διαύλου VME (IEEE-1014-1987) έχει ένα αριθμό από χαρακτηριστικά. Μερικά από αυτά είναι:

- Αρχιτεκτονική master/slave
- Ασύγχρονος δίαυλος (δεν χρησιμοποιούνται ρολόγια για την μεταφορά δεδομένων)
- Μη πεπλεγμένος δίαυλος
- Περιοχή διευθυνσιοδότησης μεταξύ 16 και 32-bits
- Δίαυλος δεδομένων μεταξύ 8 και 32-bits
- Εύρος μεταφοράς 40 Mbyte/s



- Δυνατότητα ύπαρξης πολλών επεξεργαστών
- Δυνατότητα ενεργοποίησης διακοπών
- Έως και 21 υποδοχές για τη διασύνδεση καρτών μπορούν να χρησιμοποιηθούν σε ένα backplane

## Εφαρμογές του διαύλου VME

Ο δίαυλος VME χρησιμοποιείται σε πολλούς διαφορετικούς τομείς εφαρμογής. Αντιπροσωπευτικές εφαρμογές του διαύλου VME είναι:

- Συστήματα ελέγχου μηχανών
- Τηλεπικοινωνιακά μεταγωγικά συστήματα
- Συστήματα μετρήσεων
- Συστήματα απεικόνισης
- Συστήματα ελέγχου της κυκλοφορίας
- Απομακρυσμένα οχήματα, robots

Τα προϊόντα VMEbus απαντώνται ουσιαστικά σε κάθε περιβάλλον, συμπεριλαμβανομένου των υποθαλάσσιων ελέγχων, τα επίγεια εμπορικά συστήματα, και τα οχήματα κάθε είδους - ακόμη και διαστημικά οχήματα. Η εμπειρία, το μέγεθος αγοράς, και μια ευρεία βάση εφαρμογής ενισχύουν VMEbus ως καθιερωμένη πλατφόρμα ανάπτυξης εφαρμογών.

## Δομή του διαύλου VME

Ο δίαυλος VME περιλαμβάνει τέσσερις σχετικούς υπό-διαύλους. Αυτοί είναι:

**Δίαυλος μεταφοράς δεδομένων.** Ο δίαυλος μεταφοράς δεδομένων αποτελείται από τις γραμμές διευθύνσεων, τις γραμμές δεδομένων, και τις γραμμές ελέγχου. Χρησιμοποιείται για να μεταφέρει τα δεδομένα (8, 16 και 32-bit μεταφορές) μεταξύ του master και των slaves κατά τη διάρκεια των κανονικών κύκλων του διαύλου και από τους χειριστές των διακοπών για να λάβουν το άνυσμα της διακοπής κατά τη διάρκεια των κύκλων αναγνώρισης διακοπής.

**Δίαυλος προτεραιότητας διακοπών.** Ο δίαυλος διακοπών μεταδίδει τις αιτήσεις διακοπών στον χειριστή και χρησιμοποιείται μαζί με το δίαυλο μεταφοράς δεδομένων και το δίαυλο διαιτησίας για να λάβουν το άνυσμα διακοπής κατά τη διάρκεια του κύκλου αναγνώρισης διακοπής.

**Δίαυλος διαιτησίας.** Ο δίαυλος διαιτησίας χρησιμοποιείται από τον διαιτητή, τους masters, και τους χειριστές για την αίτηση χορήγησης και της παραχώρησης του διαύλου. Αποτελείται από τις γραμμές αίτησης, τις γραμμές παραχώρησης του διαύλου και τις γραμμές ελέγχου.

**Βοηθητικός δίαυλος.** Ο βοηθητικός δίαυλος περιλαμβάνει το σήμα για το ρολόι του συστήματος, το σήμα επαναφοράς του συστήματος, καθώς επίσης και τα σήματα βλάβης του συστήματος ή του τροφοδοτικού.

Περισσότερες πληροφορίες για το δίαυλο VME δίδονται στο Παράρτημα 1.



## Προδιαγραφές

Οι προδιαγραφές της υπομονάδας διεπαφής με το VME καθορίζονται ως εξής:

- αποκωδικοποίηση των διευθύνσεων του διαύλου VME έτσι ώστε να ενεργοποιεί τη μονάδα αν υπάρχει εντολή που απευθύνεται προς αυτήν
- οδήγηση του καταλλήλου σήματος για τον τερματισμό της διαδικασίας μεταφοράς δεδομένων προς την μονάδα
- οδήγηση του καταλλήλου σήματος για την ενημέρωση του ελεγκτή του VME σε περίπτωση εμφάνισης σφάλματος κατά τη μεταφορά δεδομένων από αυτόν προς τη μονάδα

3

## Υλοποίηση

### Διεπαφή με το δίαυλο VME

Για την υλοποίηση της παρούσας υπομονάδας αξιολογήθηκαν δύο τρόποι:

- με χρήση διακριτών ολοκληρωμένων
- με χρήση ολοκληρωμένου προγραμματιζόμενης λογικής τεχνολογίας CPLD

Για την αξιολόγηση ελήφθησαν υπόψη οι παρακάτω παράμετροι:

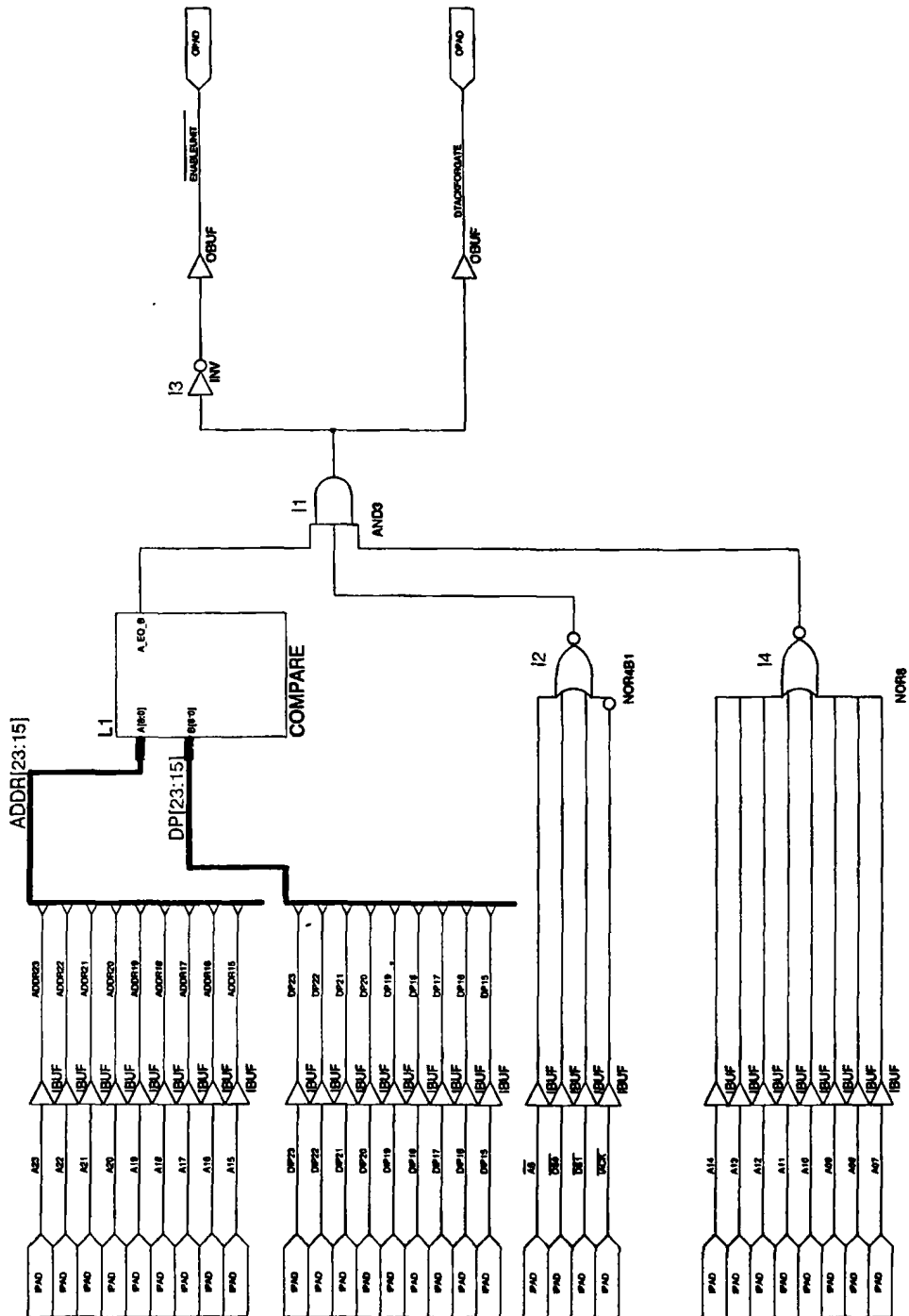
- Ο χώρος που καταλαμβάνει η υπομονάδα
- Οι χρονικές καθυστερήσεις που προκύπτουν
- Η δυνατότητα της εύκολης αλλαγής ή επέκτασης της λογικής

Με τη χρήση διακριτών ολοκληρωμένων το μοναδικό πλεονέκτημα είναι η χρήση κοινά αποδεκτών ολοκληρωμένων που η αξιοπιστία τους και η λειτουργία τους είναι ευρύτατα γνωστή. Στα μειονεκτήματα αυτού του τρόπου υλοποίησης συγκαταλέγονται ο μεγάλος χώρος που καταλαμβάνουν τα διακριτά ολοκληρωμένα, οι μεγάλες χρονικές καθυστερήσεις που προκύπτουν αλλά και η δυσκολία που προκύπτει στην αλλαγή της λογικής.

Με τη χρήση ενός ολοκληρωμένου προγραμματιζόμενης λογικής τεχνολογίας CPLD, η υλοποίηση της υπομονάδας καταλαμβάνει ελάχιστο χώρο, οι χρονικές καθυστερήσεις που προκύπτουν είναι ελάχιστες και επιπλέον είναι εύκολη και η αλλαγή και επέκταση της λογικής με επανα-προγραμματισμό της λογικής του ολοκληρωμένου. Σημειώνεται δε ότι η πληθώρα των ακροδεκτών που διαθέτει το προγραμματιζόμενο ολοκληρωμένο διευκολύνει πολύ την διεπαφή με τα



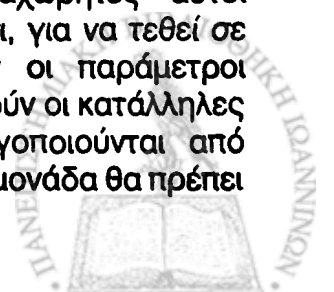
πολύαριθμα σήματα του διαύλου VME. Περισσότερες πληροφορίες για τα ολοκληρωμένα προγραμματιζόμενης λογικής παρατίθενται στο Παράρτημα 3 στην σελίδα 133.



σχ. 11. Κύκλωμα που υλοποιήθηκε σε CPLD για την αποκωδικοποίηση διευθύνσεων

### Αποκωδικοποίηση διευθύνσεων

Για να λειτουργήσει η μονάδα παραγωγής σημάτων ρύθμισης χρησιμοποιεί ένα αριθμό καταχωρητών. Οι καταχωρητές αυτοί διευθυνσιοδοτούνται άμεσα από το δίαυλο VME. Έτσι, για να τεθεί σε λειτουργία η μονάδα αλλά και για να ορισθούν οι παράμετροι λειτουργίας της θα πρέπει από το δίαυλο VME να δοθούν οι κατάλληλες τιμές στους κατάλληλους καταχωρητές που ενεργοποιούνται από διευθύνσεις του διαύλου VME. Από την άλλη πλευρά η μονάδα θα πρέπει



να διαθέτει τα κατάλληλα κυκλώματα έτσι ώστε να είναι εφικτή η διεπαφή και η αποκωδικοποίηση των διευθύνσεων του διαύλου VME. Η υπομονάδα αποφασίζει μετά την αποκωδικοποίηση της διεύθυνσης που υπάρχει στο δίαυλο διευθύνσεων του VME αν η διεύθυνση ανήκει στο χώρο διευθύνσεων της μονάδας έτσι ώστε να ενεργοποιήσει τη μονάδα για να λάβει την εντολή που απευθύνεται προς αυτή. Για την λειτουργία της μονάδας χρησιμοποιείται ένα τμήμα από 32 διευθύνσεις μνήμης των 16 bits (D16) από τις οποίες -μέσω του διαύλου VME- η μονάδα δέχεται εντολές. Οι 32 αυτές διευθύνσεις μπορούν να τοποθετηθούν οπουδήποτε μέσα στο χώρο διευθύνσεων (A24) σε αποστάσεις των 32 kwords, που αναγνωρίζει ο δίαυλος αρκεί στο συγκεκριμένο χώρο να μην υπάρχει και άλλη μονάδα. Στο σχ. 11 παρατίθεται το κύκλωμα που σχεδιάστηκε εντός του CPLD για την αποκωδικοποίηση των διευθύνσεων.

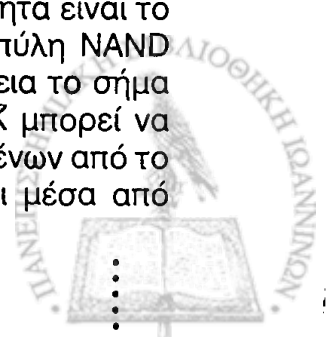
Το σχ. 12 εμφανίζει το σχηματικό διάγραμμα της σύνδεσης των μικροδιακοπών καθώς επίσης και τα σήματα οδήγησης  $\overline{DTACK}$  και  $\overline{BERR}$  του διαύλου VME.

Από τους μικροδιακόπτες που είναι τοποθετημένοι επάνω στην πλακέτα μπορεί να οριστεί η τιμή των bits A23:A15 ενώ τα bits A14:A07 για να ενεργοποιηθεί η μονάδα θα πρέπει να βρίσκονται σε κατάσταση low. Τέλος στην αποκωδικοποίηση τα bits A06:A02 δεν λαμβάνουν μέρος στην αποκωδικοποίηση και διευθυνσιοδοτούν απευθείας τους καταχωρητές της μονάδας για την παραγωγή των εσωτερικών διευθύνσεων. Έτσι από τους μικροδιακόπτες μπορεί να οριστεί η διεύθυνση βάσης (base address) της μονάδας.

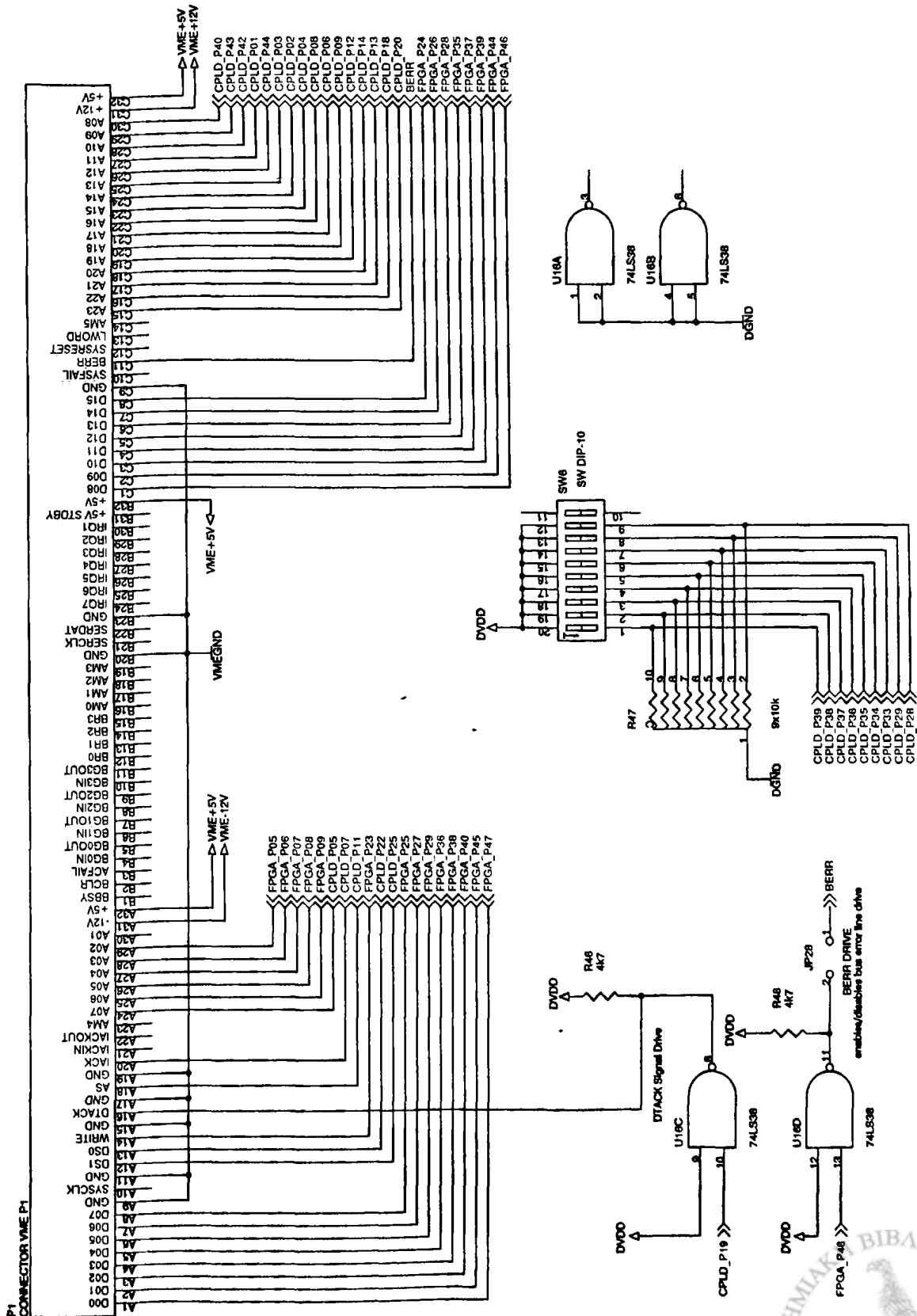
Όταν δοθεί μια εντολή από το VME που αφορά τη μονάδα αυτή, τα bits της διεύθυνσης του διαύλου VME συγκρίνονται με τα bits της διεύθυνσης A23:A15 που έχουν καθοριστεί από τους μικροδιακόπτες SW6. Εάν συμβαίνει ταυτόχρονα τα σήματα  $\overline{AS}$ ,  $\overline{DS0}$ , και  $\overline{DS1}$  να βρίσκονται σε κατάσταση low, το  $\overline{ACK}$  σε κατάσταση high και τα A14 έως A07 σε κατάσταση low δίδεται εντολή  $\overline{EnableUnit}$  στη μονάδα έτσι ώστε να λάβει τα δεδομένα.

### Τερματισμός διαδικασίας μεταφοράς δεδομένων

Ο δίαυλος VME είναι ασύγχρονος δίαυλος και απαιτεί έπειτα από κάθε μεταφορά δεδομένων από το δίαυλο προς μια μονάδα και αντίστροφα τον τερματισμό της διαδικασίας μεταφοράς μέσω της ενεργοποίησης του σήματος  $\overline{DTACK}$ . Με τον τρόπο αυτό ο ελεγκτής του διαύλου αντιλαμβάνεται ότι τα δεδομένα που έχει αποστείλει έχουν ληφθεί από την μονάδα. Το σήμα  $\overline{DTACK}$  εφόσον ενεργοποιείται από πολλές μονάδες είναι σήμα active-low ανοιχτού συλλέκτη. Έτσι θα πρέπει η μονάδα να αποστείλει το σήμα  $\overline{DTACK}$  στον ελεγκτή, ώστε να τερματιστεί ο κύκλος της μεταφοράς. Η διαδικασία αυτή υλοποιείται εντός του προγραμματιζόμενου ολοκληρωμένου με τη δημιουργία του σήματος  $\overline{DTACKFORGATE}$ . Το σήμα αυτό στην πραγματικότητα είναι το ανάστροφο του σήματος  $\overline{EnableUnit}$  και οδηγείται σε μια πύλη NAND U16C ανοιχτού συλλέκτη έτσι ώστε να οδηγήσει στη συνέχεια το σήμα  $\overline{DTACK}$  του διαύλου. Η ενεργοποίηση του σήματος  $\overline{DTACK}$  μπορεί να καθυστερήσει αν η μονάδα είναι αργή στην λήψη των δεδομένων από το δίαυλο. Στις περιπτώσεις αυτές το σήμα  $\overline{DTACK}$  οδηγείται μέσα από



έναν μετρητή ή ένα καταχωρητή ολίσθησης ο οποίος χρησιμοποιεί το βασικό ρολόι της μονάδας και η ενεργοποίηση του σήματος γίνεται μετά από συγκεκριμένο χρόνο που καλύπτει τις καθυστερήσεις ανάγνωσης από την μονάδα, λαμβάνοντας μια έξοδο του μετρητή ή του καταχωρητή ολίσθησης.



σχ. 12. Σχηματικό διάγραμμα σύνδεσης των μικροδιακοπών και οδήγησης των σημάτων DTACK και BERR





Από τον δίαυλο VME λαμβάνονται οι διευθύνσεις A23:A15 και συγκρίνονται με τις θέσεις των μικροδιακοπών DIP23:DIP15 μέσω του συγκριτή L1.

Τα σήματα A14:A07 συνδέονται σε μια πύλη NOR 8 εισόδων I4 που δίδει λογικό high μόνο στην περίπτωση που όλα τα σήματα εισόδου βρίσκονται σε κατάσταση low. Επιπλέον τα σήματα  $\overline{AS}$ ,  $\overline{DS0}$ ,  $\overline{DS1}$  και  $\overline{IACK}$  συνδέονται σε μια πύλη NOR 4 εισόδων I2 (το  $\overline{IACK}$  συνδέεται με αναστροφή). Επομένως εφόσον οι έξοδοι του συγκριτή L1, της πύλης I2 και της πύλης I4 βρίσκονται σε κατάσταση high τότε η πύλη I1 δίδει λογικό high και ενεργοποιείται η έξοδος  $\overline{EnableUnit}$  το οποίο οδηγεί στην ενεργοποίηση της μονάδας.

- Επιπλέον το σήμα DTACKFORGATE ενεργοποιείται για να υποδηλώσει στο δίαυλο ότι η μεταφορά έχει ολοκληρωθεί. Το DTACKFORGATE οδηγείται σε μια πύλη NAND ανοιχτού συλλέκτη U16C έτσι ώστε να οδηγηθεί το σήμα DTACK του διαύλου VME.

### Εμφάνιση σφαλμάτων κατά τη μεταφορά δεδομένων

Ο χρόνος που μπορεί να περιμένει ο δίαυλος για την ανάγνωση ή εγγραφή δεδομένων μπορεί να μην περιορίζεται αν δεν οδηγείται το σήμα  $\overline{BERR}$ . Το σήμα  $\overline{BERR}$  οδηγείται από τον ελεγκτή μέσα από έναν μετρητή έτσι ώστε να τερματιστεί ο κύκλος με Bus Error (σφάλμα του διαύλου) αν στη συγκεκριμένη διεύθυνση δεν απάντησε με το σήμα DTACK μια μονάδα.

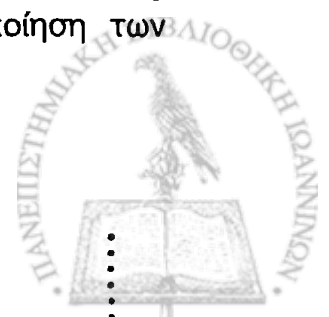
Επίσης η κάθε μονάδα θα πρέπει να οδηγεί το σήμα  $\overline{BERR}$  σε μια από τις παρακάτω περιπτώσεις:

- Όταν γίνεται προσπάθεια εγγραφής σε θέση μόνο ανάγνωσης π.χ. ROM
- Όταν γίνεται προσπάθεια μεταφοράς δεδομένων 32-bit από διεύθυνση των 16-bits.

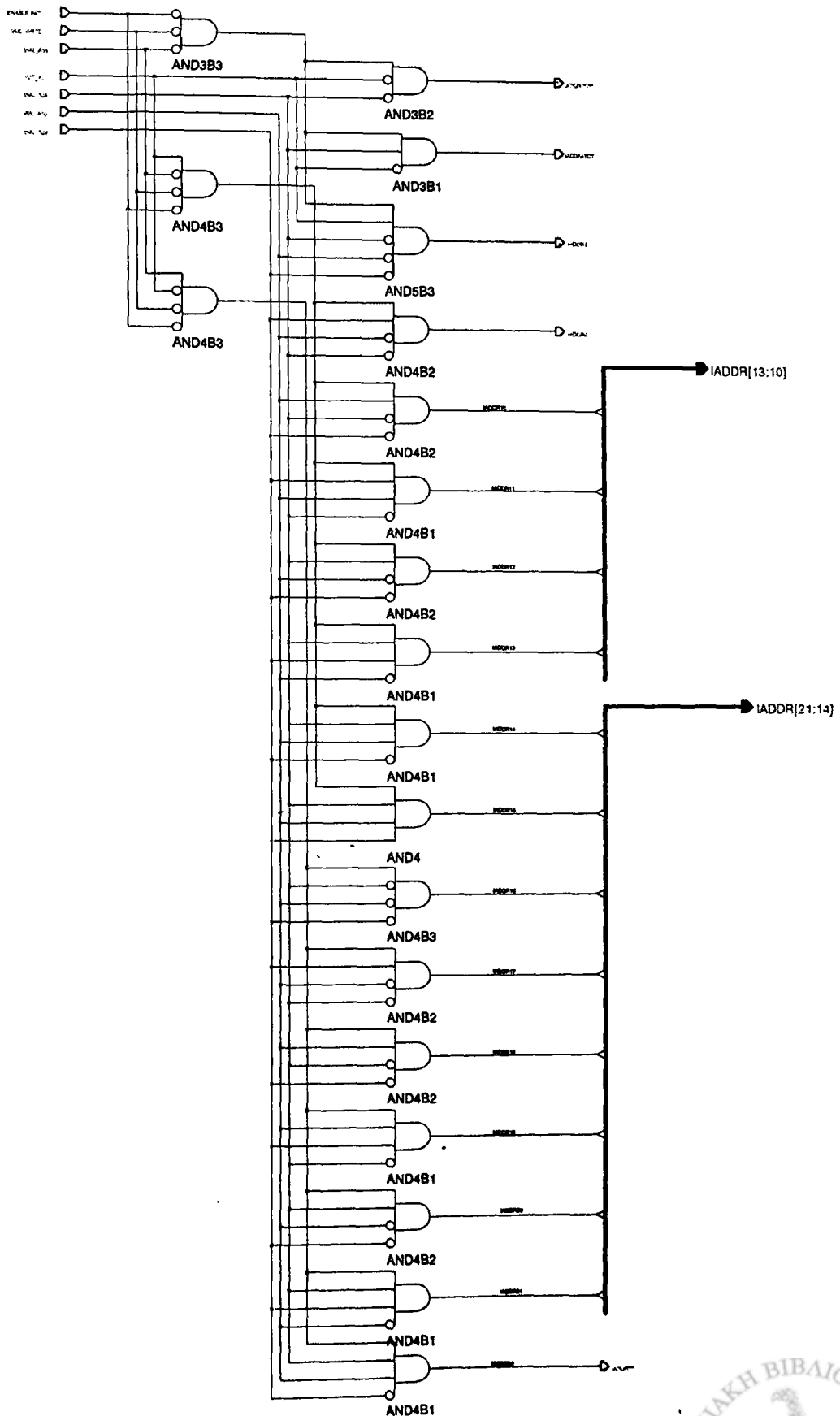
Η υπομονάδα οδηγεί το σήμα  $\overline{BERR}$  μέσω μιας πύλης ανοιχτού συλλέκτη και διαθέτει την κατάλληλη λογική όπως φαίνεται στο σχ. 12. Η οδήγηση του σήματος αυτού μπορεί απενεργοποιηθεί με την αφαίρεση του βραχυκυκλωτήρα JP28.

### Αποκωδικοποίηση εσωτερικών διευθύνσεων

Τα χαμηλότερα bits του διαύλου διευθύνσεων του VME δεν αποκωδικοποιούνται από το CPLD αλλά εισέρχονται στην μονάδα με σκοπό να διευθυνσιοδοτήσουν τους καταχωρητές της. Η αποκωδικοποίηση των εσωτερικών διευθύνσεων γίνεται στο εσωτερικό του ολοκληρωμένου προγραμματιζόμενης λογικής τεχνολογίας FPGA στο οποίο αναπτύχθηκαν και οι περισσότερες από τις υπομονάδες. Το σχ. 13 εμφανίζει τον εσωτερικό αποκωδικοποιητή διευθύνσεων της μονάδας που έχει σχεδιαστεί εντός του ολοκληρωμένου FPGA. Το κύκλωμα χρησιμοποιεί πύλες AND για την αποκωδικοποίηση των



εσωτερικών διευθύνσεων. Τα σήματα που λαμβάνονται από το VME είναι τα WRITE, A02, A03, A04, A05, A06 ενώ από τον αποκωδικοποιητή σε CPLD λαμβάνεται το σήμα EnableUnit.



σχ. 13. Αποκωδικοποιητής εσωτερικών διευθύνσεων μονάδας



## Καταχωρητές

Ο πίνακας 3 περιέχει τις εσωτερικές διευθύνσεις των υπομονάδων της μονάδας παραγωγής σημάτων ρύθμισης μετά την αποκωδικοποίηση μέσω του εσωτερικού αποκωδικοποιητή διευθύνσεων. Η σημασία των εσωτερικών διευθύνσεων θα αναφερθεί στα επόμενα κεφάλαια.

Πίνακας 3. Χάρτης μνήμης εσωτερικών διευθύνσεων μονάδας

3

Υπομονάδα	Όνομα εσωτερικής διεύθυνσης	Όνομα διεύθυνσης	Διεύθυνση (σε δεκαεξαδική μορφή)
Επαναφοράς	IADDR0	Φάση 0, Low Word	\$500000
	IADDR1	Φάση 1, Low Word	\$500004
	IADDR2	Φάση 2, Low Word	\$500008
	IADDR3	Φάση 3, Low Word	\$50000C
	IADDR4	Φάση 0, Higher bits	\$500010
	IADDR5	Φάση 1, Higher bits	\$500014
	IADDR6	Φάση 2, Higher bits	\$500018
	IADDR7	Φάση 3, Higher bits	\$50001C
	IADDR8	Αρχική φόρτωση μετρητών, εκκίνηση υπομονάδας	\$500020
Καθυστέρησης παλμού	IADDR9	Ενεργοποίηση εντολής Reset από το VME	\$500024
	IADDR10	Τιμή προγραμματιζόμενης καθυστέρησης παλμού	\$500028
	IADDR11	Αριθμός παραγόμενων παλμών injection	\$50002C
	IADDR12	Τιμή για τα delay taps	\$500030
Παραγωγής σημάτων χρονισμού	IADDR13	Αρχική φόρτωση μετρητή, ορισμός κατάστασης λειτουργίας	\$500034
	IADDR14	Τιμή λανθάνοντα χρόνου	\$500038
	IADDR15	Ορισμός κατάστασης μονάδας	\$50003C
	IADDR16	Τιμή μετρητή παλμών σκανδαλισμού πρώτου επιπέδου	\$500040
	IADDR17	Φόρτωση τιμής μετρητή παλμών σκανδαλισμού πρώτου επιπέδου	\$500044
	IADDR18	Επαναφορά μετρητή στην αρχική κατάσταση	\$500048
	IADDR19	Απαγόρευση δημιουργίας παλμών πρώτου επιπέδου	\$50004C
	IADDR20	Ενεργοποίηση απαγόρευσης παλμών σκανδαλισμού πρώτου επιπέδου	\$500050
	IADDR21	Ενεργοποίηση σήματος TriggerPedestal	\$500054
Προγραμματιζόμενης εξασθένησης παλμού	IADDR22	Τιμή εξασθένησης	\$500058



## Κεφάλαιο 4

# Υπομονάδα παραγωγής και διανομής σήματος ρολογιού

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα παραγωγής του σήματος ρολογιού των 40MHz το οποίο κατευθύνει την λειτουργία της μονάδας.

### Γενικά

Για να λειτουργήσει η μονάδα ελέγχου πρέπει να έχει ένα βασικό ρολόι το οποίο και αποτελεί την αναφορά στην παραγωγή και επεξεργασία των διάφορων σημάτων. Εντός της μονάδας το σήμα του ρολογιού χρησιμοποιείται σε πρότυπο TTL, αποστέλλεται δε και σε άλλες μονάδες με διαφορετικά πρότυπα (LVDS και NIM).

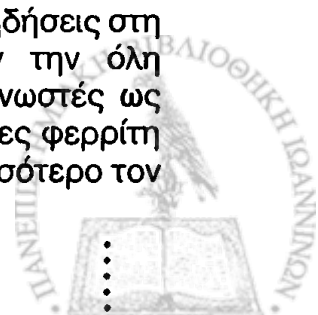
### Προδιαγραφές

Οι προδιαγραφές που έχουν τεθεί για τη λειτουργία της υπομονάδας αυτής απαιτούν την δημιουργία του σήματος ρολογιού WCLK το οποίο θα πρέπει να δουλεύει σε συχνότητα 40MHz με κύκλο εργασίας 50%, να παρέχεται δε σε πρότυπα TTL, LVDS και οπτικό.

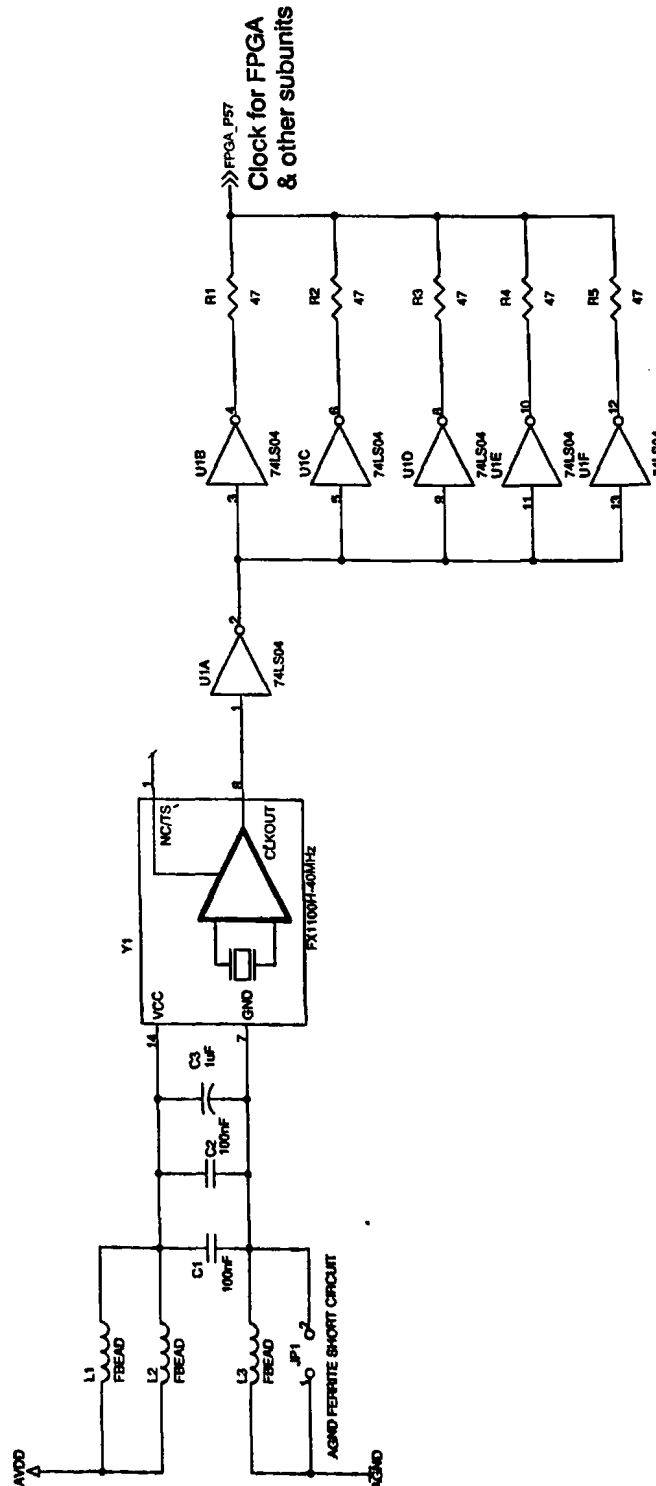
### Υλοποίηση

Το κύκλωμα παραγωγής και διανομής του ρολογιού φαίνεται στο σχ. 14. Η παραγωγή του σήματος γίνεται με ένα κρυσταλλικό ταλαντωτή που λειτουργεί στα 40.0000MHz. Ο κρυσταλλικός ταλαντωτής (Y1) λειτουργεί στη συχνότητα αυτή και παράγει παλμούς υψηλής σταθερότητας. Οι παλμοί του ταλαντωτή οδηγούνται σε μια πύλη αναστροφής (U1A) για μορφοποίηση και στη συνέχεια σε μια σειρά από πέντε πύλες αναστροφής (U1B, U1C, U1D, U1E και U1F) με κοινή είσοδο και έξοδο προσαρμοσμένη στα 50Ω (αντιστάσεις R1, R2, R3, R4 και R5). Όλες οι έξοδοι μετά την προσαρμογή συνδέονται μαζί έτσι ώστε να είναι σε θέση η υπομονάδα να δώσει υψηλό ρεύμα εξόδου στο σήμα του ρολογιού. Το σήμα αυτό μεταφέρεται στην κεντρική λογική της μονάδας (στο FPGA) καθώς επίσης μέσα από τα κυκλώματα μετατροπών σε LVDS και οπτικό στην μπροστινή πλευρά της μονάδας έτσι ώστε να μπορεί να αξιοποιηθεί από τις υπόλοιπες μονάδες στις οποίες είναι απαραίτητο.

Ιδιαίτερη έμφαση έχει δοθεί στην τροφοδοσία του κρυσταλλικού ταλαντωτή διότι η παραγωγή ταλαντώσεων δημιουργεί αναπηδήσεις στη γείωση του συστήματος που μπορούν να επηρεάσουν την όλη λειτουργία του συστήματος (οι αναπηδήσεις αυτές είναι γνωστές ως ground bounce). Για το λόγο αυτό έχουν τοποθετηθεί χάνδρες φερρίτη (L1, L2) που σκοπό έχουν να μειώσουν όσο το δυνατόν περισσότερο τον



θόρυβο των αναπηδήσεων που δημιουργείται στη γείωση. Υπάρχει πρόβλεψη για εισαγωγή χάνδρας φερρίτη στη γείωση του κρυσταλλικού ταλαντωτή (L3) όμως αυτό μπορεί να απομονωθεί με την χρήση του βραχυκυκλωτήρα JP1. Περισσότερες πληροφορίες για τις χάνδρες φερρίτη αλλά και για τη σχεδίαση τυπωμένων κυκλωμάτων υψηλών συχνοτήτων υπάρχουν στο Παράρτημα "Τεχνικές ελάττωσης θορύβου" στην σελίδα 151.



σχ. 14. Κύκλωμα δημιουργίας και διανομής σήματος ρολογιού



Το ρολόι που παράγεται από τον κρυσταλλικό ταλαντωτή οδηγείται στο FPGA για να χρησιμοποιηθεί στις επιμέρους υπομονάδες. Το FPGA διαθέτει ειδικούς buffers για την οδήγηση του ρολογιού μέσα από γρήγορες γραμμές. Όλες οι λειτουργίες των υπομονάδων στην πραγματικότητα συγχρονίζονται με το εσωτερικό ρολόι που διανέμει το FPGA μέσα από το εσωτερικό κύκλωμα διανομής ρολογιού.

4



## Κεφάλαιο 5

### Υπομονάδα επαναφοράς

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα επαναφοράς για την προστασία της αναλογικής μνήμης από υπερχειλίσεις.

#### Γενικά

Το PACE διαθέτει κυψέλες πυκνωτών για την αποθήκευση των πληροφοριών. Ο αριθμός των πυκνωτών που διαθέτει είναι περιορισμένος κι έτσι θα πρέπει μετά την αποθήκευση της πληροφορίας να ακολουθήσει η ανάγνωσή της και στη συνέχεια η απομάκρυνσή της (με εκφόρτιση των πυκνωτών). Για την ανάγνωση της πληροφορίας χρησιμοποιείται η μονάδα FE Readout. Η μονάδα παραγωγής σημάτων ρύθμισης πρέπει να είναι σε θέση να προστατεύει τη μνήμη από υπερχειλίσεις. Η εργασία αυτή έχει ανατεθεί στην υπομονάδα επαναφοράς.

Η υπομονάδα επαναφοράς είναι υπεύθυνη για την δημιουργία των σημάτων Reset, ResetSync και DisableTrigger. Εσωτερικά δημιουργούνται ακόμη δύο σήματα το PeriodResetSync και το PreResetSync τα οποία σχετίζονται με τη δημιουργία των σημάτων ResetSync και DisableTrigger.

#### Προδιαγραφές

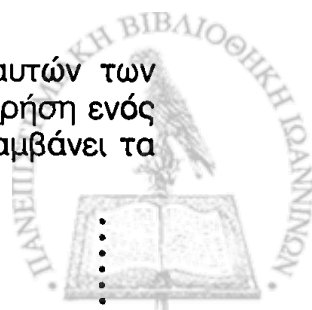
Για την καλύτερη μελέτη της υπομονάδας διαχωρίστηκε η παραγωγή του σήματος Reset από τα υπόλοιπα σήματα, λόγω του ανεξάρτητου ρόλου που αυτό έχει στη λειτουργία της υπομονάδας. Έτσι θα δοθούν ξεχωριστά οι προδιαγραφές της παραγωγής του σήματος Reset και στη συνέχεια των υπολοίπων σημάτων.

#### Σήμα Reset

Απαιτείται η δημιουργία παλμού επαναφοράς για την επαναφορά όλων των μηχανών καταστάσεων του ζεύγους ολοκληρωμένων PACE. Ο παλμός αυτός θα πρέπει να έχει εύρος μεγαλύτερο των 10ms και δημιουργείται είτε από εντολή που δίδεται από διακόπτη που βρίσκεται στην μπροστινή πλευρά της μονάδας είτε μέσω του διαύλου VME.

#### Σήματα ResetSync και DisableTrigger

Οι προδιαγραφές που έχουν τεθεί για την δημιουργία αυτών των σημάτων είναι δυνατόν να κατανοηθούν πιο εύκολα με την χρήση ενός χρονοδιαγράμματος. Το χρονοδιάγραμμα του σχ. 15 περιλαμβάνει τα

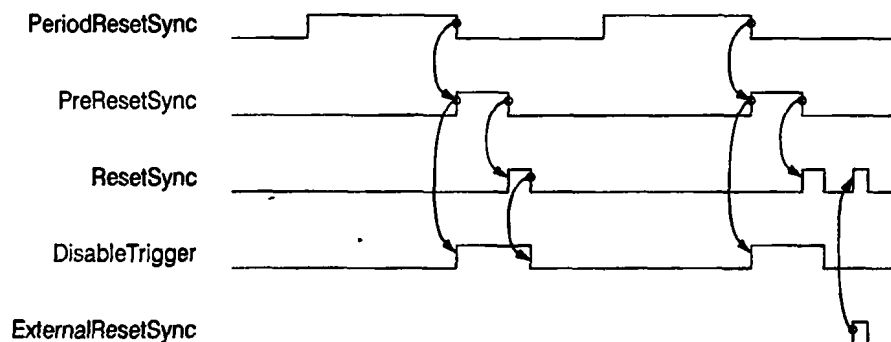


πέντε σήματα που έχουν σχέση με την υπομονάδα. Δύο από τα οποία χρησιμοποιούνται μόνο εσωτερικώς (PeriodResetSync, PreResetSync) ενώ το σήμα ExternalResetSync είναι εξωτερικό σήμα που εισέρχεται στην υπομονάδα και προέρχεται από διακόπτη. Τα πέντε σήματα είναι τα παρακάτω:

- PeriodResetSync
- PreResetSync
- ResetSync
- DisableTrigger
- ExternalResetSync

Το πρώτο σήμα ονομάζεται PeriodResetSync και είναι ένας περιοδικός παλμός με κύκλο εργασίας 50% προγραμματιζόμενης περιόδου. Η περίοδος του παλμού αυτού προγραμματίζεται με βήματα των 50ns και η περιοχή τιμών της προγραμματιζόμενης περιόδου είναι από 1 έως 100ms.

Το δεύτερο σήμα ονομάζεται PreResetSync και εμφανίζεται κατά την εναλλαγή του μετώπου του σήματος PeriodResetSync από high σε low. Για το σήμα PreResetSync προγραμματιζόμενη είναι η χρονική διάρκεια που το σήμα βρίσκεται σε κατάσταση high. Η χρονική διάρκεια αυτή προγραμματίζεται με βήματα των 25ns και η περιοχή τιμών της είναι από 10 έως 126μs. Με την παρέλευση της προγραμματιζόμενης χρονικής διάρκειας το σήμα επαναφέρεται σε κατάσταση low.



σχ. 15. Χρονική ακολουθία των σημάτων PeriodResetSync, PreResetSync, ResetSync και Disable Trigger και επίδραση της εισόδου ExternalResetSync στο σήμα ResetSync

Το τρίτο σήμα ονομάζεται ResetSync και εμφανίζεται κατά την εναλλαγή του μετώπου του σήματος PreResetSync από high σε low. Για το σήμα αυτό είναι προγραμματιζόμενη η χρονική διάρκεια που το σήμα βρίσκεται σε κατάσταση high. Η χρονική διάρκεια αυτή προγραμματίζεται με βήματα των 25ns και η περιοχή τιμών της είναι από 25ns έως 4μs. Με την παρέλευση της προγραμματιζόμενης χρονικής διάρκειας το σήμα επαναφέρεται σε κατάσταση low.

Το τέταρτο σήμα ονομάζεται DisableTrigger και εμφανίζεται κατά την εναλλαγή του μετώπου του σήματος PreResetSync από low σε high, διαρκεί δε μέχρι την εναλλαγή του μετώπου του σήματος ResetSync από high σε low. Στην πραγματικότητα το σήμα αυτό αποτελεί τη λογική σύζευξη (logic OR) των σημάτων PreResetSync και ResetSync, είναι δηλαδή

$$\text{DisableTrigger} = (\text{PreResetSync} + \text{ResetSync})$$





Η υπομονάδα αυτή δέχεται στη λογική της και ένα σήμα εισόδου το οποίο έρχεται εξωτερικά και ονομάζεται ExternalResetSync. Για όσο χρόνο το σήμα ExternalResetSync βρίσκεται σε λογικό high τότε το σήμα ResetSync τοποθετείται και αυτό σε λογικό high. Το σήμα είναι είσοδος στη μονάδα (μπροστινό μέρος της μονάδας VME) είτε προέρχεται από διακόπτη.

## Αρχή λειτουργίας

### Σήμα Reset

5

Για την παραγωγή του σήματος Reset χρησιμοποιήθηκε ένας μονοσταθής πολυδονητής ο οποίος όταν υπάρξει σκανδαλισμός στην είσοδο δίδει στην έξοδο έναν παλμό χρονικής διάρκειας μεγαλύτερης των 10ms που είναι και η προδιαγραφή του εν λόγω σήματος. Το σήμα σκανδαλισμού μπορεί να προέρχεται είτε από τον δίαυλο VME, είτε από έναν διακόπτη ο οποίος βρίσκεται στη μπροστινή πλευρά της μονάδας VME. Η διάρκεια του ρυθμίζεται με τη βοήθεια μεταβλητής αντίστασης στην περιοχή 1-50ms.

### Σήματα ResetSync και DisableTrigger

Για τη δημιουργία των σημάτων αυτών απαιτείται η χρήση του ρολογιού των 40MHz καθώς επίσης και τα κατάλληλα σήματα VME για τον προγραμματισμό τους. Σε αυτά περιλαμβάνονται οι κατάλληλες διευθύνσεις για την μονάδα καθώς επίσης και ο δίαυλος δεδομένων του VME.

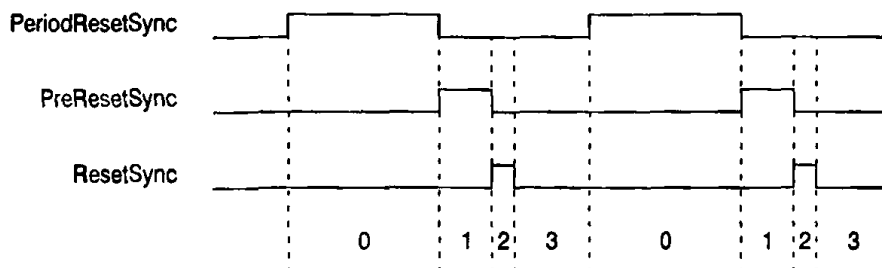
Για την υλοποίηση της προγραμματιζόμενης διάρκειας των σημάτων χρησιμοποιείται ένας μετρητής n-bits στον οποίο φορτώνεται μια αρχική τιμή i και στην συνέχεια αυξάνεται συνεχώς η τιμή του χρησιμοποιώντας ως ρολόι τα 40MHz (t=25ns). Ο μετρητής φθάνει στην μέγιστη του τιμή m και ο χρόνος που έχει περάσει ισούται με

$$t = (m + 1 - i) \times 25ns$$

όπου

$$m = 2^n - 1$$

Με μια προσεκτικότερη ματιά στην χρονική αλληλουχία των παραγόμενων σημάτων (σχ. 16) μπορούμε να την χωρίσουμε σε τέσσερις φάσεις. Τις φάσεις αυτές τις αριθμούμε ως εξής: φάση 0, φάση 1, φάση 2 και φάση 3.



σχ. 16. Φάσεις στην χρονική αλληλουχία των σημάτων



Όπως παρατηρούμε με το χωρισμό αυτό μπορούμε να χρησιμοποιήσουμε ένα μετρητή -έναντι τριών που θα χρειαζόταν σε διαφορετική περίπτωση- ο οποίος θα εκκινεί με αρχική τιμή τη χρονική διάρκεια κάθε φάσης και όταν και αυτή παρέλθει θα συνεχίζει με αρχική τιμή την διάρκεια της επόμενης φάσης κ.ο.κ. Θα πρέπει επομένως να υπάρχει η κατάλληλη λογική ελέγχου η οποία θα φορτώνει στον μετρητή την τιμή της επόμενης φάσης όταν αυτός φθάσει στην μέγιστή του μέτρηση κατά τη διάρκεια της μέτρησης στην προηγούμενη φάση.

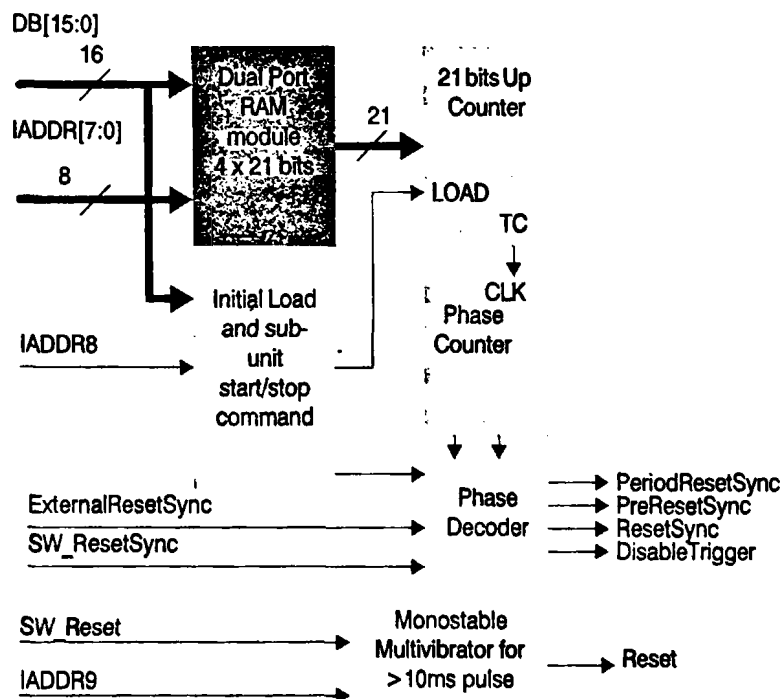
Ο μέγιστος χρόνος που απαιτείται από φάση είναι αυτός της ημιπεριόδου του σήματος PeriodResetSync που από τις προδιαγραφές προκύπτει ότι είναι 50ms. Επομένως ο μετρητής θα πρέπει να μετρά μέχρι και το

$$m_t = \frac{50\text{ms}}{25\text{ns}} = 2000000$$

Επομένως ο μετρητής θα πρέπει να είναι μετρητής των 21-bits, όπου

$$m = 2^n - 1 = 2^{21} - 1 = 2097151$$

Κάθε φορά που ο μετρητής φθάνει στην μέγιστη του μέτρηση ένας δεύτερος μετρητής 2-bits -ο οποίος χρησιμοποιείται για την συγκράτηση της τρέχουσας φάσης- αυξάνει κατά 1. Έτσι από την έξοδό του λαμβάνουμε απευθείας την φάση στην οποία βρίσκεται η μονάδα.

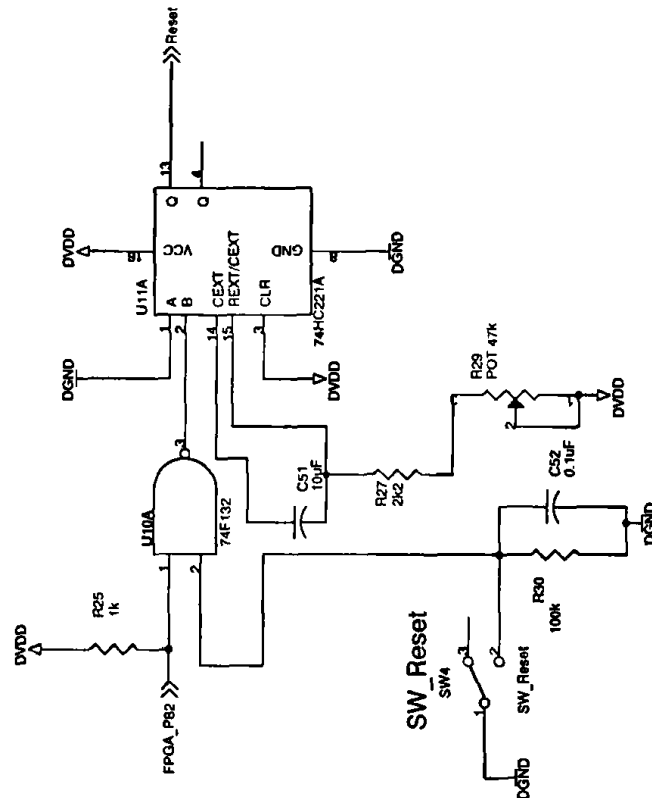


σχ. 17. Διάγραμμα βαθμίδων υπομονάδας Reset

Σε μια μνήμη αποθηκεύονται τα δεδομένα της χρονικής διάρκειας των φάσεων. Επειδή ο διάυλος VME χρησιμοποιείται με διάδρομο δεδομένων 16-bits στην πραγματικότητα χρησιμοποιούνται δυο ξεχωριστές μνήμες, μια για τα χαμηλά 16-bits και μια για τα υπόλοιπα υψηλότερα 5-bits. Για λόγους ευκολίας όμως θεωρούμε ως μια ενιαία μνήμη 4 διευθύνσεων με 21-bits δεδομένων ανά διεύθυνση. Η μνήμη αυτή είναι τεχνολογίας Dual Port RAM, έχει δηλαδή δυο διαύλους διευθύνσεων και δυο διαύλους δεδομένων. Από τον πρώτο δίαυλο διευθύνσεων και δεδομένων είναι δυνατή η εγγραφή των δεδομένων της χρονικής διάρκειας των φάσεων

της υπομονάδας. Ο δεύτερος δίαυλος διευθύνσεων συνδέεται με την έξοδο του μετρητή της τρέχουσας φάσης. Ο δεύτερος δίαυλος δεδομένων συνδέεται απευθείας με τις εισόδους φόρτωσης τιμής του μετρητή. Με την κατάλληλη λογική που έχει σχεδιαστεί κάθε φορά που ο μετρητής χρονικής διάρκειας φθάνει στην τελική του τιμή αυξάνεται η τιμή του μετρητή τρέχουσας φάσης με αποτέλεσμα ο δεύτερος δίαυλος δεδομένων να εμφανίζει τα δεδομένα της επόμενης φάσης και κατά τον επόμενο ωρολογιακό παλμό τα δεδομένα αυτά να φορτώνονται ως αρχική τιμή στον μετρητή.

5



σχ. 18. Μονοσταθής πολυδονητής παραγωγής παλμού Reset

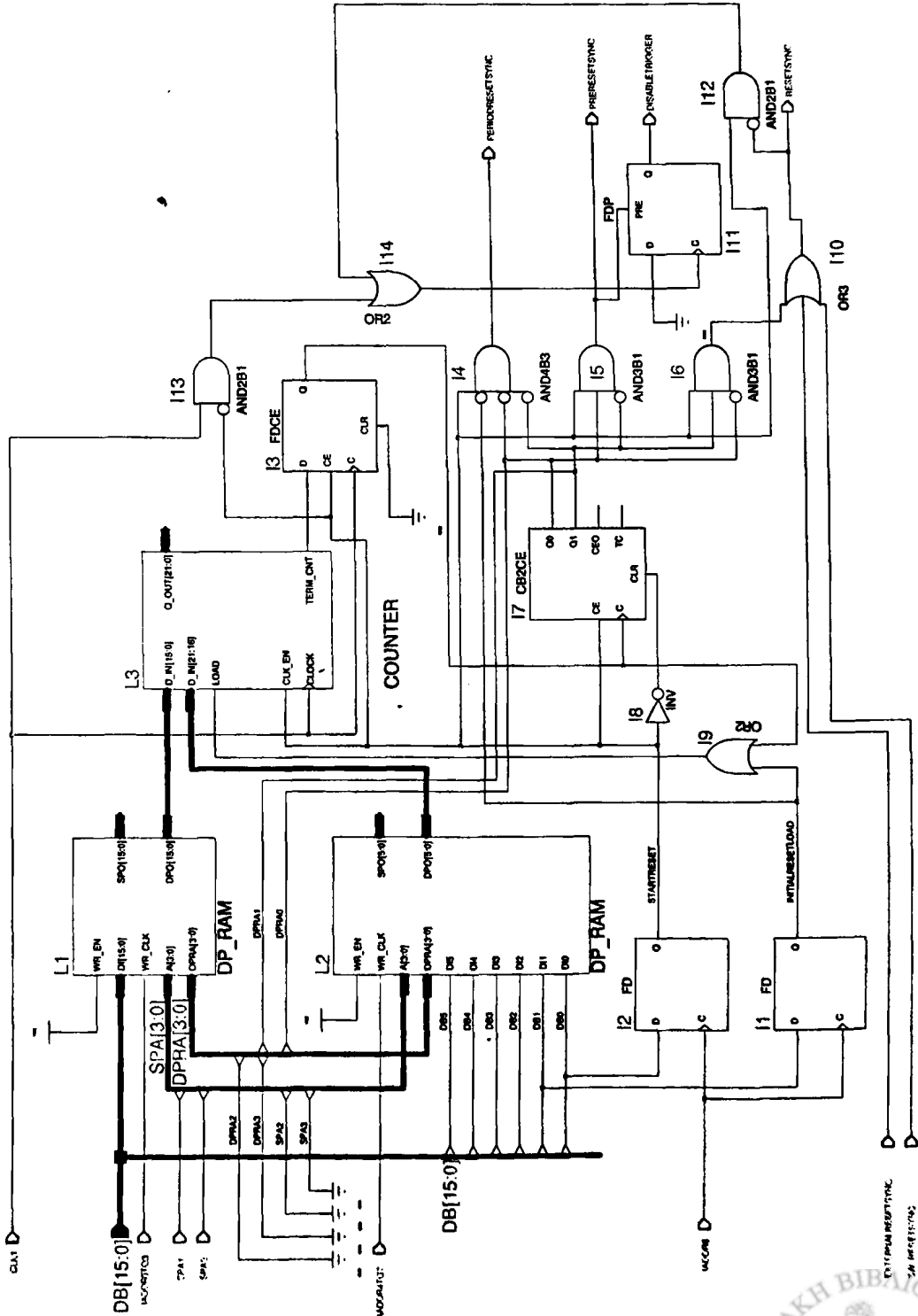
Στην μονάδα έχει προστεθεί και η απαραίτητη λογική για την έναρξη-διακοπή λειτουργίας της υπομονάδας καθώς επίσης και η εντολή αρχικής φόρτωσης κατά την εκκίνηση λειτουργίας της υπομονάδας.

Τα σήματα PeriodResetSync, PreResetSync και ResetSync παράγονται με απλή αποκωδικοποίηση της τιμής του μετρητή τρέχουσας φάσης κι έτσι ανάλογα με την τιμή του μετρητή έχουμε

- Για τιμή 0, φάση PeriodReset
- Για τιμή 1, φάση PreReset
- Για τιμή 2, φάση Reset
- Για τιμή 3, φάση κατά την οποία δεν ενεργοποιείται καμμία έξοδος

Το σήμα DisableTrigger όπως έχει ειπωθεί αποτελεί την λογική σύζευξη των σημάτων PreResetSync και ResetSync. Όμως, η χρήση μιας απλής πύλης OR δεν μπορεί να αποδώσει σωστά λόγω του ότι κατά τη μετάβαση του PreResetSync από λογικό high σε λογικό low και του ResetSync από λογικό low σε λογικό high υπάρχει ένας απειροελάχιστος χρόνος της τάξεως του 1-2ns όπου ταυτόχρονα τα δύο σήματα εμφανίζονται σε λογικό low. Η πύλη OR είναι σε θέση λόγω του μικρού

χρόνου της καθυστέρησης διάδοσης που διαθέτει να καταλάβει αυτή τη μεταβατική κατάσταση και να την εμφανίσει στην έξοδο. Για το λόγο αυτό χρησιμοποιήθηκε ένα flip-flop ασύγχρονης προ-τοποθέτησης το οποίο προ-τοποθετείται κατά την άνοδο της PreResetSync. Η είσοδος D του flip-flop βρίσκεται στο λογικό low ενώ στην είσοδο του ρολογιού του flip-flop έρχεται παλμός είτε από την πτώση του σήματος Reset είτε από μια λογική η οποία επιβάλλεται έτσι ώστε κατά την εκκίνηση λειτουργίας του κυκλώματος η έξοδος του FF να μην προτοποθετείται αλλά να βρίσκεται σε χαμηλό επίπεδο.



σχ. 19. Σχηματικό διάγραμμα παραγωγής των σημάτων ResetSync και DisableTrigger



Στο σχ. 17 εμφανίζονται οι βαθμίδες της υπομονάδας Reset όπως αυτές αναλύθηκαν προηγουμένως.

## Υλοποίηση

### Σήμα Reset

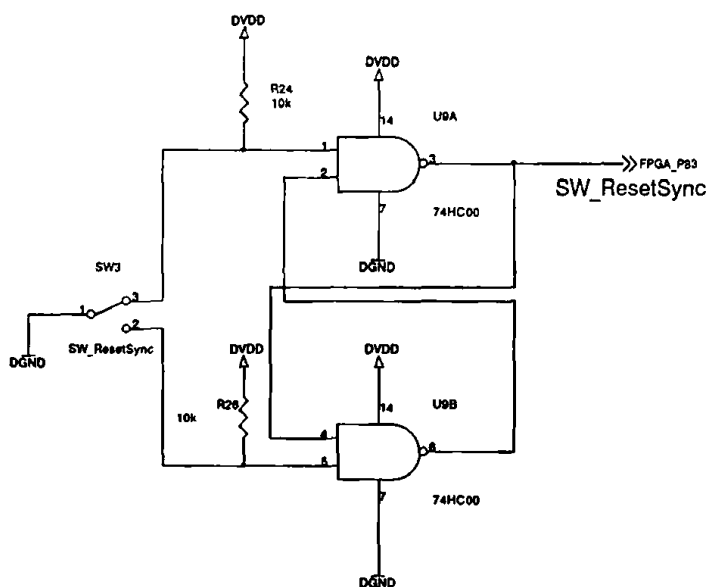
Για τον μονοσταθί πολυδονητή U11A του σχ. 18 έχει υπολογισθεί η σταθερά χρόνου  $T$  έτσι ώστε να καλύπτει την περιοχή μεταξύ 2.2 έως 50 ms. Στον υπολογισμό της σταθεράς χρόνου λαμβάνουν μέρος οι αντιστάσεις R27 και R29 καθώς επίσης ο πυκνωτής C51.

5

Από δύο πηγές μπορεί να δοθεί σήμα Reset: είτε από τον δίαυλο VME μέσω της διεύθυνσης IADDR9 (σήμα FPGA\_P82) είτε από διακόπτη που βρίσκεται στην μπροστινή πλευρά της μονάδας

### Σήματα ResetSync και DisableTrigger

Η υλοποίηση των υπολοίπων σημάτων έγινε μέσα σε ένα προγραμματιζόμενο ολοκληρωμένο τύπου FPGA της εταιρίας Xilinx και συγκεκριμένα στο XC4003E-1PC84.



σχ. 20. Διασταυρούμενες πύλες NAND για την αποφυγή αναπηδήσεων

Η υλοποίηση του κυκλώματος έγινε με το σχεδιαστικό πακέτο Xilinx Foundation της εταιρίας για το ολοκληρωμένο XC4003-1. Χρησιμοποιήθηκαν εξαρτήματα των έτοιμων βιβλιοθηκών που υπάρχουν στο σχεδιαστικό πακέτο αλλά και σχεδιάστηκαν και άλλα για να καλύψουν τις ανάγκες της μονάδας (π.χ. μετρητές με λογική παραγωγής πολύ γρήγορου κρατουμένου όπως για παράδειγμα ο L3). Όπου κρίθηκε αναγκαίο δημιουργήθηκαν βαθμίδες που βοηθούν στην ιεραρχική σχεδίαση. Περισσότερα για το σχεδιαστικό πακέτο στο Παράρτημα 3 στην σελίδα 133.



Το σχ. 19 απεικονίζει το σχηματικό διάγραμμα που σχεδιάστηκε για την παραγωγή των σημάτων ResetSync και DisableTrigger. Από το δίαυλο VME φορτώνονται στις Dual Port RAM L1 και L2 οι κατάλληλες τιμές για τις 4 φάσεις της αλληλουχίας. Η μνήμη L1 ενεργοποιείται με τις εσωτερικές διευθύνσεις IADDR0 έως IADDR3 και σε αυτήν καταχωρούνται τα 16 χαμηλά bits των τιμών των φάσεων ενώ η μνήμη L2 με τις εσωτερικές διευθύνσεις IADDR4 έως IADDR7 και σε αυτήν καταχωρούνται τα 5 υψηλότερα bits των τιμών των φάσεων.

Η δεύτερη θύρα δεδομένων κάθε μιας από τις Dual Port RAMs οδηγεί την είσοδο του μετρητή L3. Η δεύτερη θύρα διευθύνσεων λαμβάνει τιμές από τον μετρητή I7 που αποτελεί τον μετρητή των φάσεων. Αρχικά ο μετρητής I54 έχει τιμή 0 κι έτσι όταν δοθεί σήμα φόρτωσης από το flip-flop I1 τότε τα δεδομένα φορτώνονται στον μετρητή L3. Εφόσον ενεργοποιηθεί η είσοδος CLK\_EN του μετρητή L3 ξεκινά η απαρίθμηση εφόσον η είσοδος του ρολογιού λαμβάνει μόνιμα το ρολόι των 40MHz. Όταν φθάσει στην μέγιστή του μέτρηση ο μετρητής L3 τότε ενεργοποιείται η λογική αλλαγής φάσης με αύξηση της τιμής του μετρητή I7 και ταυτόχρονη ενεργοποίηση της διαδικασίας φόρτωσης της νέας τιμής απαρίθμησης από τις μνήμες RAM, εφόσον ο μετρητής αυτός συνδέεται άμεσα με το δεύτερο δίαυλο διευθυνσιοδότησης των μνημών. Με μια αποκωδικοποίηση της τιμής του μετρητή αυτού αναπαράγονται οι τέσσερις φάσεις του συστήματος με τις πύλες I4, I5 και I6. Η τετάρτη φάση δεν αποκωδικοποιείται εφόσον δεν ενεργοποιεί καμμία έξοδο. Ο μετρητής των φάσεων I7 λειτουργεί κυκλικά στην αλληλουχία των φάσεων. Για την αποκωδικοποίηση των φάσεων θα πρέπει να έχει ενεργοποιηθεί η υπομονάδα από το I2 και να μην γίνεται η αρχική φόρτωση από το I1.

Για τη δημιουργία του παλμού DisableTrigger χρησιμοποιείται ένα flip-flop I5 με δυνατότητα προτοποθέτησης. Η προτοποθέτηση του flip-flop έχει ως αποτέλεσμα την μεταγωγή του παλμού DisableTrigger στο high. Αυτό γίνεται με την άνοδο του παλμού PreResetSync ενώ η επαναφορά σε λογικό 0 γίνεται κατά την πτώση του παλμού ResetSync από την πύλη I64. Επειδή όμως τα flip-flops με δυνατότητα προτοποθέτησης κατά την εκκίνηση της λειτουργίας του συστήματος (παροχή τροφοδοσίας) προτοποθετούνται θα πρέπει να υπάρχει πρόβλεψη για την επαναφορά του σε κατάσταση low κατά την εκκίνηση. Αυτό γίνεται με την πύλη I13 η οποία εφόσον η μονάδα είναι απενεργοποιημένη (συνθήκη που ισχύει κατά την έναρξη λειτουργίας του συστήματος) η οποία διοχετεύει έναν παλμό ρολογιού στο ρολόι του flip-flop μέσω της πύλης OR I14. Έτσι η έξοδος του flip-flop μεταφέρεται στο λογικό 0 στα πρώτα ns της έναρξης λειτουργίας της υπομονάδας από την παροχή της τροφοδοσίας.

Όπως έχει ειπωθεί η υπομονάδα για να ενεργοποιηθεί πρέπει να δοθεί εντολή από το δίαυλο VME. Αυτό επιτυγχάνεται μέσω της εντολής ResetStart που δίδεται από την εσωτερική διεύθυνση IADDR8. Στην ίδια διεύθυνση υπάρχει η εντολή της αρχικής φόρτωσης των μετρητών InitialResetLoad. Κατά την εκκίνηση ενεργοποιούνται ταυτόχρονα στην αρχή και οι δύο εντολές και στη συνέχεια παραμένει μόνο η εντολή της έναρξης λειτουργίας ενεργή.

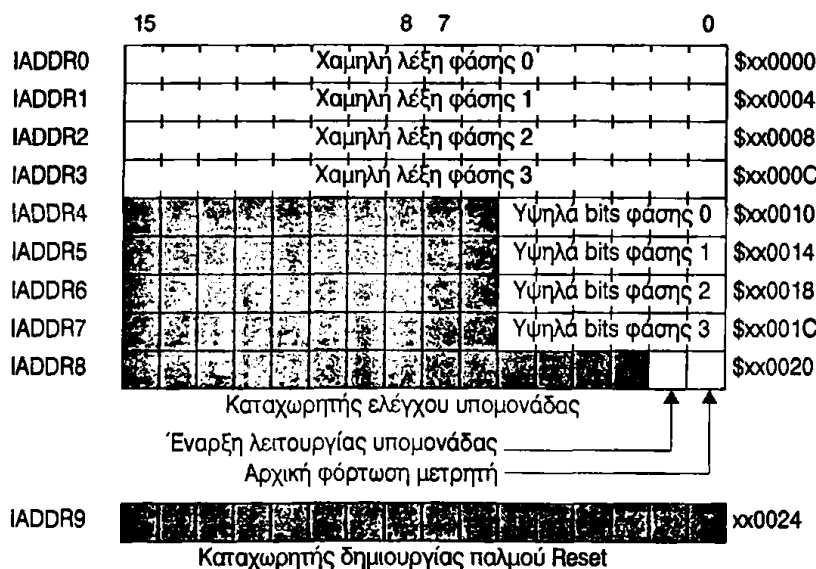
Επιπλέον στο κύκλωμα υπάρχει είσοδος του σήματος SW\_ResetSync το οποίο προέρχεται από διακόπτη και μέσω της πύλης I10 ενεργεί απευθείας επάνω στο σήμα ResetSync τοποθετώντας το σε λογικό high

για όση ώρα ο διακόπτης είναι πατημένος. Για την αποφυγή αναπηδήσεων στο κύκλωμα του διακόπτη χρησιμοποιούνται διασταυρούμενες πύλες NAND U9A και U9B όπως φαίνεται στο σχ. 20.

## Καταχωρητές υπομονάδας

Ο χάρτης μνήμης των διευθύνσεων της υπομονάδας φαίνεται στο σχ. 21. Η υπομονάδα επαναφοράς χρησιμοποιεί δέκα εσωτερικές διευθύνσεις της κάρτας VME που είναι αριθμημένες από IADDR0-IADDR9. Οι οκτώ από αυτές απαιτούνται για την διευθυνοδότηση των δύο μνημών που υπάρχουν στην υπομονάδα. Όπως ήδη έχει αναφερθεί ο δίαυλος δεδομένων που χρησιμοποιείται από το VME έχει εύρος 16-bits και επομένως οι τιμές για τις τέσσερις φάσεις των 21-bits της χρονικής διάρκειας εγγράφονται σε δύο θέσεις μνήμης η κάθε μια. Η διεύθυνση IADDR8 περιλαμβάνει μόνο δύο bits που αφορούν την έναρξη/διακοπή της υπομονάδας επαναφοράς που αφορά τα σήματα ResetSync και DisableTrigger και όχι το σήμα Reset το οποίο αντιμετωπίζεται ανεξάρτητα. Στην ίδια διεύθυνση υπάρχει και ένα bit για την αρχική φόρτωση του μετρητή με την τιμή της πρώτης φάσης. Τέλος, όταν ενεργοποιείται η διεύθυνση IADDR9 δίδεται από το μονοσταθί πολυδονητή παλμός Reset με εύρος μεγαλύτερο των 10ms.

5



σχ. 21. Χάρτης μνήμης διευθύνσεων της υπομονάδας επαναφοράς



## Κεφάλαιο 6

# Υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού.

### Γενικά

Μια από τις βασικές προδιαγραφές της μονάδας παραγωγής των σημάτων ρύθμισης είναι η παραγωγή παλμών προγραμματιζόμενης χρονικής καθυστέρησης. Οι παλμοί αυτοί χρησιμοποιούνται είτε σαν ρολόι για την παραγωγή σημάτων σκανδαλισμού πρώτου επιπέδου (FirstLevelTrigger), είτε για την παραγωγή σημάτων βαθμονόμησης του αναλογικού VLSI, του ζεύγους ολοκληρωμένων PACE. Η υπομονάδα που αναλαμβάνει την παραγωγή των παραπάνω παλμών είναι η υπομονάδα προγραμματιζόμενης χρονικής καθυστέρησης παλμού. Οι παλμοί που παράγονται από αυτήν την υπομονάδα χρησιμοποιούνται και στους δύο τρόπους λειτουργίας της μονάδας δηλαδή, και στην περίπτωση βαθμονόμησης της αναλογικής μνήμης (test mode) αλλά και στην περίπτωση της δειγματοληψίας (measure mode). Αυτό φαίνεται στο σχ. 10.

### Προδιαγραφές

Οι προδιαγραφές που έχουν τεθεί για την λειτουργία αυτής της υπομονάδας μπορούν να γίνουν πιο κατανοητές με την χρήση ενός χρονοδιαγράμματος. Το χρονοδιάγραμμα του σχ. 22 περιλαμβάνει τις τρεις περιπτώσεις της καθυστέρησης του παλμού injection που μπορούν να επιτευχθούν με τη χρήση της μονάδας αυτής. Αυτές είναι:

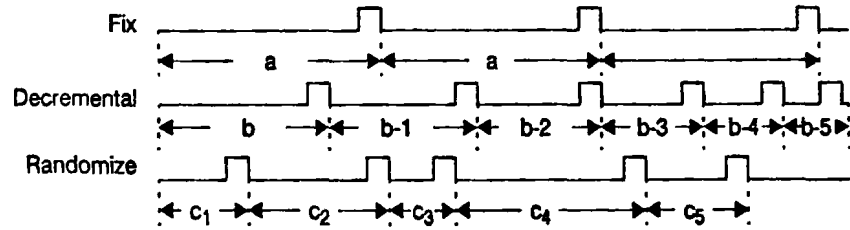
- **Fix:** στην περίπτωση αυτή η μονάδα παράγει παλμούς που απέχουν μεταξύ τους σταθερή διάρκεια
- **Decremental:** στην περίπτωση αυτή η μονάδα παράγει παλμούς που απέχουν η μεταξύ τους διάρκεια φθίνει από παλμό σε παλμό
- **Randomize:** στην περίπτωση αυτή η μονάδα παράγει παλμούς με τυχαία μεταξύ τους χρονική διάρκεια.

Το πλάτος των παλμών είναι σταθερά 25ns ενώ τα βήματα της προγραμματιζόμενης καθυστέρησης θα πρέπει να είναι των 5ns. Επειδή όμως χρησιμοποιείται ρολόι WCLK των 40MHz ( $t=25ns$ ) οι απαιτούμενες καθυστερήσεις των 5ns, 10ns, 15ns και 20ns δημιουργούνται με κύκλωμα επιπρόσθετης καθυστέρησης. Οι προδιαγραφές της μονάδας





απαιτούν την κάλυψη της περιοχής από 25ns έως 1ms για την προγραμματιζόμενη καθυστέρηση του παλμού injection. Επομένως με τη χρήση ενός μετρητή 16-bits μπορεί να καλυφθεί η απαιτούμενη περιοχή.



σχ. 22. Οι τρεις τρόποι λειτουργίας της μονάδας καθυστέρησης παλμού

Ο αριθμός των παλμών που παράγει η υπομονάδα είναι περιορισμένος και μάλιστα όπως έχει ειπωθεί είναι και αυτός προγραμματιζόμενος.

## Αρχή λειτουργίας

### Γενικά

Η ανάλυση της υπομονάδας έδειξε ότι, η υπομονάδα μπορεί να βρίσκεται σε μια από τις παρακάτω καταστάσεις:

- Κατάσταση 0: όπου η υπομονάδα δεν λειτουργεί (off state)
- Κατάσταση 1: όπου η υπομονάδα βρίσκεται σε λειτουργία και παράγει σταθερή (fix) καθυστέρηση στον παλμό
- Κατάσταση 2: όπου η υπομονάδα βρίσκεται σε λειτουργία και παράγει φθίνουσα (decremental) καθυστέρηση στον παλμό
- Κατάσταση 3: όπου η υπομονάδα βρίσκεται σε λειτουργία και παράγει τυχαία (randomize) καθυστέρηση στον παλμό

Για την αποθήκευση της κατάστασης που βρίσκεται η υπομονάδα χρησιμοποιείται ένας καταχωρητής 2-bits.

Το διάγραμμα βαθμίδων της υπομονάδας εμφανίζεται στο σχ. 23. Το βασικό στοιχείο της υπομονάδας αυτής είναι ένας καταχωρητής ολίσθησης των 16-bits. Ο καταχωρητής αυτός συγκρατεί την τιμή της προγραμματιζόμενης καθυστέρησης με βήματα των 25ns. Η λειτουργία του καταχωρητή ολίσθησης εξαρτάται από την κατάσταση λειτουργίας της υπομονάδας. Η αρχική τιμή του καταχωρητή ολίσθησης φορτώνεται παράλληλα μέσω του VMEbus. Η παραπέρα λειτουργία του καταχωρητή ολίσθησης εξαρτάται από την κατάσταση που θα λειτουργήσει η υπομονάδα. Στην κατάσταση σταθερής καθυστέρησης ένας αύξων μετρητής 16-bits που βρίσκεται συνδεδεμένος στην παράλληλη έξοδο του καταχωρητή ολίσθησης, μετρά από την αρχική τιμή έως την τιμή  $FFFF_{16}$ . Χρησιμοποιώντας την μέγιστη μέτρηση του μετρητή (Terminal Count) παράγεται ο παλμός PreInjectionDelay.

Στην κατάσταση φθίνουσας καθυστέρησης ο μετρητής ξεκινά να μετρά από την αρχική τιμή την τιμή του καταχωρητή ολίσθησης και αυξάνεται συνεχώς ως την τιμή  $FFFF_{16}$ . Την στιγμή όμως που γίνεται η πρώτη αύξηση της τιμής του μετρητή, γίνεται και αποθήκευση αυτής διαμέσου της παράλληλης εισόδου του καταχωρητή ολίσθησης. Εφόσον δύο διαφορετικοί δίαυλοι ήτοι το VMEbus και η έξοδος του μετρητή

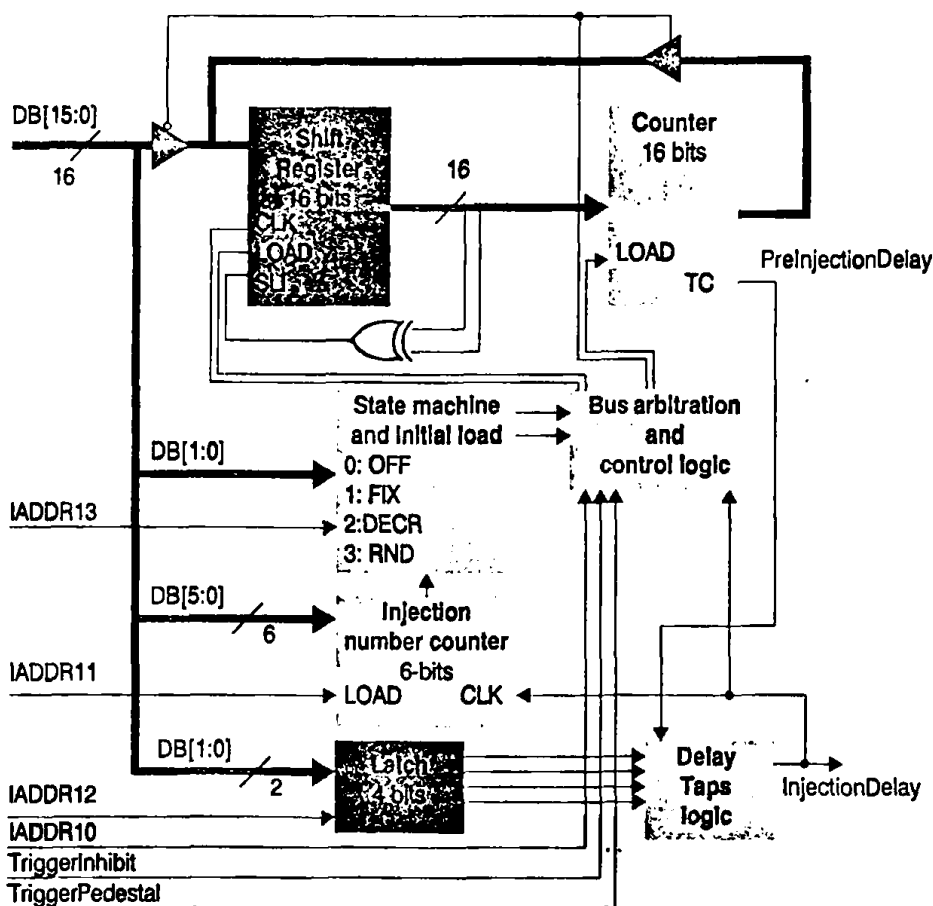
αποθηκεύουν μία τιμή μέσω της παράλληλης εισόδου του στον καταχωρητή ολίσθησης θα πρέπει ένας από τους δύο διαύλους να βρίσκεται ανά πάσα στιγμή συνδεδεμένος στην παράλληλη είσοδο ενώ ο άλλος να απομονώνεται. Αυτό επιτυγχάνεται με τη βαθμίδα διαιτησίας του διαύλου μέσω κατάλληλης λογικής και των απομονωτών με τρίτη κατάσταση που διαθέτει. Για παράδειγμα αν έχει δοθεί ως αρχική τιμή στον καταχωρητή ολίσθησης η  $FC00_{16}$  τότε ο πρώτος παλμός θα παραχθεί μετά από χρόνο

$$(FFFF_{16} - FC00_{16}) \times 25ns = 1023_{10} \times 25ns = 25,575\mu s$$

Μετά την πρώτη αύξηση του μετρητή από το  $FC00_{16}$  στο  $FC01_{16}$  η νέα τιμή του μετρητή θα αποθηκευτεί στον καταχωρητή ολίσθησης μέσω κατάλληλης λογικής. Κάθε φορά που ο μετρητής φθάνει στην μέγιστή του μέτρηση, επαναφορτώνεται με την τιμή που διαθέτει ο καταχωρητής ολίσθησης και συνεχίζει να μετρά από την τιμή αυτή. Επομένως ο δεύτερος παλμός θα παραχθεί μετά από χρόνο

$$(FFFF_{16} - FC01_{16}) \times 25ns = 1022_{10} \times 25ns = 25,550\mu s$$

6



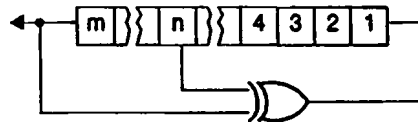
σχ. 23. Διάγραμμα βαθμίδων υπομονάδας παραγωγής

Στην κατάσταση τυχαίας καθυστέρησης, ο μετρητής, ξεκινά να μετρά από την αρχική τιμή του καταχωρητή ολίσθησης και αυξάνεται συνεχώς ως την τιμή  $FFFF_{16}$ . Την στιγμή όμως που γίνεται η πρώτη αύξηση της τιμής του μετρητή, ενεργοποιείται η διαδικασία ολίσθησης του καταχωρητή ολίσθησης κι έτσι τα δεδομένα της εισόδου SLI εισέρχονται στον καταχωρητή ολίσθησης ενώ όλα τα υπόλοιπα bits ολισθαίνουν αριστερά (από το LSB ως προς το MSB). Τα δεδομένα εισόδου της

εισόδου SLI δημιουργούνται με μια πύλη XOR στην παράλληλη έξοδο του καταχωρητή ολίσθησης. Ο συγκεκριμένος τρόπος παράγει στην πραγματικότητα ψευδο-τυχαίους αριθμούς. Παρακάτω δίδεται αναλυτικά ο τρόπος με τον οποίο μπορούν να δημιουργηθούν ψευδοτυχαίοι αριθμοί.

### Δημιουργία ψευδοτυχαίων αριθμών

Ο πιο διαδεδομένος τρόπος παραγωγής ψευδοτυχαίων αριθμών πραγματοποιείται με την χρήση ενός καταχωρητή ολίσθησης με ανάδραση. Χρησιμοποιείται ένας καταχωρητής ολίσθησης  $m$ -bits ο οποίος χρονίζεται με ένα ρολόι σταθερής συχνότητας  $f_0$  όπως στο σχ. 24. Μια πύλη XOR δημιουργεί ένα σειριακό σήμα εισόδου από τον συνδυασμό του  $n$ -bit και του  $m$ -bit. Το κύκλωμα μεταφέρεται μέσα από μια σειρά καταστάσεων (που ορίζεται από τις τιμές των bits του καταχωρητή έπειτα από κάθε ωρολογιακό παλμό) και τελικά επαναλαμβάνει την αλληλουχία ύστερα από  $K$  αριθμό παλμών του ρολογιού, λειτουργεί δηλαδή κυκλικά με περίοδο  $K$ .

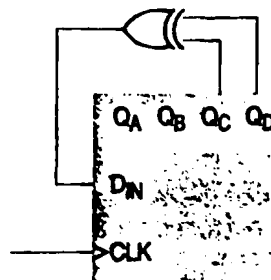


σχ. 24. Γεννήτρια ψευδοτυχαίων αλληλουχιών σε bits

Ο μέγιστος αριθμός των δυνατών καταστάσεων ενός καταχωρητή είναι  $K=2^m$  δηλαδή ο αριθμός των δυαδικών συνδυασμών των  $m$  bits. Ωστόσο, η κατάσταση που όλα τα bits βρίσκονται στο λογικό '0' θα είχε ως αποτέλεσμα το "κόλλημα" του κυκλώματος, εφόσον η πύλη XOR θα δημιουργούσε λογικό '0' για οποιαδήποτε είσοδο. Έτσι, το μέγιστο εύρος της ακολουθίας που είναι δυνατόν να δημιουργηθεί περιορίζεται στο  $K=2^m-1$ . Η επιλογή του μέγιστου εύρους των καταστάσεων του καταχωρητή ολίσθησης μπορεί να επιτευχθεί με σωστή επιλογή του  $n$  και  $m$ , έτσι ώστε η αλληλουχία των bits να είναι ψευδοτυχαία.

Ας υποθέσουμε για παράδειγμα ένα καταχωρητή ολίσθησης 4-bit με ανάδραση όπως αυτόν του σχ. 25. Ξεκινώντας με την κατάσταση 1111 (η εκκίνηση μπορεί να γίνει από οποιαδήποτε κατάσταση πλην της 0000) μπορεί να καταγραφεί η αλληλουχία των καταστάσεων που συμβαίνει:

$Q_A Q_B Q_C Q_D = 1111, 0111, 0011, 0001, 1000, 0100, 0010, 1001, 1100, 0110, 1011, 0101, 1010, 1101, 1110.$



σχ. 25. Καταχωρητής ολίσθησης 4-bit με ανάδραση



Υπάρχουν 15 ξεχωριστές καταστάσεις ( $2^4-1$ ) έπειτα από τις οποίες η διαδικασία ξεκινά από την αρχή.

Πίνακας 4. Δημιουργία καταχωρητών μέγιστου εύρους

m	n	Εύρος
3	2	7
4	3	15
5	3	31
6	5	63
7	6	127
9	5	511
10	7	1023
11	9	2047
15	14	32767
17	14	131071
18	11	262143
20	17	1048575
21	19	2097151
22	21	4194303
23	18	8388607
25	22	33554431
28	25	268435455
29	27	536870911
31	28	2147483647
33	20	8589934591
35	33	3435973867
36	25	68719476735
39	35	549755813887

6

Επιλογή σημείου της ανάδρασης. Για τη δημιουργία καταχωρητών ολίσθησης μέγιστου εύρους χρησιμοποιούνται πύλες XOR που συνδέονται σε περισσότερα από δύο σημεία (σε αυτές τις περιπτώσεις θα πρέπει να χρησιμοποιηθούν πολλαπλές πύλες XOR στην κλασσική μορφή που συναντώνται στη δημιουργία ψηφίου ισοτιμίας ή στα κυκλώματα αθροιστών πολλών bit). Για ορισμένες τιμές του m απαιτούνται περισσότερα από δύο σημεία για την δημιουργία καταχωρητή μέγιστου εύρους. Ο πίνακας 4 περιλαμβάνει μια λίστα με όλες τις τιμές του m μέχρι το 40 για τη δημιουργία καταχωρητών μέγιστου εύρους. Στον πίνακα αυτό χρησιμοποιούνται δύο σημεία, δηλαδή το σημείο του n bit και το σημείο του m bit που είναι και το τελευταίο bit. Δίδονται οι τιμές του n και του κυκλικού εύρους K σε αριθμό κύκλων του ρολογιού. Σε ορισμένες περιπτώσεις υπάρχουν περισσότερες από μια πιθανότητες για το n και σε κάθε περίπτωση η τιμή m-n μπορεί να χρησιμοποιηθεί αντί του n όπως το προαναφερθέν παράδειγμα των 4-bit έχει σημεία στο n=1 και m=4.

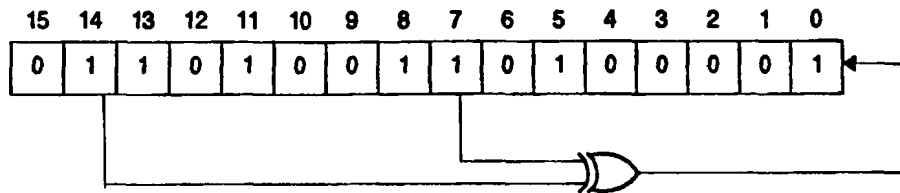
Επειδή οι καταχωρητές ολίσθησης απαντώνται συχνότερα με εύρος πολλαπλάσιο των 8-bits είναι βολική η χρήση αυτών των μεγεθών. Σε αυτές τις περιπτώσεις είναι απαραίτητη η χρήση περισσότερων από δύο σημείων. Στον πίνακα 5 δίδονται τα σημεία αυτά.



Πίνακας 5. Σημεία σε καταχωρητές των 8, 16 και 24 bits

m	Σημεία	Εύρος
8	4, 5, 6	255
16	4, 13, 15	65535
24	17, 22, 23	16777215

Παρακάτω δίδεται ένα παράδειγμα τυχαίων αριθμών που παράγονται από μια τέτοια γεννήτρια η οποία χρησιμοποιεί καταχωρητή ολίσθησης 16-bits, ο οποίος αρχικά φορτώνεται με την τιμή  $69A1_{16}$  και μια πύλη XOR είναι συνδεδεμένη με τα bits 7 και 15 του καταχωρητή ολίσθησης.



σχ. 26. Γεννήτρια ψευδοτυχαίων αριθμών με τη χρήση ενός καταχωρητή ολίσθησης και μιας πύλης XOR

Ο αριθμός  $69A1_{16}$  γράφεται και ως  $0110100110100001_2$ . Τα bits που θα ενεργοποιήσουν την πύλη XOR είναι το bit 7 και το bit 14. Εφόσον τα δύο αυτά bits βρίσκονται σε λογικό 1 η XOR έχει ως αποτέλεσμα

$$1 \oplus 1 = 0$$

και επομένως στην επόμενη ολίσθηση ο καταχωρητής θα έχει τιμή  $1101001101000010_2$  που αντιστοιχεί στο  $D342_{16}$ . Ο πίνακας 6 περιλαμβάνει τις τιμές του καταχωρητή ολίσθησης, τις τιμές της πύλης XOR για ένα αριθμό 5 παλμών.

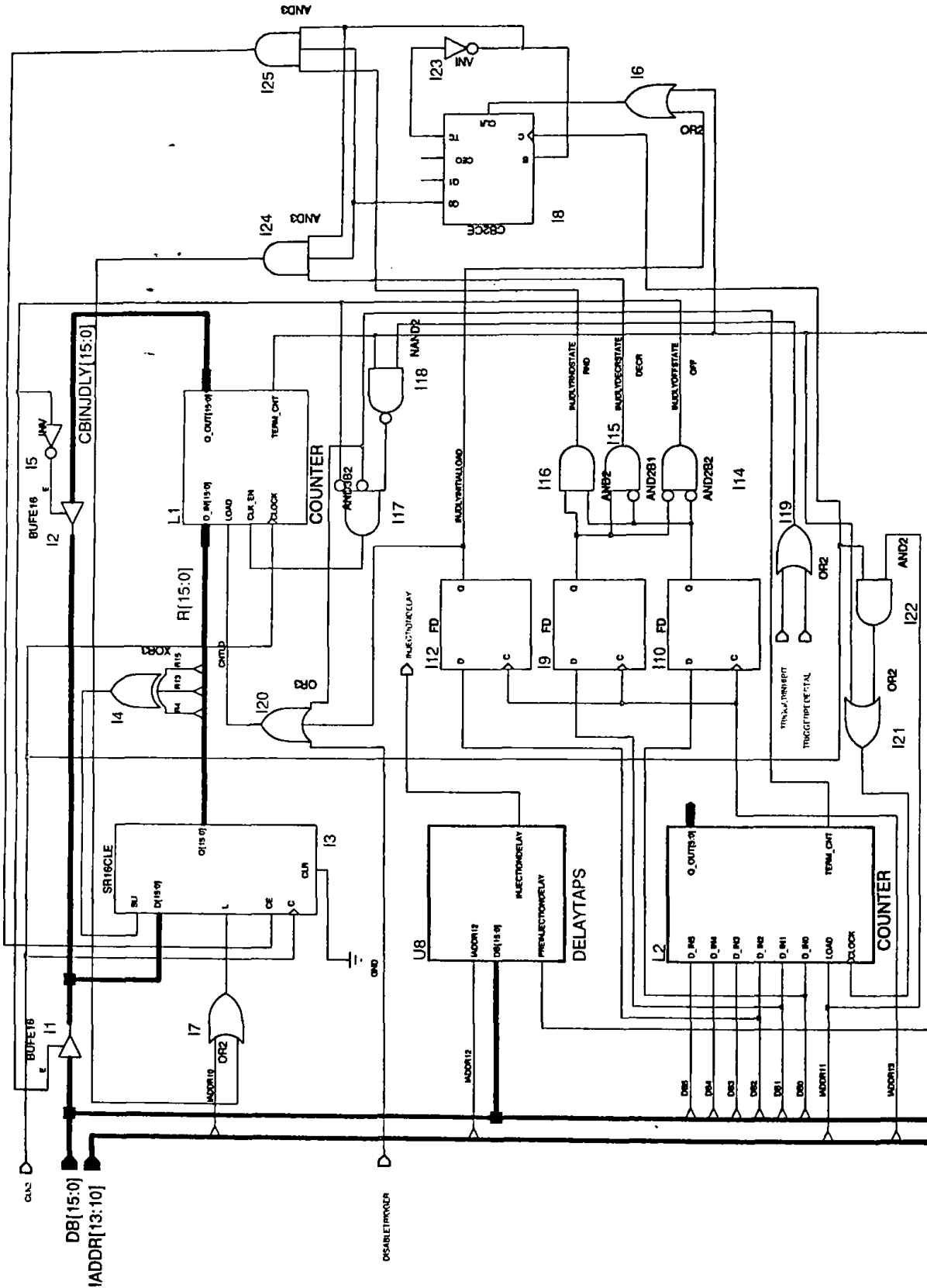
Πίνακας 6. Τυχαίες τιμές από καταχωρητή ολίσθησης 16-bits

Αριθμός παλμού ρολογιού	Τιμή καταχωρητή ολίσθησης		Έξοδος πύλης XOR
	Δυαδικό	Δεκαεξαδικό	
	0110100110100001	69A1	0
1	1101001101000010	D342	1
2	1010011010000101	A685	1
3	0100110100001011	4D0B	1
4	1001101000010111	9A17	0
5	0011010000101110	342E	0

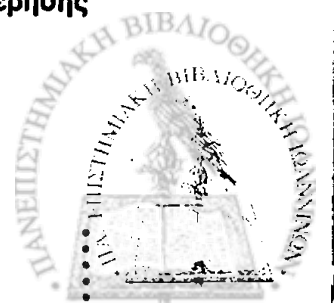
Η μονάδα παράγει ένα συγκεκριμένο αριθμό παλμών ο οποίος ορίζεται από ένα δεύτερο καταχωρητή. Η τιμή του καταχωρητή αυτού είναι προγραμματιζόμενη μέσα από το VME με εύρος 1-63.

Το σχηματικό διάγραμμα της υπομονάδας προγραμματιζόμενης καθυστέρησης παλμου εμφανίζεται στο σχ. 27.





σχ. 27. Σχηματικό διάγραμμα υπομονάδας προγραμματιζόμενης καθυστέρησης παλμού



## Υλοποίηση

Κατά την παρουσίαση της μονάδας ελέγχου στο Κεφάλαιο 2, έγινε ο διαχωρισμός των τρόπων λειτουργίας της μονάδας. Οι τρόποι λειτουργίας της μονάδα είναι είναι δύο:

- η λειτουργία της δειγματοληψίας και
- η λειτουργία βαθμονόμησης της αναλογικής μνήμης.

Στον πρώτο τρόπο λειτουργίας η υπομονάδα οδηγεί τον δείκτη ανάγνωσης (read pointer) του ζεύγους ολοκληρωμένων PACE, ώστε να μαρκάρει τις θέσεις μνήμης που έχει καταγραφεί χρήσιμη πληροφορία από τον μικρολωριδιακό ανιχνευτή πυριτίου. Θα πρέπει λοιπόν η μονάδα όταν λαμβάνει εξωτερικό σήμα σκανδαλισμού (ExternalTrigger) να οδηγεί αυτόν τον δείκτη, συνυπολογίζοντας και την καθυστέρηση που θα πρέπει να έχει αυτός σε σχέση με τον δείκτη εγγραφής (write pointer).

Στον δεύτερο τρόπο λειτουργίας γίνεται η βαθμονόμηση της αναλογικής μνήμης (calibration). Η υπομονάδα σε αυτόν τον τρόπο λειτουργίας στέλνει παλμούς οι οποίοι οδηγούνται σε έναν προγραμματιζόμενο εξασθενητή για να εξασθετισθούν κατά πλάτος πριν φτάσουν στο αναλογικό VLSI.

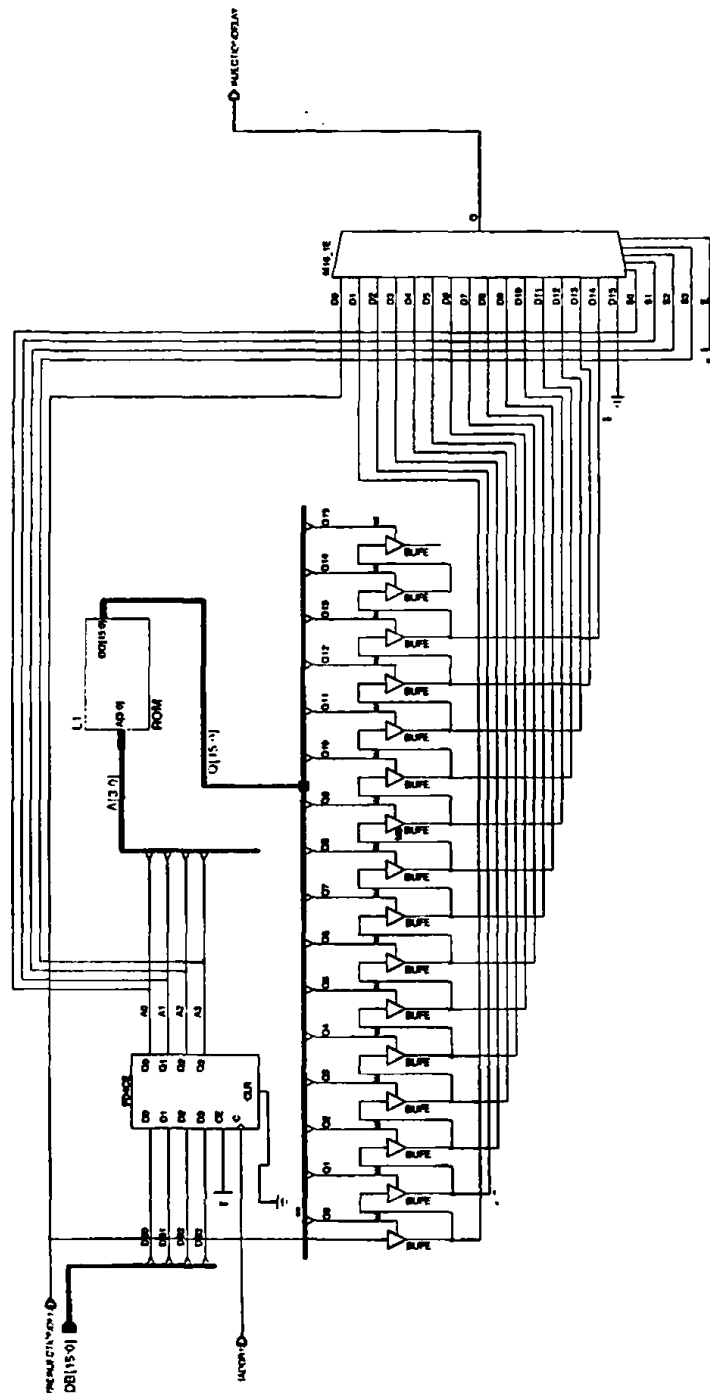
Η υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού αναλαμβάνει την παραγωγή των σημάτων που χρειάζονται για τους δύο παραπάνω τρόπους λειτουργίας και μάλιστα παρέχει στο χρήστη τη δυνατότητα να προγραμματίζει τις καθυστερήσεις που απαιτούνται στις προδιαγραφές για τα σήματα αυτά.

Η δυνατότητα επικοινωνίας της υπομονάδας προγραμματιζόμενης καθυστέρησης παλμού με το VMEbus παρέχεται από την υπομονάδα διεπαφής VME που αναπτύχθηκε στο Κεφάλαιο 3. Σύμφωνα λοιπόν με τον πίνακα 3 στην υπομονάδα αυτή αντιστοιχούν οι διευθύνσεις IADDR10 έως IADDR13.

Ο αριθμός των παλμών που παράγει η υπομονάδα είναι πεπερασμένος, και μάλιστα είναι και αυτός προγραμματιζόμενος. Στο σχ. 10 υπάρχει ένα πλαίσιο με τίτλο "Injection Number Counter". Μέσω της εσωτερικής διεύθυνσης IADDR11 φορτώνεται στο μετρητή αυτόν η τιμή που καθορίζει το πλήθος των παλμών που πρέπει να παραχθούν από την υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού. Όπως αναφέρθηκε, ο αριθμός των παλμών είναι πεπερασμένος και μάλιστα έχει και ένα ανώτατο όριο. Το ανώτατο αυτό όριο καθορίζεται από τη χωρητικότητα της αναλογικής μνήμης του ζεύγους ολοκληρωμένων PACE. Στο Κεφάλαιο 1 και στην παράγραφο "Το ζεύγος ολοκληρωμένων PACE" στην σελίδα 21, έγινε αναφορά στην αρχιτεκτονική του αναλογικού VLSI και επισημάνθηκε πως η μνήμη του αποτελείται από 160 στήλες των 32 πυκνωτών. Επίσης εξηγήθηκε πως το κάθε γεγονός που προέρχεται από τον μικρολωριδιακό ανιχνευτή πυριτίου καταλαμβάνει 3 στήλες μνήμης ή και περισσότερες. Αυτό σημαίνει πως στην αναλογική μνήμη μπορούν να καταγραφούν περίπου 50 γεγονότα των τριών στηλών πριν υπερχειλίσει. Έτσι ο καταχωρητής στον οποίο αποθηκεύεται ο αριθμός των παραγόμενων παλμών έχει μέγεθος 6-bit δηλαδή ο μέγιστος αριθμός παλμών που μπορεί να παραχθεί κάθε φορά είναι 64.



Θα πρέπει να σημειωθεί πως εκτός από το τμήμα παραγωγής ενός αριθμού παλμών, υπεύθυνη για τον αριθμό των injection παλμών που προκαλούνται είναι και η υπομονάδα επαναφοράς. Το σήμα DisableTrigger οδηγείται και στην παρούσα υπομονάδα με αποτέλεσμα να επαναφέρει τις λειτουργίες της στην αρχική τους κατάσταση (πρόκληση επαναφοράς). Αυτό σημαίνει ότι είναι δυνατόν πριν καν ολοκληρωθεί η παραγωγή του αριθμού των παλμών που επιτρέπονται από το τμήμα πρόκλησης αριθμού παλμών, να μηδενιστούν όλοι οι καταχωρητές και να επανέρθει η υπομονάδα στην αρχική της κατάσταση.



σχ. 28. Τρόπος δημιουργίας καθυστέρησης 5, 10, 15 και 20 ns

Η διεύθυνση IADDR12 χρησιμοποιείται για την αποθήκευση των τιμών των για την επιπρόσθετη καθυστέρησης των 5, 10, 15 και 20 ns που απαιτούνται για τη λειτουργία της υπομονάδας. Από τη διεύθυνση

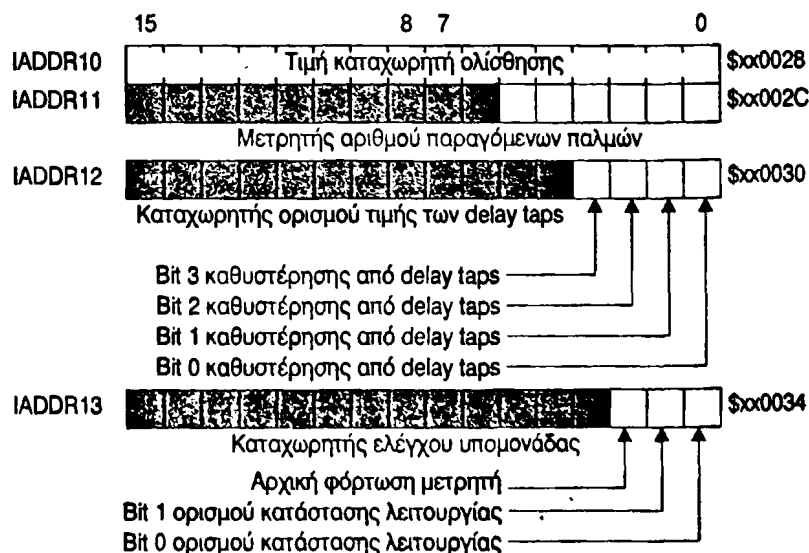




IADDR12 ορίζεται η τιμή ενός καταχωρητή 4 bits. Ο καταχωρητής αυτός οδηγεί τις διευθύνσεις μιας μνήμης ROM. Αν η τιμή του καταχωρητή είναι 0 τότε ο πολυπλέκτης εξόδου βγάζει στην έξοδο το σήμα του ρολογιού. Αν ο καταχωρητής έχει τιμή 1 τότε από τη διεύθυνση 1 της ROM ενεργοποιείται μόνο ο πρώτος buffer με τρίτη κατάσταση ενώ από τον πολυπλέκτη βγαίνει στην έξοδο η έξοδος του buffer αυτού. Αν ο καταχωρητής έχει τιμή 2 τότε από τη διεύθυνση 1 της ROM ενεργοποιούνται μόνο ο πρώτος και ο δεύτερος buffer ενώ από τον πολυπλέκτη βγαίνει στην έξοδο η έξοδος του δεύτερου buffer κ.ο.κ. Εφόσον οι buffers έχουν γνωστή καθυστέρηση μετάδοσης οι απαιτούμενες καθυστερήσεις των 5, 10, 15 και 20 ns μπορούν να παραχθούν στο σήμα injection εσωτερικά.

## Καταχωρητές

Η υπομονάδα δημιουργίας προγραμματιζόμενης καθυστέρησης χρησιμοποιεί 4 διευθύνσεις (πίνακας 3) της κάρτας VME που είναι αριθμημένες από IADDR10-IADDR13. Η πρώτη IADDR10 χρησιμοποιείται για την αρχική αποθήκευση τιμής στον καταχωρητή ολίσθησης. Η δεύτερη IADDR11 χρησιμοποιείται για τον ορισμό της τιμής των παραγόμενων παλμών από την υπομονάδα. Η τρίτη IADDR12 χρησιμοποιείται για τον ορισμό των τεσσάρων bits της επιπρόσθετης καθυστέρησης που θα προξενηθεί από τα delay taps. Η τέταρτη διεύθυνση IADDR13 περιλαμβάνει μόνο τρία bits δύο από τα οποία που αφορούν την ενεργοποίηση/απενεργοποίηση της υπομονάδας καθώς επίσης και την αρχική φόρτωση της τιμής της πρώτης φάσης. Ο χάρτης μνήμης των διευθύνσεων της υπομονάδας φαίνεται στο σχ. 29.



σχ. 29. Χάρτης μνήμης διευθύνσεων της υπομονάδας καθυστέρησης παλμού



## Κεφάλαιο 7

# Υπομονάδα παραγωγής σημάτων χρονισμού

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα παραγωγής σημάτων χρονισμού.

### Γενικά

Όπως αναφέρθηκε ήδη στο Κεφάλαιο 2 το σήμα σκανδαλισμού μετακινεί τον δείκτη ανάγνωσης (read pointer) της αναλογικής μνήμης σύμφωνα με έναν χρονισμό που λαμβάνει υπόψη το λανθάνοντα χρόνο (Latency) σκανδαλισμού. Ο δείκτης ανάγνωσης πρέπει να έπεται τουλάχιστον ένα βήμα των 25nsec (time slot) του δείκτη εγγραφής (write pointer). Στη υπομονάδα αυτή υπάρχει και μια βαθμίδα λογικής χρονισμού που σκοπό έχει την παραγωγή εσωτερικών σημάτων χρονισμού της μονάδας ελέγχου καθώς επίσης και των σημάτων που απευθύνονται σε άλλες μονάδες του ίδιου εργαστηριακού συστήματος.

Η υλοποίηση των παραπάνω απαιτήσεων γίνεται στην υπομονάδα παραγωγής σημάτων χρονισμού. Η υπομονάδα αυτή αποτελείται από τις παρακάτω βαθμίδες:

- Βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου
- Βαθμίδα προγραμματιζόμενης καθυστέρησης σκανδαλισμού πρώτου επιπέδου
- Βαθμίδα λογικής χρονισμού

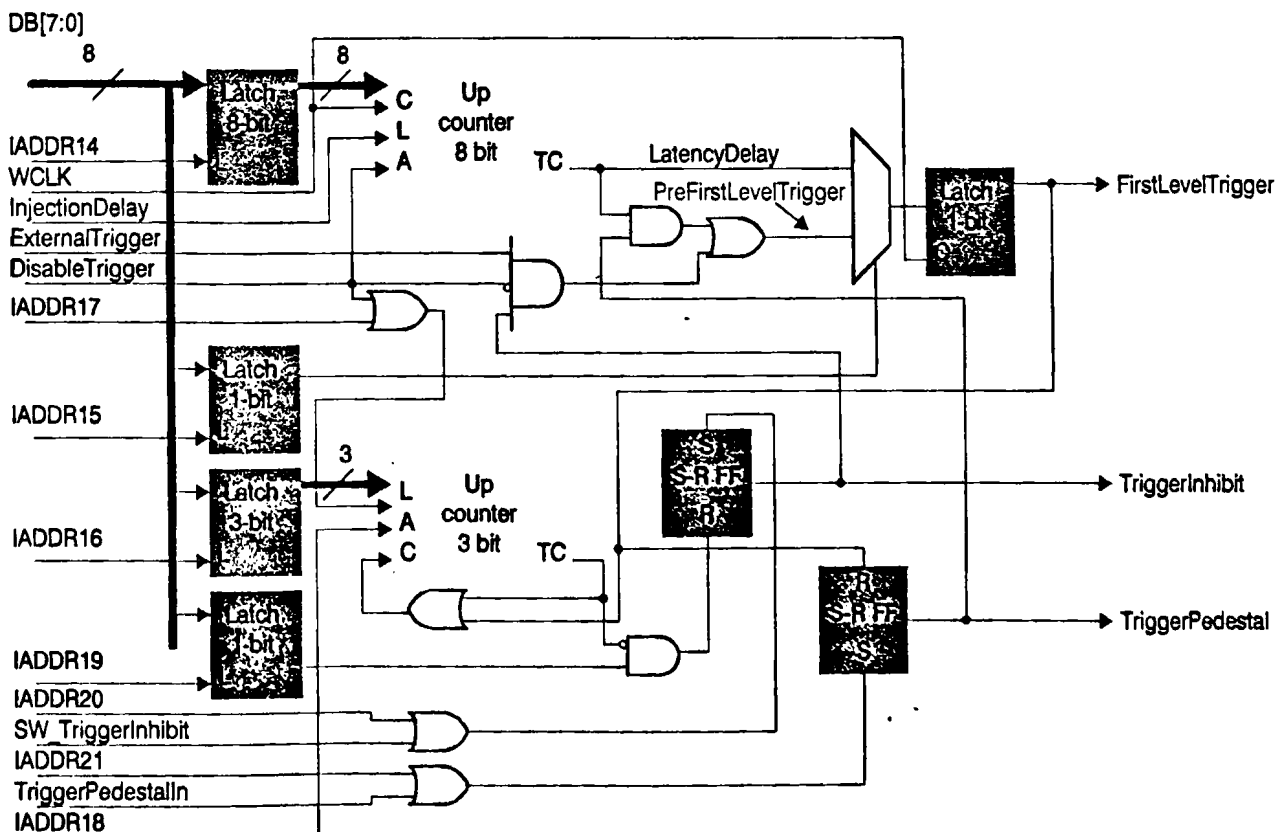
### Προδιαγραφές

Όπως φαίνεται στο σχ.10 οι βαθμίδες προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου και προγραμματιζόμενης καθυστέρησης σήματος σκανδαλισμού πρώτου επιπέδου έχουν άμεση σύνδεση. Έχει αναφερθεί ήδη πως ο λανθάνων χρόνος σκανδαλισμού πρώτου επιπέδου πρέπει να είναι προγραμματιζόμενος. Η περιοχή τιμών του είναι μεταξύ 25nsec και 10μsec, με βήμα το αντίστροφο της συχνότητας των 40MHz με την οποία κινείται ο δείκτης εγγραφής (έτσι ώστε να υπάρχει συγχρονισμός μεταξύ του δείκτη ανάγνωσης και του δείκτη εγγραφής). Στη συνέχεια ο παλμός σκανδαλισμού εισέρχεται στη βαθμίδα πρόκλησης σκανδαλισμού πρώτου επιπέδου (FirstLevelTrigger) και κατόπιν οδηγείται στο PACE chipset. Το τμήμα αυτό αναλαμβάνει να προκαλέσει μια επιπλέον καθυστέρηση 25nsec στον παλμό. Επιπλέον το τμήμα είναι υπεύθυνο για της συνθήκες που πρέπει να ισχύουν ώστε να επιτραπεί η οδήγηση του παλμού σκανδαλισμού στην αναλογική μνήμη.



Στην περίπτωση της δειγματοληψίας (σχ. 10), ο παλμός σκανδαλισμού πρώτου επιπέδου παράγεται κάθε φορά που έρχεται το εξωτερικό σήμα σκανδαλισμού ExternalTrigger ή κάθε φορά που έρχονται ταυτόχρονα το σήμα TriggerPedestal από την βαθμίδα της λογικής χρονισμού με το σήμα της βαθμίδας προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου. Να σημειωθεί πως το εξωτερικό σήμα ExternalTrigger είναι αυτό που ενημερώνει την μονάδα ελέγχου πως ένα χρήσιμο γεγονός (σημαντική πληροφορία) έχει καταγραφεί από τον μικρολωριδιακό ανιχνευτή πυριτίου στην αναλογική μνήμη. Επομένως ο δείκτης ανάγνωσης πρέπει να μετακινηθεί στη θέση του χρήσιμου γεγονότος και να τη μαρκάρει. Για να προκληθεί ο παλμός σκανδαλισμού πρώτου επιπέδου, όταν λαμβάνει η μονάδα το σήμα ExternalTrigger, θα πρέπει ταυτόχρονα να επιτρέπονται οι σκανδαλισμοί, δηλαδή το σήμα DisableTrigger να βρίσκεται σε low κατάσταση και το σήμα TriggerInhibit, που προέρχεται από τη βαθμίδα λογικής χρονισμού, να βρίσκεται σε κατάσταση high.

Στην περίπτωση της βαθμονόμησης (calibration) της αναλογικής μνήμης, (σχ. 10), ο παλμός σκανδαλισμού πρώτου επιπέδου παράγεται όταν παράγεται σήμα από την βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου. Το διάγραμμα βαθμίδων της υπομονάδας παραγωγής σημάτων χρονισμού φαίνεται στο σχ. 30.



σχ. 30. Διάγραμμα βαθμίδων υπομονάδας παραγωγής σημάτων χρονισμού



### Βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου

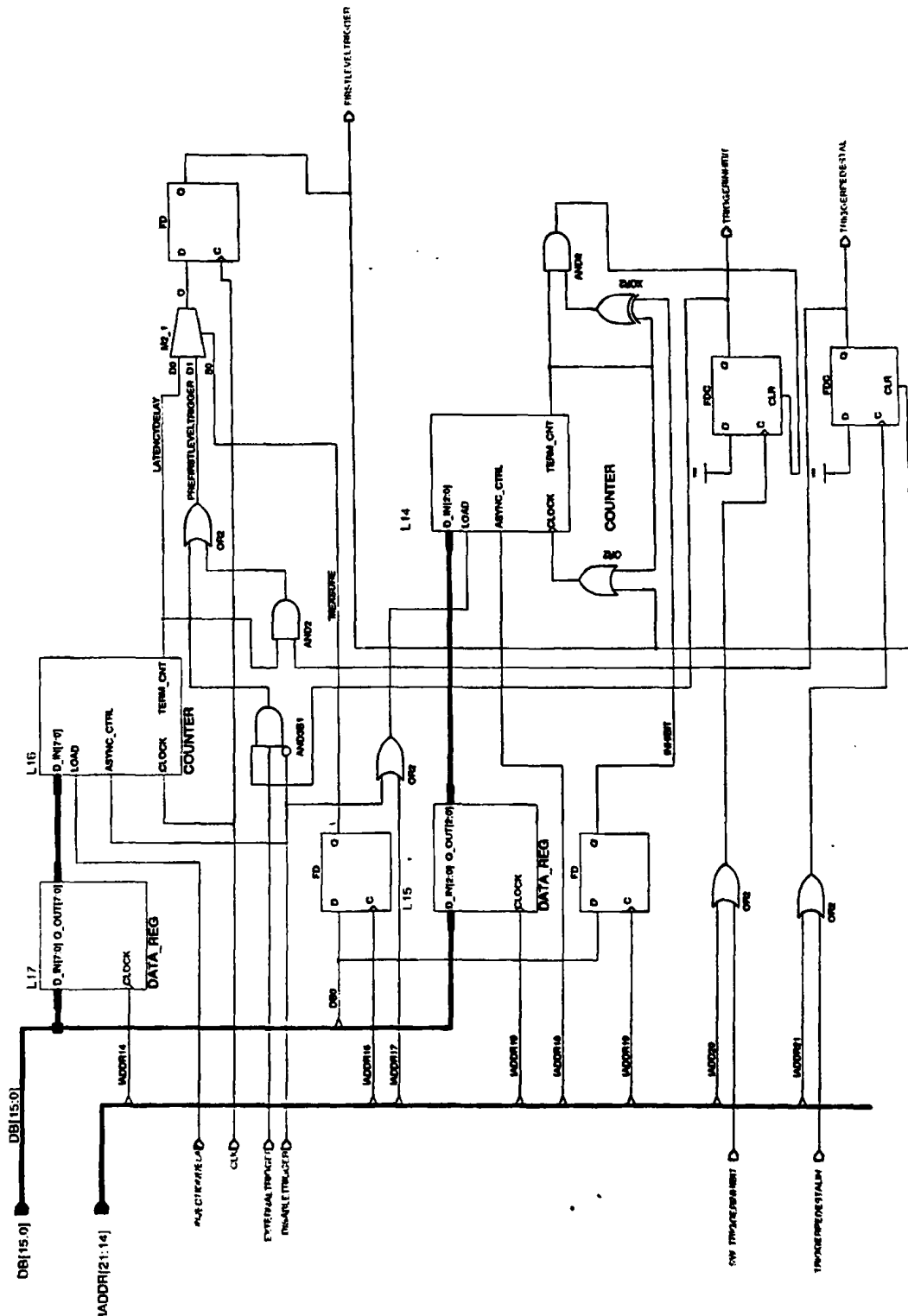
Η υπομονάδα διευθυνσιοδοτείται μέσω της διεπαφής του VMEbus. Το συνολικό σχηματικό διάγραμμα της υπομονάδας φαίνεται στο σχ. 31, και περιλαμβάνει και τις τρεις βαθμίδες της.

Όπως φαίνεται στο σχηματικό διάγραμμα στη βαθμίδα προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου αποστέλλονται δεδομένα των 8-bit μέσω του VME. Αναφέρθηκε προηγουμένως πως ο λανθάνων χρόνος σκανδαλισμού πρώτου επιπέδου πρέπει να είναι προγραμματιζόμενος και μάλιστα σε μια περιοχή μεταξύ 25nsec και 10μsec. Επειδή η μονάδα χρησιμοποιεί ως βασικό ρολόι τα 40MHz (25nsec περίοδο), τα 8bit είναι αρκετά για να καλυφθεί το μεγαλύτερο μέρος της εν λόγω περιοχής (256 διαφορετικές τιμές για τον λανθάνοντα χρόνο σκανδαλισμού). Η τιμή του λανθάνοντα χρόνου φορτώνεται σε μανδαλωτή (latch) των 8bit, όταν το σήμα IADDR14 είναι high, και παραμένει ενεργοποιημένη στις εξόδους του μανδαλωτή έως ότου αποσταλλεί νέα. Στη συνέχεια, το σήμα InjectionDelay που προέρχεται από την υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού και πιο συγκεκριμένα είναι η έξοδος της υπομονάδας αυτής (σχ. 31), φορτώνει την τιμή του λανθάνοντα χρόνου σε ένα αύξοντα μετρητή των 8bit. Ο μετρητής αυτός χρησιμοποιεί ως ρολόι το βασικό ρολόι της μονάδας (40MHz) και έχει επιπρόσθετα και μια είσοδο για ασύγχρονο έλεγχο (asynchronous control input). Στην είσοδο αυτή, εάν εφαρμοστεί παλμός θετικής λογικής, υπερπηδούνται όλες οι υπόλοιπες είσοδοι και

7

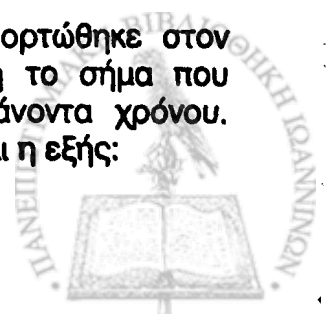


επαναφέρεται ο μετρητής στην αρχική του κατάσταση. Εκεί εφαρμόζεται ο παλμός DisableTrigger που παράγεται από την υπομονάδα επαναφοράς, η οποία αναπτύχθηκε στο Κεφάλαιο 5.



σχ. 31. Σχηματικό διάγραμμα υπομονάδας παραγωγής σημάτων χρονισμού

Το αποτέλεσμα της απαρίθμησης της τιμής που φορτώθηκε στον μετρητή, είναι το σήμα LatencyDelay. Είναι δηλαδή το σήμα προκαλείται με το πέρας καταμέτρησης του λανθάνοντα χρόνου. Δηλαδή η ακολουθία της λειτουργίας της βαθμίδας είναι η εξής:



- Ο χρήστης θέτει τη τιμή που αντιστοιχεί στον λανθάνων χρόνο σκανδαλισμού μέσω της υπομονάδας διεπαφής του VME.
- Ο χρόνος αρχίζει να μετράει από τη στιγμή που παραχθεί στην είσοδο ένας παλμός injection (σήμα InjectionDelay).
- Αν στο μεταξύ προκληθεί παλμός DisableTrigger από την υπομονάδα επαναφοράς, που εδώ λειτουργεί ως παλμός επαναφοράς, διακόπτεται η λειτουργία της βαθμίδας προγραμματιζόμενης καθυστέρησης λανθάνοντα χρόνου και επανέρχεται στην αρχική της κατάσταση έτσι ώστε να ξεκινήσει ένας νέος κύκλος με την ίδια ακολουθία.

## Βαθμίδα προγραμματιζόμενης καθυστέρησης του σήματος σκανδαλισμού πρώτου επιπέδου

7

Η βαθμίδα προγραμματιζόμενης καθυστέρησης σκανδαλισμού πρώτου επιπέδου είναι πολύ απλή. Όπως σημειώθηκε παραπάνω, το τμήμα αυτό αναλαμβάνει τη μετακίνηση του δείκτη ανάγνωσης (read pointer) της αναλογικής μνήμης. Ουσιαστικά αναλαμβάνει την πρόκληση μιας επιπλέον καθυστέρησης 25nsec στον παλμό που αντιστοιχεί στον λανθάνων χρόνο σκανδαλισμού (LatencyDelay). Στο σχ. 31, το σήμα PreFirstLevelTrigger αντιστοιχεί στην παρακάτω λογική εξίσωση:

$$\text{PreFirstLevelTrigger} = (\text{LatencyDelay} \cdot \text{TriggerPedestal}) + (\text{TriggerInhibit} \cdot \text{ExternalTrigger} \cdot \text{DisableTrigger})$$

Στο σχηματικό διάγραμμα αυτό φαίνεται ο τρόπος με τον οποίο προκύπτει η επιπλέον καθυστέρηση των 25ns στο σήμα, που είναι και ο κύριος ρόλος της υπομονάδας προγραμματιζόμενης καθυστέρησης του σήματος σκανδαλισμού πρώτου επιπέδου. Η καθυστέρηση των 25ns προστίθεται ως εξής: Τα σήματα LatencyDelay και PreFirstLevelTrigger οδηγούνται σε ένα πολυπλέκτη 2:1 του οποίου η έξοδος είναι συνάρτηση του τρόπου λειτουργίας της μονάδας. Η είσοδος επιλογής του πολυπλέκτη προέρχεται από ένα flip-flop. Η τιμή στο flip-flop φορτώνεται μέσω του διαύλου VME με τη χρήση του bit δεδομένων DB0 και της διεύθυνσης IADDR15.

Αν η μονάδα βρίσκεται στη λειτουργία της δειγματοληψίας τότε το σήμα MEASURE βρίσκεται σε κατάσταση low και στην έξοδο του πολυπλέκτη εμφανίζεται το σήμα LatencyDelay ενώ όταν η μονάδα βρίσκεται σε λειτουργία βαθμονόμησης της αναλογικής μνήμης τότε το σήμα MEASURE βρίσκεται σε κατάσταση high και στην έξοδο του πολυπλέκτη εμφανίζεται το σήμα PreFirstLevelTrigger.

Η έξοδος του πολυπλέκτη οδηγείται την είσοδο D ενός flip-flop το οποίο οδηγείται από το βασικό ρολόι κι έτσι προκαλεί καθυστέρηση 25ns στο σήμα εισόδου.

## Βαθμίδα λογικής χρονισμού

Η βαθμίδα αυτή είναι υπεύθυνη για την παραγωγή δύο σημάτων, του σήματος TriggerInhibit και του σήματος TriggerPedestal. Τα δύο αυτά σήματα χρησιμοποιούνται κυρίως για τον εσωτερικό χρονισμό της μονάδας ελέγχου του PACE. Επιπλέον, το σήμα TriggerInhibit αποστέλλεται και στην μονάδα SEQ (sequencer) του εργαστηριακού

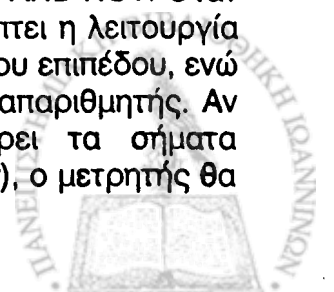


συστήματος του σχ. 1 της εισαγωγής. Μια πρώτη αναφορά στην υπομονάδα αυτή έγινε και στο Κεφάλαιο 2 και αφορούσε το αντίστοιχο τμήμα του σχ. 10. Το σήμα TriggerInhibit είναι σήμα επιπέδου, διαφέρει δηλαδή τότε θα βρίσκεται σε κατάσταση low από την κατάσταση high. Είναι το σήμα που επιτρέπει στη μονάδα FE Control να δέχεται τα εξωτερικά σήματα σκανδαλισμού ExternalTrigger που προέρχονται από άλλες μονάδες του ίδιου εργαστηριακού συστήματος, καθώς επίσης επιτρέπει και στην υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού την πρόκληση παλμών injection. Το σήμα TriggerPedestal είναι και αυτό σήμα επιπέδου και επιτρέπει με τη σειρά την παραγωγή παλμών injection καθώς και την παραγωγή παλμών σκανδαλισμού πρώτου επιπέδου.

Η βαθμίδα λογικής χρονισμού έχει σχεδιαστεί μαζί με τις άλλες δύο βαθμίδες που αναπτύχθηκαν στο παρόν κεφάλαιο. Το σήμα TriggerInhibit είναι η έξοδος ενός flip-flop, και επομένως έχει δύο καταστάσεις: ή set ή reset. Η οδήγηση του σήματος TriggerInhibit σε κατάσταση high γίνεται είτε μέσω του VME με την ενεργοποίηση της διεύθυνσης IADDR20, είτε γίνεται με ένα πλήκτρο βρίσκεται στην πρόσοψη της μονάδας και αντιστοιχεί στο σήμα SW\_TriggerInhibit. Για να οδηγηθεί το σήμα TriggerInhibit σε κατάσταση low χρησιμοποιείται ένας αύξων μετρητής που έχει σαν ρολόι τον παλμό σκανδαλισμού πρώτου επιπέδου FirstLevelTrigger. Στον μετρητή φορτώνεται μία τιμή μεταξύ 0 και 7 που υποδηλώνει τις θέσεις μνήμης που πρέπει να μαρκαριστούν από τον δείκτη ανάγνωσης προτού οδηγηθεί το σήμα σε κατάσταση low και αποτρέψει περαιτέρω εξωτερικούς παλμούς σκανδαλισμού. Η τιμή μεταξύ 0 και 7 τίθεται σε ένα μανδαλωτή μέσω του VME και της διεύθυνσης IADDR16. Η τιμή φορτώνεται στον μετρητή είτε μέσω του σήματος IADDR17, είτε μέσω του σήματος DisableTrigger που προέρχεται από την υπομονάδα επαναφοράς. Ο μετρητής μετρά στη συνέχεια τους παλμούς σκανδαλισμού πρώτου επιπέδου (που το άθροισμά τους πρέπει να είναι μικρότερο ή ίσο με την τιμή που του έχει δοθεί από το χρήστη) και το αποτέλεσμα αυτής της απαρίθμησης προκαλεί κάτω από κάποιες προϋποθέσεις τη μετάβαση του σήματος TriggerInhibit από την κατάσταση high σε κατάσταση low. Σύμφωνα με τις προδιαγραφές της συγκεκριμένης βαθμίδας:

- ή θα πρέπει ο απαριθμητής, αφού μετρήσει μέχρι την τιμή που του έχει φορτωθεί, να μπλοκάρει τα υπόλοιπα σήματα σκανδαλισμού πρώτου επιπέδου και να παραμείνει σε αυτή τη κατάσταση έως ότου του δοθεί εντολή για το αντίθετο (αυτό συμβαίνει όταν έχουμε μετάβαση του σήματος TriggerInhibit σε κατάσταση low).
- ή να παραμείνει αποδεσμευμένος και να μη μπλοκάρει κανένα σήμα σκανδαλισμού (που συμβαίνει όταν το σήμα TriggerInhibit παραμένει σε κατάσταση high).

Αυτή η επιλογή γίνεται μέσω του bit δεδομένων Inhibit που φορτώνεται από το VME, μέσω της διεύθυνσης IADDR19. Το bit αυτό οδηγείται μαζί με το κρατούμενο του απαριθμητή σε μια λογική πυλών AND-NOT. Όταν το bit Inhibit βρίσκεται σε κατάσταση low τότε προκύπτει η λειτουργία του μπλοκαρίσματος των παλμών σκανδαλισμού πρώτου επιπέδου, ενώ όταν βρίσκεται σε κατάσταση high αποδεσμεύεται ο απαριθμητής. Αν επιλεγεί η περίπτωση που ο μετρητής μπλοκάρει τα σήματα σκανδαλισμού (δηλαδή το bit Inhibit σε κατάσταση low), ο μετρητής θα



πρέπει να παραμείνει στην κατάσταση αυτή, δηλαδή να συνεχίσει να μπλοκάρει τα σήματα σκανδαλισμού. Για να επιτευχθεί αυτό οδηγείται το κρατούμενο του μετρητή στη είσοδο του ρολογιού του, όπως φαίνεται στο σχ. 31. Η εντολή στον απαριθμητή, για να πάψει να βρίσκεται σε αυτή την κατάσταση, δίνεται μέσω του σήματος IADDR18, το οποίο οδηγείται στην είσοδο του ασύγχρονου ελέγχου (asynchronous control) του μετρητή. Τότε ο μετρητής οδηγείται στην αρχική του κατάσταση και ξεκινά η διαδικασία από την αρχή.

Το σήμα TriggerPedestal είναι η έξοδος ενός άλλου flip-flop και αποτελεί το δεύτερο σήμα που παράγει η υπομονάδα παραγωγής σημάτων χρονισμού. Το σήμα αυτό οδηγείται και στην υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού και στη βαθμίδα προγραμματιζόμενης καθυστέρησης του σήματος σκανδαλισμού πρώτου επιπέδου (FirstLevel Trigger). Δηλαδή, αποτελεί σήμα που όταν βρίσκεται σε κατάσταση high επιτρέπει και την πρόκληση παλμών injection και παλμών σκανδαλισμού πρώτου επιπέδου. Το σήμα TriggerPedestal οδηγείται σε κατάσταση high είτε από το χρήστη, μέσω της διεύθυνσης IADDR21, είτε από το εξωτερικό σήμα TriggerPedestalln, το οποίο προέρχεται από την μονάδα SEQ του ίδιου εργαστηριακού συστήματος (σχ. 1 στην Εισαγωγή). Το σήμα TriggerPedestal οδηγείται σε κατάσταση low με τον παλμό σκανδαλισμού πρώτου επιπέδου FirstLevelTrigger που προέρχεται από την βαθμίδα προγραμματιζόμενης καθυστέρησης σήματος σκανδαλισμού πρώτου επιπέδου.

7

## Καταχωρητές

Οι καταχωρητές της υπομονάδας εμφανίζονται στο σχ. 32. Από τη διεύθυνση IADDR14 φορτώνεται στο μανδαλωτή L17 η τιμή για τον λανθάνοντα χρόνο. Από τη διεύθυνση IADDR15 και το bit MEASURE ορίζεται αν η μονάδα θα βρίσκεται σε κατάσταση (MEASURE low) δειγματοληψίας ή σε κατάσταση βαθμονόμησης (MEASURE high). Από τη διεύθυνση IADDR16 φορτώνεται η τιμή στον καταχωρητή που οδηγεί τον μετρητή παλμών σκανδαλισμού πρώτου επιπέδου. Η φόρτωση της τιμής αυτής στον μετρητή παλμών σκανδαλισμού επιπέδου γίνεται είτε μέσω της διεύθυνσης IADDR17 είτε μέσω του σήματος DisableTrigger. Για την ασύγχρονη μεταφορά του μετρητή στην αρχική κατάσταση χρησιμοποιείται η διεύθυνση IADDR18. Από τη διεύθυνση IADDR19 ορίζεται η απαγόρευση της πρόκλησης παλμών σκανδαλισμού πρώτου επιπέδου (Inhibit low) ενώ από τη διεύθυνση IADDR20 μπορεί να μεταφερθεί το σήμα TriggerInhibit σε κατάσταση low. Τέλος από τη διεύθυνση IADDR21 μπορεί να μεταφερθεί το σήμα TriggerPedestal σε κατάσταση low.







# Κεφάλαιο 8

## Υπομονάδα προγραμματιζόμενης εξασθένησης παλμού

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα προγραμματιζόμενης εξασθένησης παλμού.

### Γενικά

Στο Κεφάλαιο 1 δόθηκε μια σύντομη περιγραφή των μικρολωριδιακών ανιχνευτών πυριτίου. Η αρχή λειτουργίας ενός τέτοιου τύπου ανιχνευτή παρουσιάστηκε στο σχ. 2. Μεταξύ των μικρολωρίδων και του υποστρώματος εφαρμόζεται διαφορά δυναμικού με τέτοια πολικότητα ώστε οι δίοδοι να είναι ανάστροφα πολωμένοι. Το μέγεθος του δυναμικού είναι συνήθως τέτοιο ώστε η περιοχή απογύμνωσης των δίοδων p-n να εκτείνεται σε όλο το χώρο του ανιχνευτή. Η διέλευση φορτισμένων σωματιδίων μέσα από την πλήρως απογυμνωμένη περιοχή προκαλεί την παραγωγή ζευγών ηλεκτρονίων - οπών, λόγω ιονισμού. Για παράδειγμα ένα φορτισμένο σωματίο που προκαλεί ελάχιστο ιονισμό (mip) παράγει σε έναν ανιχνευτή πάχους 300μm περίπου 25.000 ζεύγη ηλεκτρονίων - οπών. Λόγω του εφαρμοζόμενου δυναμικού τα παραγόμενα ζεύγη φορτίων διαχωρίζονται και συλλέγονται οι μεν οπές από τις  $p^+$  - τύπου επαφές των μικρολωρίδων τα δε  $e^-$  από το υπόστρωμα. Η συλλογή των φορτίων αυτών από τα ηλεκτρόδια του ανιχνευτή δημιουργεί έναν παλμό ρεύματος του οποίου το ύψος είναι ανάλογο της ενέργειας που εναπόθεσε στον ανιχνευτή το φορτισμένο σωματίο. Λόγω του εντοπισμένου στο χώρο ιονισμού που προκαλούν τα διερχόμενα από τον ανιχνευτή σωματία, η συλλογή των παραγόμενων φορτίων γίνεται από ένα μικρό μόνο αριθμό μικρολωρίδων. Έτσι, ο ανιχνευτής μικρολωρίδων πυριτίου δίνει πληροφορία και για τη θέση των τροχιών των σωματιδίων και η ακρίβεια στη θέση εξαρτάται από την γεωμετρία σχεδιασμού των μικρολωρίδων.

### Προδιαγραφές

Για να ελεγχθεί η καλή λειτουργία των αναλογικών ηλεκτρονικών που διασυνδέονται στον ανιχνευτή πυριτίου απαιτούνται στην είσοδό τους παλμοί φορτίου παρόμοιοι με αυτούς που παράγονται στον ανιχνευτή. Πρέπει δηλαδή να σταλούν παλμοί παρόμοιοι με αυτούς των φορτισμένων σωματιδίων ώστε να μελετηθούν παράμετροι όπως ενίσχυση, ταχύτητα, γραμμικότητα ενισχυτή και αναλογικής μνήμης κλπ.





Έτσι η υπομονάδα προγραμματιζόμενης εξασθένησης παλμού θα πρέπει να έχει τη δυνατότητα να αποστέλλει γρήγορους τετραγωνικούς παλμούς (με χρόνο ανόδου  $< 5\text{nsec}$ ) πολλαπλάσιους της τιμής των  $8\text{mV}$  στη δεύτερη είσοδο του PACE έτσι ώστε να παράγονται φορτία ισοδύναμα ή πολλαπλάσια του φορτίου που παράγει ένα  $\text{mip}$  διερχόμενο τον ανιχνευτή.

## Υλοποίηση

Η υπομονάδα προγραμματιζόμενης εξασθένησης παλμού αποτελείται από ψηφιακό και αναλογικό μέρος. Η υπομονάδα τίθεται σε λειτουργία μόνο όταν η μονάδα βρίσκεται στη λειτουργία βαθμονόμησης (MEASURE high).

Στο σχ. 33 φαίνεται η υλοποίηση για την υπομονάδα προγραμματιζόμενης εξασθένησης παλμού. Πρόκειται για την περίπτωση που χρησιμοποιείται ένας προγραμματιζόμενος εξασθενητής RF. Ο εξασθενητής αυτός λειτουργεί στην περιοχή από DC έως  $950\text{MHz}$ . Η ευρεία περιοχή συχνοτήτων λειτουργίας επιτρέπει τη διέλευση γρήγορων σημάτων χωρίς την παραμικρή αλλοίωση των χρόνων ανόδου και καθόδου τους. Ο προγραμματιζόμενος εξασθενητής RF διαθέτει πέντε εισόδους οι οποίες είναι επιπέδων TTL και ενεργοποιούν τους επιμέρους εξασθενητές των  $2\text{dB}$ ,  $4\text{dB}$ ,  $8\text{dB}$ ,  $10\text{dB}$  και  $20\text{dB}$ .

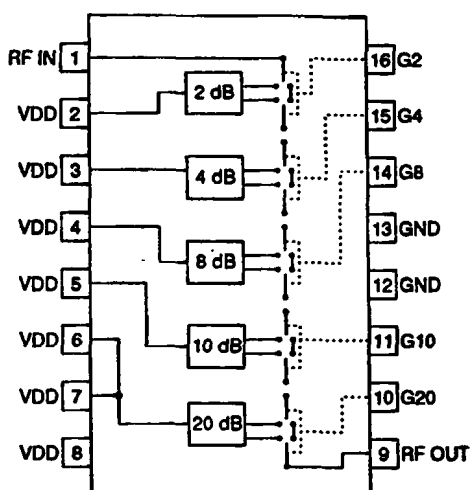
Σύμφωνα με τη σχέση

$$G_{\text{dB}} = 20 \log \frac{V_o}{V_i}$$

η τάση εξόδου  $V_o$  σε σχέση με την τάση εισόδου  $V_i$ , θα είναι εξασθετισμένη κατά έναν παράγοντα 10 όταν το σήμα διέρχεται από τον εξασθενητή των  $20\text{dB}$ , κατά έναν παράγοντα 2.5 όταν διέρχεται από τον εξασθενητή των  $8\text{dB}$ .



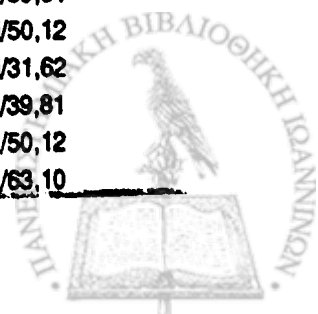
Στον πίνακα 7 εμφανίζονται όλες οι περιπτώσεις εξασθένησης που μπορούν να επιτευχθούν. Ουσιαστικά με αυτές τις τιμές του πίνακα επιτυγχάνεται διαίρεση της τάσης που εφαρμόζεται στην είσοδο του εξασθενητή.



σχ. 34. Διάγραμμα βαθμίδων ολοκληρωμένου προγραμματιζόμενου εξασθενητή RF

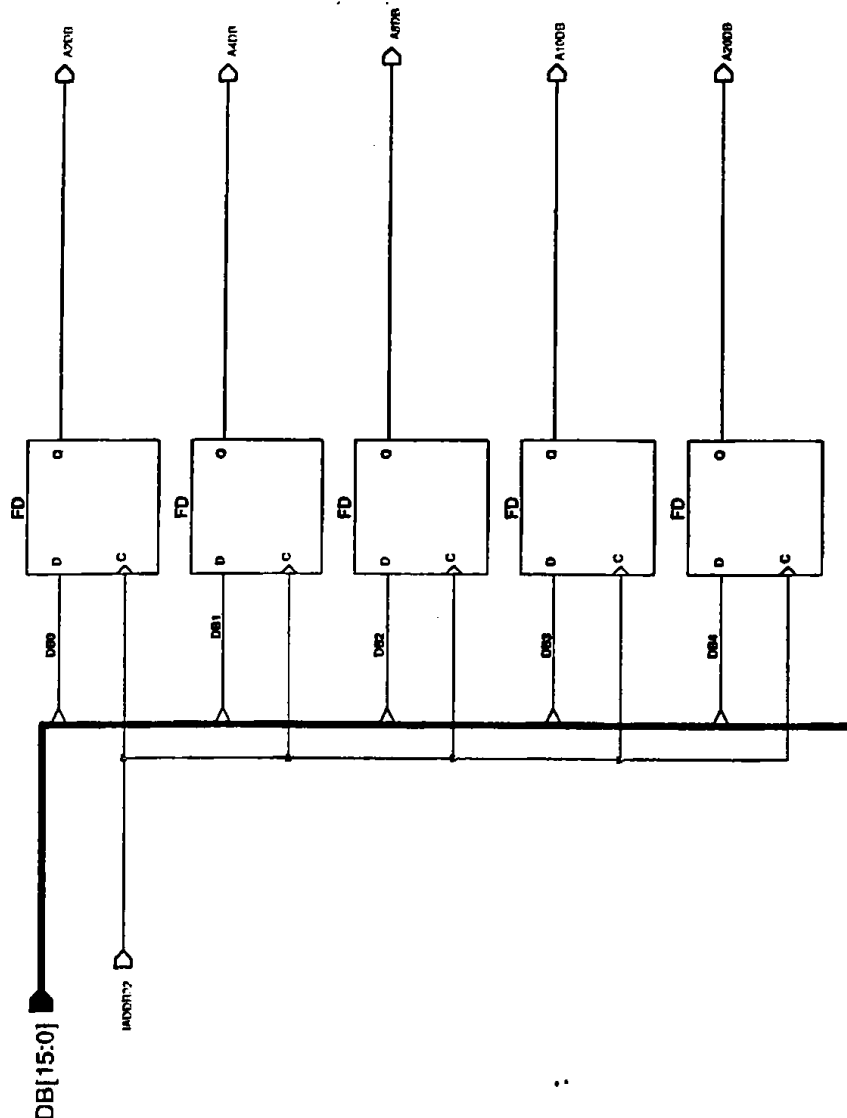
Πίνακας 7. Περιπτώσεις εξασθένησης που μπορούν να επιτευχθούν

DB4 20db	DB3 10db	DB2 8db	DB1 4db	DB0 2db	Συνολική	Σχέση Vo/Vi
0	0	0	0	0	0	$V_o=V_i$
0	0	0	0	1	2	$V_o=V_i/1,26$
0	0	0	1	0	4	$V_o=V_i/1,58$
0	0	0	1	1	6	$V_o=V_i/2,00$
0	0	1	0	0	8	$V_o=V_i/2,51$
0	0	1	0	1	10	$V_o=V_i/3,16$
0	0	1	1	0	12	$V_o=V_i/3,98$
0	0	1	1	1	14	$V_o=V_i/5,01$
0	1	0	0	0	10	$V_o=V_i/3,16$
0	1	0	0	1	12	$V_o=V_i/3,98$
0	1	0	1	0	14	$V_o=V_i/5,01$
0	1	0	1	1	16	$V_o=V_i/6,31$
0	1	1	0	0	18	$V_o=V_i/7,94$
0	1	1	0	1	20	$V_o=V_i/10$
0	1	1	1	0	22	$V_o=V_i/12,59$
0	1	1	1	1	24	$V_o=V_i/15,85$
1	0	0	0	0	20	$V_o=V_i/10$
1	0	0	0	1	22	$V_o=V_i/12,59$
1	0	0	1	0	24	$V_o=V_i/15,85$
1	0	0	1	1	26	$V_o=V_i/19,95$
1	0	1	0	0	28	$V_o=V_i/25,12$
1	0	1	0	1	30	$V_o=V_i/31,62$
1	0	1	1	0	32	$V_o=V_i/39,81$
1	0	1	1	1	34	$V_o=V_i/50,12$
1	1	0	0	0	30	$V_o=V_i/31,62$
1	1	0	0	1	32	$V_o=V_i/39,81$
1	1	0	1	0	34	$V_o=V_i/50,12$
1	1	0	1	1	36	$V_o=V_i/63,10$



DB4 20db	DB3 10db	DB2 9db	DB1 4db	DB0 2db	Συνολική	Σχέση Vo/Vi
1	1	1	0	0	38	$V_o=V_i/79,43$
1	1	1	0	1	40	$V_o=V_i/100$
1	1	1	1	0	42	$V_o=V_i/125,89$
1	1	1	1	1	44	$V_o=V_i/158,49$

Η λειτουργία του προγραμματιζόμενου εξασθενητή έχει ως εξής: Η τιμή της εξασθένησης ορίζεται μέσα από το VMEbus (σχ. 35). Αυτό σημαίνει πως αν επιλεγεί η λειτουργία της βαθμονόμησης του PACE chip, τότε μέσω του Data bus του VME αποστέλλονται τα κατάλληλα δεδομένα για το ποσό της εξασθένησης που θα προκληθεί στον παλμό injection (InjectionDelay).

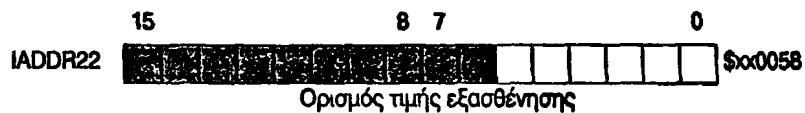


σχ. 35. Μανδαλωτές για τη συγκράτηση της τιμής του προγραμματιζόμενου εξασθενητή RF



## Καταχωρητές

Η υπομονάδα αυτή χρησιμοποιεί έναν καταχωρητή για τη συγκράτηση της τιμής του προγραμματιζόμενου εξασθενητή. Η διεύθυνση του καταχωρητή είναι η IADDR22 όπως φαίνεται στο σχ. 36.



σχ. 36. Καταχωρητές υπομονάδας προγραμματιζόμενης εξασθένισης



## Κεφάλαιο 9

# Υπομονάδα μετατροπής σημάτων

.....

Στο κεφάλαιο αυτό αναλύεται η υπομονάδα μετατροπής σημάτων.

### Γενικά

Τα σήματα που παράγονται εσωτερικά στη μονάδα είναι λογικά σήματα TTL επιπέδων. Η μεταφορά των σημάτων αυτών σε άλλες μονάδες του πλαισίου του VME ή και σε αποστάσεις μεγαλύτερες δεν είναι δυνατή με την τρέχουσα μορφή. Επιπλέον τα σήματα που φθάνουν στην μονάδα αυτή από άλλες μονάδες είναι και αυτά διαφορετικής μορφής και θα πρέπει να μετατραπούν σε TTL επίπεδα έτσι ώστε να είναι δυνατή η επεξεργασία τους από τη μονάδα. Η υπομονάδα μετατροπών είναι υπεύθυνη για το σύνολο των μετατροπών των σημάτων με σκοπό την εύρυθμη λειτουργία του συστήματος.

Ο πίνακας 8 περιλαμβάνει τις μετατροπές που απαιτούνται στα σήματα της μονάδας.

Πίνακας 8. Μετατροπές σημάτων που απαιτούνται από τη μονάδα

Όνομασία σήματος	Τύπος	Από/Προς	Είδος μετατροπής
WCLK	Έξοδος	FE Readout SEQ	TTL σε LVDS
ResetSync	Έξοδος	PACE	TTL σε FIBER
DisableTrigger	Έξοδος	PACE	TTL σε LVDS
TriggerInhibit	Έξοδος	SEQ	TTL σε LVDS
FirstLevelTrigger	Έξοδος	PACE	TTL σε LVDS
ExternalResetSync	Είσοδος		NIM LVDS σε TTL
TriggerPedestalIn	Είσοδος	SEQ	LVDS σε TTL
ExternalTrigger	Είσοδος	SEQ	LVDS σε TTL

### Μετατροπή TTL σε LVDS και αντίστροφα

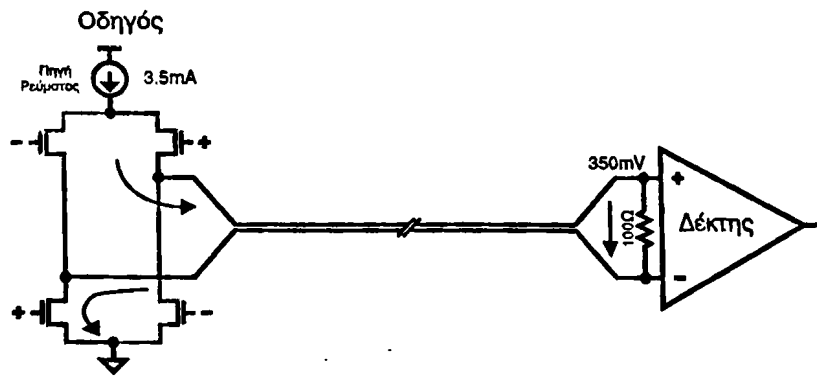
Το αναλογικό PACE βρίσκεται δίπλα στο μικρολωριδιακό ανιχνευτή πυριτίου και απομακρυσμένο από το crate του VME. Έτσι τα σήματα που οδηγούνται σε αυτό (σήματα TTL και ο παλμός βαθμονόμησης) πρέπει να φτάνουν σωστά σε ότι αφορά στο χρονισμό τους, το πλάτος τους και χωρίς θόρυβο. Για το λόγο αυτό στη μετάδοση των σημάτων TTL χρησιμοποιούνται δύο άλλα πρότυπα επικοινωνίας:

- το LVDS (Low Voltage Differential Signaling) και
- η μετάδοση σήματος μέσω οπτικής ίνας



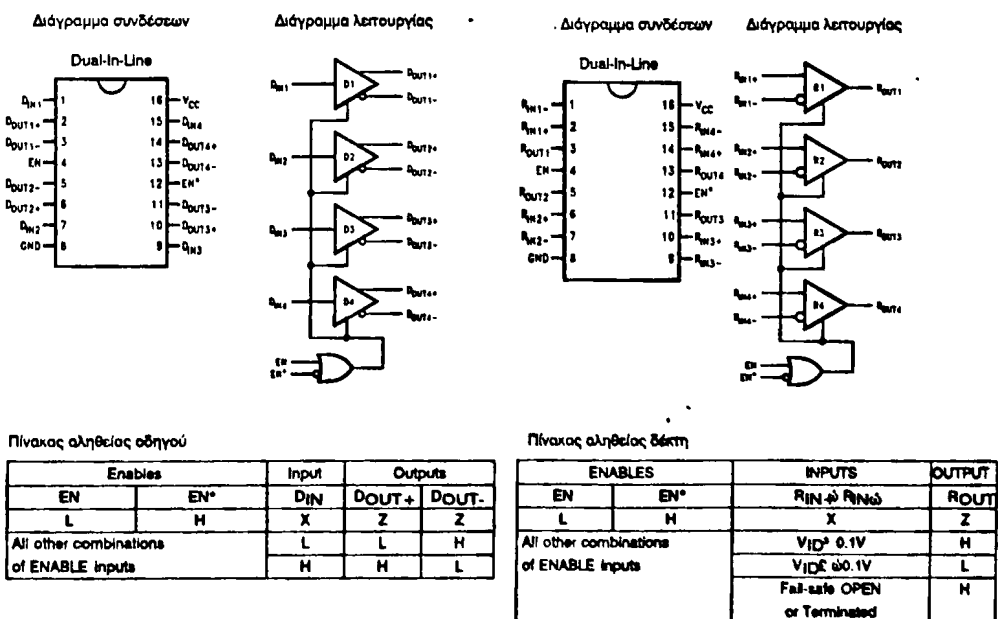


Επομένως είναι απαραίτητη η κατασκευή κυκλωμάτων μετατροπής του standard TTL σε LVDS και σε οπτικό σήμα..



σχ. 37. Λειτουργία οδηγού και δέκτη LVDS

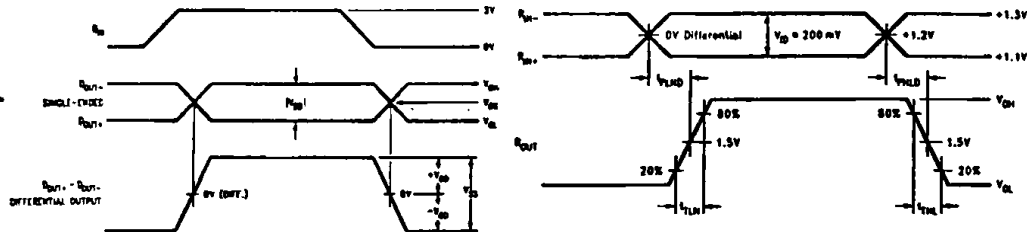
Το πρότυπο LVDS πληροί τις απαιτήσεις της τεχνολογίας για υψηλής απόδοσης εφαρμογές μετάδοσης δεδομένων σε μεγάλες ταχύτητες και ταυτόχρονα έχει μικρή κατανάλωση ισχύος. Επίσης έχει σχεδιαστεί έτσι ώστε να μπορεί να χρησιμοποιηθεί σε τωρινές και μελλοντικές εφαρμογές, όπου χρησιμοποιείται τροφοδοσία των 2V. Η τεχνολογία LVDS χαρακτηρίζεται από ένα χαμηλό διαφορικό σήμα των 350mV (250mV min - 450mV max) και υψηλές ταχύτητες μετάβασης. Μπορεί να χρησιμοποιηθεί σε εφαρμογές με ρυθμούς μετάδοσης μεγαλύτερους των 155.5 Mbps (που πολλές φορές ξεπερνούν και το 1Gbps). Επιπρόσθετα, τα χαμηλής τάσης διαφορικά σήματα μειώνουν κατά πολύ την κατανάλωση ισχύος. Η τεχνολογία αυτή είναι μια εναλλακτική λύση έναντι των κυκλωμάτων λογικής σύζευξης εκπομπού (ECL), που ενώ έχουν πολύ μικρούς χρόνους καθυστέρησης εντούτοις καταναλώνουν μεγάλα ποσά ισχύος και δεν έχουν μεγάλη ανοχή στο θόρυβο.



σχ. 38. Ο οδηγός DS90C31 και ο δέκτης DS90C402 και οι πίνακες λειτουργίας αυτών

Για να γίνει η μετατροπή ενός σήματος TTL σε LVDS χρειάζεται ένας οδηγός (driver) και ένας δέκτης (receiver). Στον οδηγό εισάγεται ένας ψηφιακός παλμός (0V ή 5V) και μετατρέπεται σε διαφορικό σήμα των

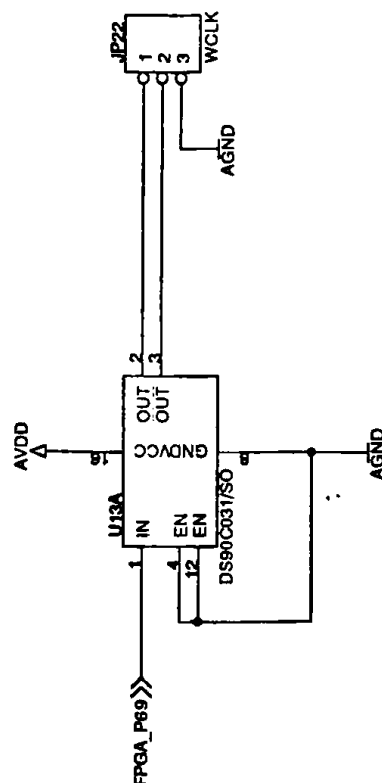
350mV. Το σήμα μεταφέρεται στις εισόδους του δέκτη, όπου τερματίζεται σε μια αντίσταση 100Ω, και μετατρέπεται ξανά σε ψηφιακό. Στο σχ. 37 εμφανίζεται η λειτουργία αυτή. Οι έξοδοι του οδηγού αποτελούν ουσιαστικά μια πηγή ρεύματος των 3.5mA το οποίο όταν τερματίζεται στην αντίσταση των 100Ω προκαλεί διαφορά δυναμικού 350mV στις εισόδους του δέκτη. Όταν η είσοδος του οδηγού εναλλάσσεται μεταξύ 0 και 5V, αλλάζει η κατεύθυνση του ρεύματος που διαρρέει την αντίσταση ώστε στο δέκτη να γίνεται κατανοητή η εναλλαγή μεταξύ του λογικού "0" και του λογικού "1"



σχ. 39. Χρόνοι μετατροπής TTL σε LVDS στον οδηγό και LVDS σε TTL στον δέκτη

Οι οδηγοί και δέκτες που χρησιμοποιήθηκαν είναι οι DS90C031 και DC90C402 αντίστοιχα. Πρόκειται για τετραπλούς οδηγούς και δέκτες της εταιρίας National Semiconductors και έχουν το χαρακτηριστικό ότι δουλεύουν με τροφοδοσία +5V, τροφοδοσία που χρησιμοποιεί και η υπόλοιπη μονάδα. Σύμφωνα με το γενικό λογικό διάγραμμα της μονάδας ελέγχου στο σχ. 9, τα σήματα που πρέπει να μετατραπούν στο πρότυπο LVDS πριν οδηγηθούν στην αναλογική μνήμη είναι το ρολόι της κάρτας των 40MHz, ο παλμός επαναφοράς της μνήμης Reset και ο παλμός σκανδαλισμού πρώτου επιπέδου FirstLevelTrigger.

9



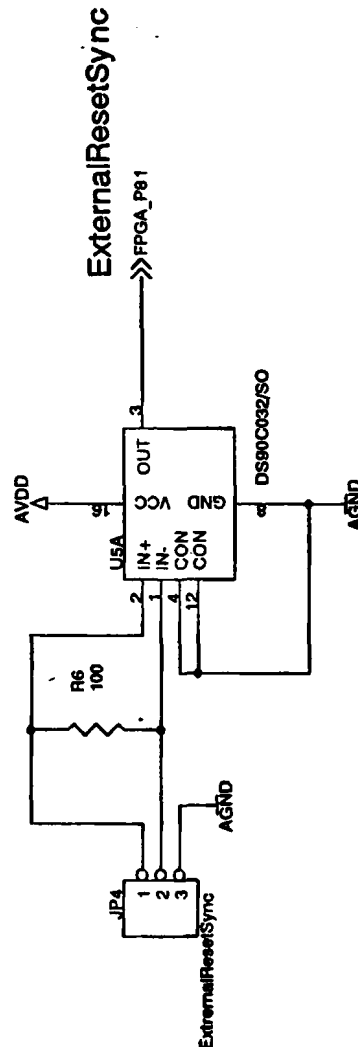
σχ. 40. Μετατροπή σήματος TTL σε LVDS



Τα σήματα αφού μετατρέπονται στο δέκτη σε διαφορεικά σήματα των 350mV, μεταφέρονται με ένα συνεστραμμένο ζεύγος καλωδίων (twisted pair) το οποίο τερματίζεται με αντίσταση 100Ω στον δέκτη. Στο σχ. 38 εμφανίζονται ο οδηγός και ο δέκτης μαζί με τους πίνακες αληθείας τους.

Ο χρόνος που χρειάζεται ο οδηγός για την μετατροπή του TTL σε LVDS, είναι της τάξης των 2nsec. Για τη μετατροπή του LVDS σε TTL στον δέκτη, απαιτείται χρόνος 3.5nsec. Τα χρονικά διαγράμματα τόσο του οδηγού όσο και του δέκτη παραθέτονται στο σχ. 39.

Στο σχ. 40 φαίνεται η μετατροπή σήματος TTL σε LVDS ενώ στο σχ. 41 φαίνεται η μετατροπή ενός σήματος LVDS σε TTL.



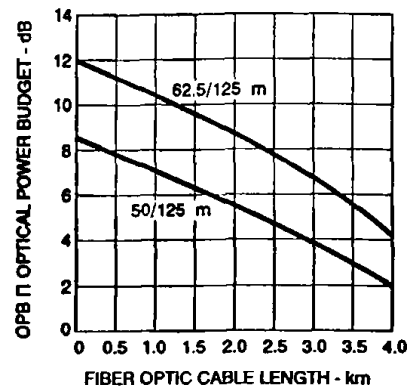
σχ. 41. Μετατροπή σήματος LVDS σε TTL

## Μετατροπή TTL σε οπτικό

Στην αρχή του κεφαλαίου αυτού έγινε αναφορά στην οδήγηση γρήγορων σημάτων σε μακρινές αποστάσεις. Ένα τέτοιο σήμα είναι το γενικό ρολόι των 40MHz. Σύμφωνα με τις προδιαγραφές της κάρτας ελέγχου FE, ο δείκτης εγγραφής (write pointer) της αναλογικής μνήμης του PACE, είναι συγχρονισμένος με το γενικό ρολόι. Επομένως οι παλμοί του ρολογιού πρέπει να φτάνουν στο PACE χωρίς καμία αλλοίωση (είτε



χρονική, είτε αλλοίωση λόγω θορύβου). Για το λόγο αυτό το ρολόι, που είναι σήμα προτύπου TTL, μετατρέπεται σε οπτικό σήμα και αποστέλλεται στο PACE chip μέσω οπτικής ίνας.



σχ. 42. Πομπός και δέκτης οπτικού σήματος

9

Για την μεταφορά του οπτικού σήματος έχει επιλεγεί πομπός (transmitter) και δέκτης (receiver) της εταιρίας Hewlett Packard και συγκεκριμένα ο HFBR-1115T και HFBR-2115T αντίστοιχα. Πρόκειται για πλαστικούς πομποδέκτες (16pin DIP package) και χρησιμοποιούνται για μεταφορά δεδομένων με ρυθμό 125MBd.

Στο σχ. 42. εμφανίζονται ο οπτικός πομπός και δέκτης καθώς επίσης και ένα γράφημα που αφορά την απώλεια του σήματος σε σχέση με το μήκος της οπτικής ίνας που θα χρησιμοποιηθεί. Γίνεται αντιληπτό πως οι αποστάσεις στο εργαστηριακό σύστημα, του οποίου τμήμα αποτελεί η μονάδα ελέγχου FE, δεν πρόκειται να ξεπερνούν τα 100m. Οπότε και η απώλεια του σήματος θα είναι απειροελάχιστη.

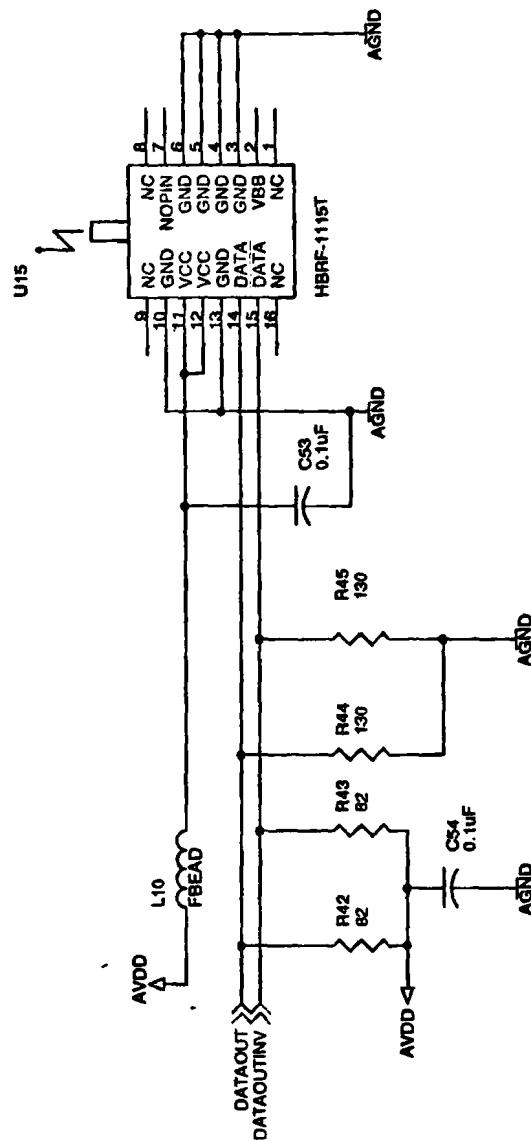
Θα πρέπει να σημειωθεί πως ο πομπός δέχεται στην είσοδό του διαφορικό σήμα προτύπου ECL, το οποίο μετατρέπει σε φως όπως φαίνεται στο σχ. 43.

Αντίστοιχα ο δέκτης μετατρέπει το οπτικό σήμα που δέχεται σήμα προτύπου ECL. Επομένως πρέπει να παρεμβληθεί ένα κύκλωμα που να μετατρέπει το γενικό ρολόι TTL σε πρότυπο ECL, προτού οδηγηθεί στον πομπό. Το κύκλωμα μετατροπής ενός σήματος TTL σε ECL φαίνεται στο σχηματικό διάγραμμα της μετατροπής TTL σε NIM (σχ. 44).

Στην πλευρά του δέκτη θα πρέπει να υλοποιηθεί και η μετατροπή του ECL σε TTL έτσι ώστε να είναι δυνατός ο έλεγχος του σήματος (αν είναι δυνατή η μεταφορά του σήματος σε μακρινές αποστάσεις χωρίς



αλλοίωση). Ο τερματισμός των σημάτων με συγκεκριμένες τιμές αντιστάσεων είναι πολύ σημαντικός, όπως και η τοποθέτηση κατάλληλων πυκνωτών και πηνίων.



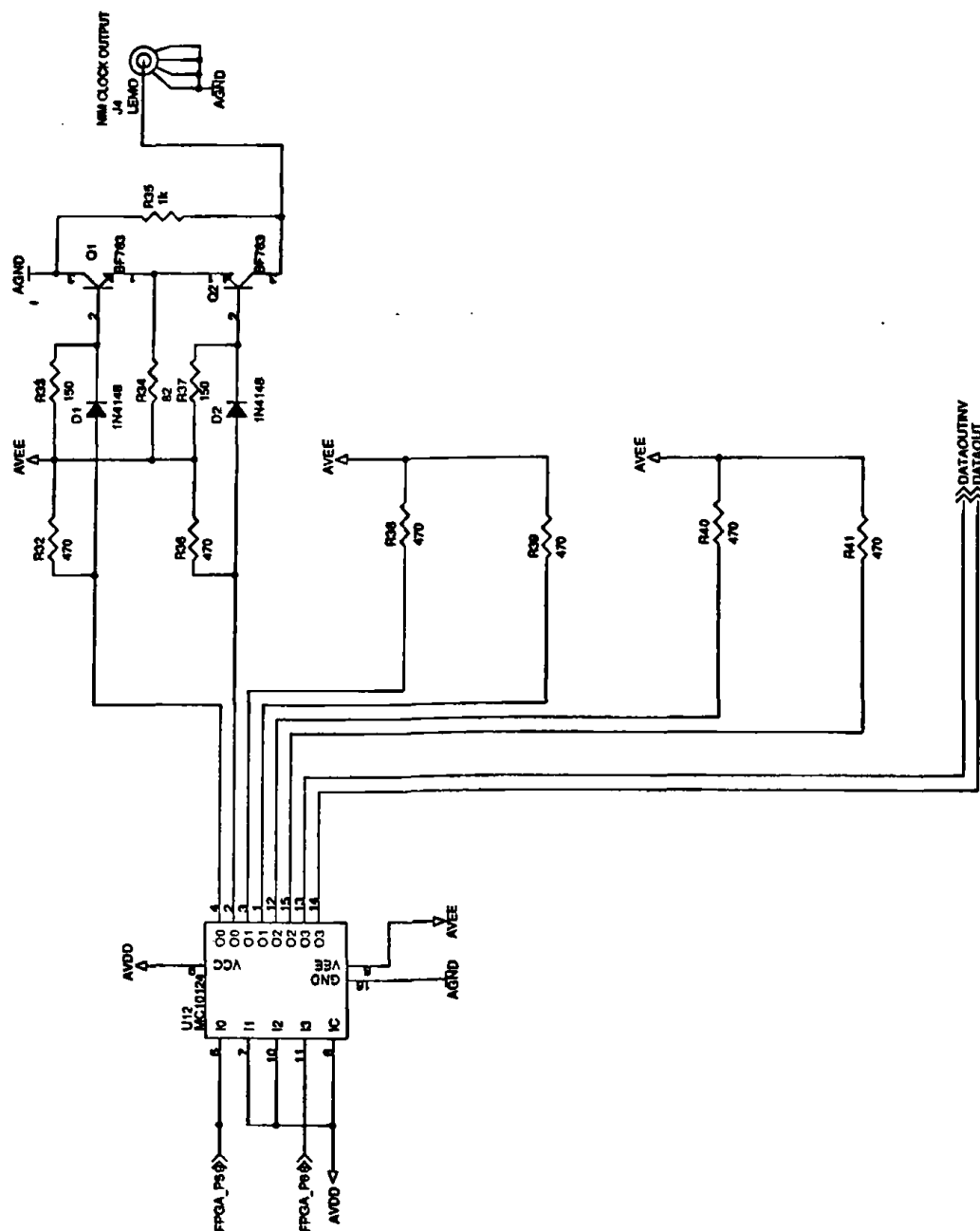
σχ. 43. Σχηματικό διάγραμμα μετατροπής σήματος ECL σε οπτικό

## Μετατροπή TTL σε NIM

Σύμφωνα με τις προδιαγραφές τις μονάδας παραγωγής σημάτων ρύθμισης FE υπάρχει η απαίτηση να μετατραπεί το σήμα σκανδαλισμού πρώτου επιπέδου από το πρότυπο TTL σε σήμα προτύπου NIM (Nuclear Instrumentation Methods). Το πρότυπο NIM δημιουργήθηκε το 1964 για να χρησιμοποιηθεί στην Πυρηνική Φυσική και στη Φυσική Υψηλών Ενεργειών και χρησιμοποιείται ακόμα και στις μέρες μας. Περισσότερες πληροφορίες για το πρότυπο αυτό παραθέτονται στο Παράρτημα 2. Αυτό που πρέπει να σημειωθεί είναι πως στο πρότυπο NIM παρέχεται μια πολύ γρήγορη αρνητική λογική σημάτων (χρόνους ανόδου της τάξης του 1nsec). Το λογικό μηδέν "0" αντιστοιχεί στα 0V και το λογικό ένα "1" στα -0.8V.



Στη συγκεκριμένη μονάδα ελέγχου το σήμα σκανδαλισμού πρώτου επιπέδου μετατρέπεται σε έξοδο προτύπου NIM. Ο τρόπος με τον οποίο επιτυγχάνεται η μετατροπή φαίνεται στο κύκλωμα του σχ. 44.



9

σχ. 44. Μετατροπή TTL σε NIM

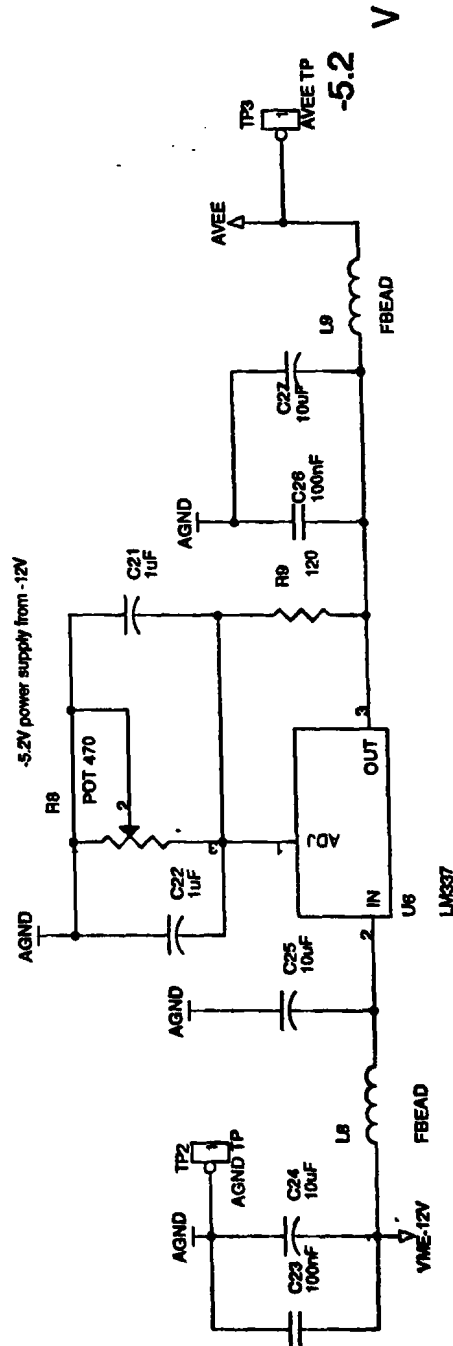
Στο σχ. 44 το σήμα σκανδαλισμού πρώτου επιπέδου FirstLevelTrigger μετατρέπεται πρώτα σε διαφορικό σήμα προτύπου ECL (Emitter Coupled Logic) και στη συνέχεια το σήμα ECL μετατρέπεται σε NIM. Το ολοκληρωμένο MC10124 της Motorola είναι ένας τετραπλός μετατροπέας TTL σε ECL.

Το ολοκληρωμένο αυτό βγάζει στις εξόδους του σήματα ECL (λογικό "1" αντιστοιχεί στα -0.8V και λογικό "0" αντιστοιχεί στα -1.6V με διαφορά -0.8V, αυτή δηλαδή που χρειάζεται για το πρότυπο NIM). Στη συνέχεια οι εξόδοι οδηγούνται σε τρανζίστορ (2N918) στον εκπομπό των οποίων



προκύπτει η διαφορά των δύο τάσεων, δηλαδή  $-0.8V$ . Κατ' αυτό τον τρόπο πραγματοποιείται η μετατροπή του σήματος σκανδαλισμού πρώτου επιπέδου από σήμα προτύπου TTL σε σήμα προτύπου NIM.

Εκτός από την τροφοδοσία των  $+5V$  το ολοκληρωμένο MC10124 απαιτεί αρνητική τροφοδοσία  $-5.2V$ . Το VME crate παρέχει αρνητική τροφοδοσία των  $-12V$  από την οποία με τη χρήση ενός ρυθμιζόμενου σταθεροποιητή αρνητικής τάσης παράγονται τα  $-5.2V$  όπως φαίνεται στο σχ. 45.



σχ. 45. Ρυθμιζόμενος σταθεροποιητής αρνητικής τάσης



## Κεφάλαιο 10

### Λειτουργία της μονάδας

.....

Στο κεφάλαιο αυτό αναλύεται η λειτουργία της μονάδας.

#### Γενικά

Για να λειτουργήσει η μονάδα παραγωγής σημάτων ρύθμισης θα πρέπει να πραγματοποιηθεί μια σειρά από συντονισμένες ενέργειες. Οι ενέργειες αυτές διαφέρουν ανάλογα με τον αριθμό των υπομονάδων που απαιτούνται στην εκάστοτε λειτουργία της μονάδας αλλά και στην ίδια την λειτουργία των υπομονάδων αυτών.

Στην αρχή πρέπει να αποφασιστεί ο αριθμός των υπομονάδων που θα λειτουργήσει στην εκάστοτε εφαρμογή και στη συνέχεια να αποφασιστεί ο τρόπος λειτουργίας της κάθε υπομονάδας έτσι ώστε να δοθούν κατάλληλες τιμές στους καταχωρητές της κάθε υπομονάδας. Ο ορισμός των τιμών για τους καταχωρητές γίνεται μέσα από το πακέτο γραφικού προγραμματισμού LabView.

#### Υπομονάδα επαναφοράς

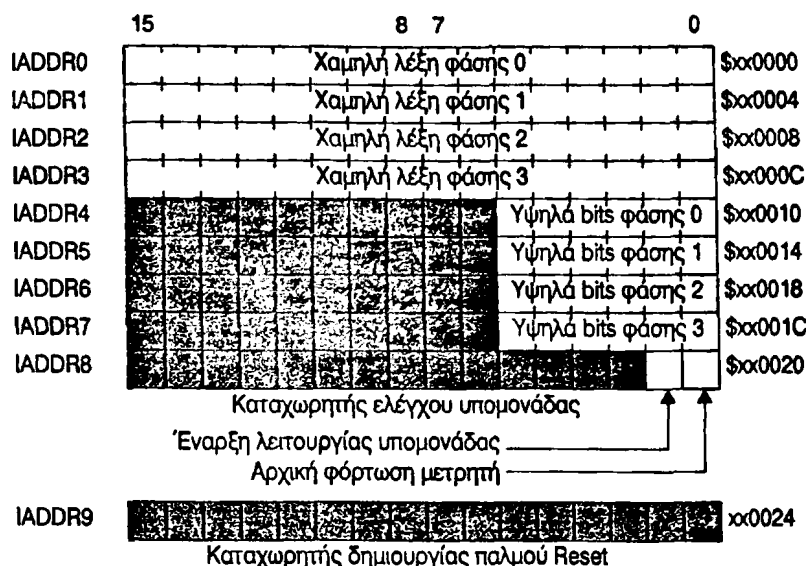
Η υπομονάδα επαναφοράς χρησιμοποιεί δέκα εσωτερικές διευθύνσεις της κάρτας VME που είναι αριθμημένες από IADDR0-IADDR9.

Για να λειτουργήσει η υπομονάδα επαναφοράς θα πρέπει να υπολογιστούν οι τιμές που απαιτούνται για τα σήματα `PeriodResetSync`, `PreResetSync` και `ResetSync` με τον τρόπο που αναφέρεται στο Κεφάλαιο 5. Θα πρέπει να τονιστεί ότι οι τιμές για τις τέσσερις φάσεις της λειτουργίας της υπομονάδας δίδονται μέσα από καταχωρητές των 16-bits και εφόσον απαιτούνται τιμές των 22-bits χρησιμοποιούνται για κάθε φάση δύο 16-bits καταχωρητές. Έπειτα από τον ορισμό των τιμών των καταχωρητών των φάσεων θα πρέπει να εκκινήσει η λειτουργία με την εγγραφή του αριθμού 3 (αρχική φόρτωση) και του αριθμού 1 στη συνέχεια στην διεύθυνση `x0020`. Για τη διακοπή της λειτουργίας της





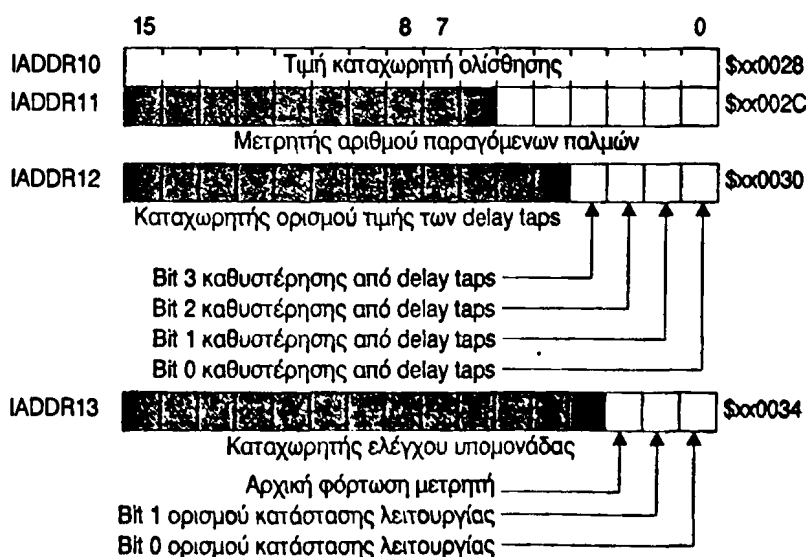
υπομονάδας απαιτείται η εγγραφή του αριθμού 0 στην παραπάνω διεύθυνση. Στο σχ. 46 φαίνεται ο χάρτης μνήμης των διευθύνσεων της υπομονάδας επαναφοράς.



σχ. 46. Χάρτης μνήμης διευθύνσεων της υπομονάδας επαναφοράς

### Υπομονάδα προγραμματιζόμενης καθυστέρησης παλμού

Η υπομονάδα δημιουργίας προγραμματιζόμενης καθυστέρησης χρησιμοποιεί 4 διευθύνσεις. Για την υπομονάδα αυτή θα πρέπει να φορτωθεί στην πρώτη διεύθυνση η προγραμματιζόμενη καθυστέρηση που απαιτείται (με βήματα των 25ns) ενώ στην τρίτη διεύθυνση μια πρόσθετη καθυστέρηση (με βήματα των 5ns). Στην δεύτερη διεύθυνση ορίζεται ο αριθμός των παλμών που θα παράγει η υπομονάδα. Η τέταρτη διεύθυνση χρησιμοποιείται για τον ορισμό του τρόπου λειτουργίας της υπομονάδας καθώς επίσης και για την έναρξη λειτουργίας της. Ο χάρτης μνήμης των διευθύνσεων της υπομονάδας φαίνεται στο σχ. 47.

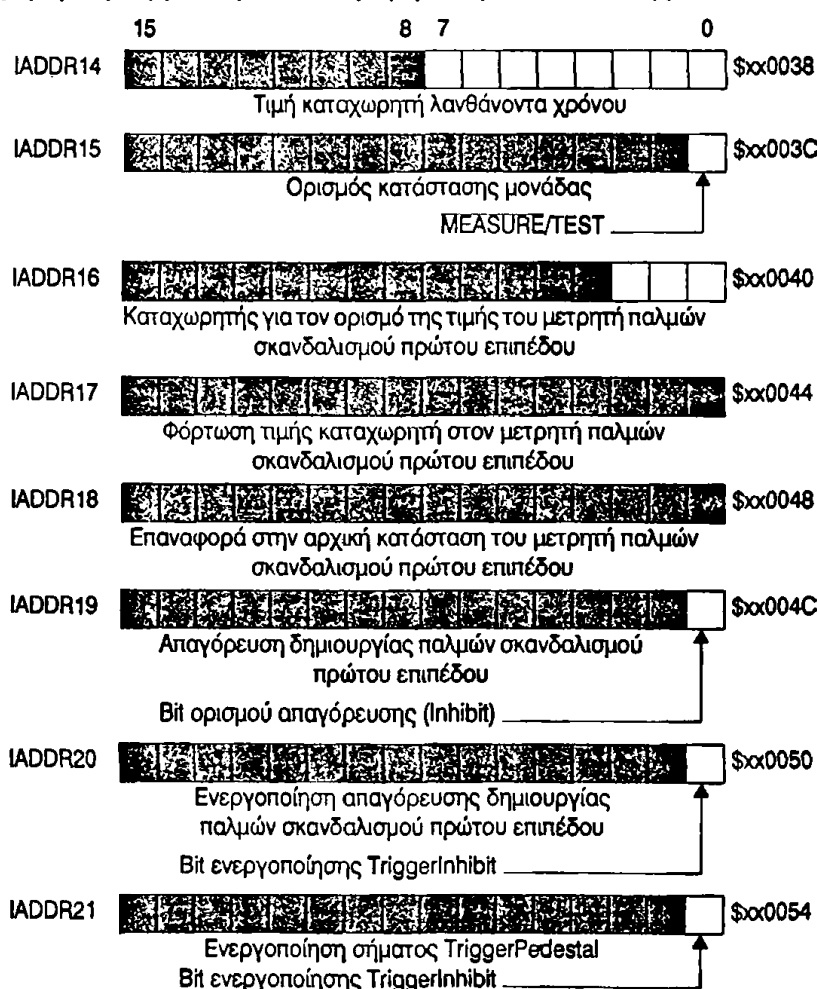


σχ. 47. Χάρτης μνήμης διευθύνσεων της υπομονάδας καθυστέρησης παλμού



## Υπομονάδα παραγωγής σημάτων χρονισμού

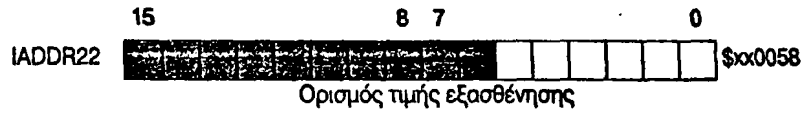
Από τη διεύθυνση IADDR15 ορίζεται ο τρόπος λειτουργίας της μονάδας (δειγματοληψίας ή κατάσταση βαθμονόμησης). Από τη διεύθυνση IADDR14 φορτώνεται η τιμή για τον λανθάνοντα χρόνο. Από τη διεύθυνση IADDR16 φορτώνεται η τιμή στον καταχωρητή που οδηγεί τον μετρητή παλμών σκανδαλισμού πρώτου επιπέδου. Η φόρτωση της τιμής αυτής στον μετρητή παλμών σκανδαλισμού επιπέδου γίνεται είτε μέσω της διεύθυνσης IADDR17 είτε μέσω του σήματος DisableTrigger. Για την ασύγχρονη μεταφορά του μετρητή στην αρχική κατάσταση χρησιμοποιείται η διεύθυνση IADDR18. Από τη διεύθυνση IADDR19 ορίζεται η απαγόρευση της πρόκλησης παλμών σκανδαλισμού πρώτου επιπέδου ενώ από τη διεύθυνση IADDR20 μπορεί να μεταφερθεί το σήμα TriggerInhibit σε κατάσταση low. Τέλος από τη διεύθυνση IADDR21 μπορεί να μεταφερθεί το σήμα TriggerPedestal σε κατάσταση low. Οι καταχωρητές της υπομονάδας εμφανίζονται στο σχ. 48.



σχ. 48. Καταχωρητές υπομονάδας παραγωγής σημάτων χρονισμού

## Υπομονάδα προγραμματιζόμενης καθυστέρησης

Η υπομονάδα αυτή χρησιμοποιεί έναν καταχωρητή για τη συγκράτηση της τιμής του προγραμματιζόμενου εξασθνήτη. Η διεύθυνση του καταχωρητή είναι η IADDR22 όπως φαίνεται στο σχ. 49.



σχ. 49. Καταχωρητές υπομονάδας προγραμματιζόμενης εξασθνήσης



## Κεφάλαιο 11

### Αποτίμηση μονάδας

Στο κεφάλαιο αυτό δίδεται η αποτίμηση της μονάδας.

#### Γενικά

Η πολυπλοκότητα των μοντέρνων ψηφιακών κυκλωμάτων έχει επιβάλει ότι τα προβλήματα ελέγχου της συσκευής πρέπει να θεωρούνται μέρος της διαδικασίας σχεδίασης και όχι ως μεταγενέστερη διαδικασία. Ο σχεδιαστής θα πρέπει να είναι γνώστης όχι μόνο των τεχνικών αύξησης των μεθόδων ελέγχου των κυκλωμάτων που αφορούν τον έλεγχο αμέσως μετά την παραγωγή, αλλά και στα στάδια της συναρμολόγησης του συστήματος.

Όλα τα νέα συστήματα περιέχουν συνδυασμό υλικού και λογισμικό με αποτέλεσμα να παρουσιάζουν προβλήματα στη δυνατότητα ελέγχου στο επίπεδο του συστήματος.

Ο έλεγχος σε επίπεδο συστήματος καταδεικνύει την συνολική συμπεριφορά του συστήματος. Η συμπεριφορά αυτή απαρτίζεται από τις συμπεριφορές των επιμέρους τμημάτων του υλικού και του λογισμικού. Λόγω του μεγάλου αριθμού των αλληλεπιδράσεων μεταξύ των τμημάτων υλικού και λογισμικού η χρήση μόνο ενός εξονυχιστικού ελέγχου είναι ανέφικτη. Ο έλεγχος σε ενσωματωμένο υλικό και λογισμικό (μέσα σε μικροελεγκτές, FPGA κλπ) καθίσταται δύσκολος και η παρατήρηση πολλές φορές αδύνατη. Ο έλεγχος συστημάτων πραγματικού χρόνου (όπως η συγκεκριμένη μονάδα) απαιτεί τον έλεγχο της λειτουργικής και χρονικής συμπεριφοράς.

Η εμπειρία έχει δείξει ότι τα σχεδιαστικά λάθη στο υλικό και εν μέρει στο λογισμικό είναι σημαντικοί λόγοι βλαβών κατά τη διάρκεια της πραγματικής λειτουργίας. Όλα αυτά τα λάθη ενδέχεται να μην εμφανιστούν κατά τη διαδικασία ελέγχου.

Η σχεδίαση που θα επιτρέψει τον έλεγχο θα πρέπει να υπόκειται σε ορισμένους κανόνες:

- Μια γραμμή επαναφοράς είναι σημαντική την επαναφορά όλων των βαθμίδων σε μια γνωστή κατάσταση
- Μεταφορά σημείων ελέγχου που βρίσκονται εντός ενός ολοκληρωμένου (π.χ. FPGA) σε ακροδέκτη εξόδου για περαιτέρω έλεγχο
- Χρήση του βασικού ρολογιού για τη δημιουργία όλων των επιπρόσθετων ρολογιών που χρειάζεται το σύστημα



- Το ρολόι του συστήματος θα πρέπει να είναι σε θέση να αντικαθίσταται με εξωτερικό ελεγχόμενο ρολόι που θα επιτρέψει τον έλεγχο
- Χρήση τεχνικών σύγχρονης σχεδίασης

Η μονάδα παραγωγής σημάτων ρύθμισης είναι μια πλακέτα για το VMEbus. Συνήθως το VMEbus επιτρέπει την πρόσβαση στις πλακέτες μέσω του ελεγκτή VME που τοποθετείται στην αριστερότερη πλευρά του υποπλαισίου. Ο ελεγκτής περιλαμβάνει τον επεξεργαστή που διευθυνοδοτεί όλες τις υπόλοιπες πλακέτες ως επεκτάσεις τις μνήμης του. Ο ελεγκτής έχει ένα βασικό λειτουργικό σύστημα, και συνήθως προγραμματίζεται σε κάποια υψηλότερη γλώσσα. Στην τρέχουσα περίπτωση χρησιμοποιείται το περιβάλλον του Labview. Το Labview είναι ένα γραφικό περιβάλλον ανάπτυξης εφαρμογών. Ο κώδικας του χρησιμοποιεί διαγράμματα βαθμίδων που λειτουργούν όπως τα σχηματικά διαγράμματα και τα διαγράμματα ροής στην επίλυση προβλημάτων. Επιπρόσθετα το LabView είναι ανεξάρτητο από πλατφόρμες με συνέπεια η ενδο-πλατφορμική μεταφορά να είναι εύκολη. Το LabView είναι εγκατεστημένο σε έναν προσωπικό υπολογιστή και η γέφυρα μεταξύ του PCI και του VME με το πρότυπο interface VISA επιτρέπουν τον έλεγχο του VMEbus μέσα από το PC.

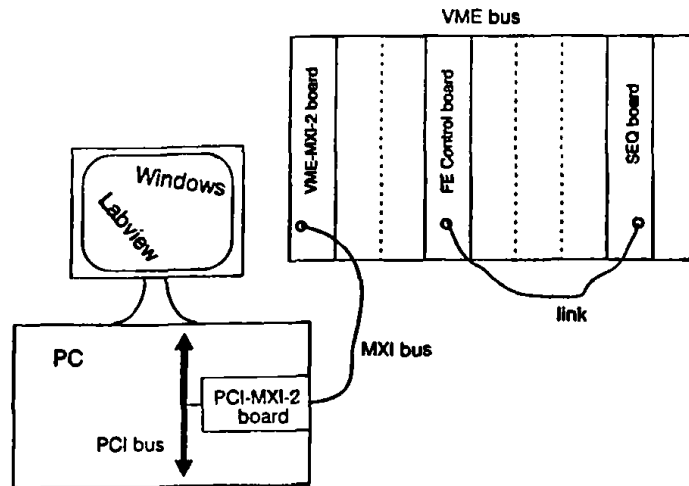
## Γέφυρα PCI-MXI2-VME

Η πλακέτα διασύνδεσης VME-MIX-2 είναι πλακέτα επέκτασης 6U απλής υποδοχής βασισμένη στην MXI-2 τεχνολογία (δηλαδή το MXIbus). Είναι δυνατή η εγκατάσταση της πλακέτας αυτής σε οποιοδήποτε υποδοχή του VMEbus για να λειτουργήσει ως ελεγκτής του συστήματος. Η πλακέτα αυτή επεκτείνει την αρχιτεκτονική του VMEbus και προς τα έξω από το υποπλαίσιο του VME μέσω ενός καλωδίου υψηλής απόδοσης τύπου MXI-2. Το MXIbus προέρχεται από το VMEbus και στην πραγματικότητα είναι η περίπτωση ενός VMEbus επάνω σε ένα καλώδιο.

Η πλακέτα VME-MXI-2 αποτελεί τη λύση για τα VME συστήματα που απαιτούν έλεγχο υψηλής απόδοσης του VME με τη χρήση εξωτερικού υπολογιστή. Με την πλακέτα VME-MXI-2 εξωτερικοί υπολογιστές μπορούν να ελέγχουν απευθείας το VME. Η προσέγγιση αυτή παρέχει τις δυνατότητες ενός υπολογιστή όπως υψηλής απόδοσης μεταφορές δεδομένων, επικοινωνία κοινής μνήμης, απευθείας έλεγχο του VMEbus διατηρώντας τα πλεονεκτήματα του εξωτερικού υπολογιστή όπως η προσαρμοστικότητα, το εύρος της απόδοσης και της αποτελεσματικότητας με τη χρήση μόνο μιας υποδοχής του VMEbus. Στο



σύστημά το MXIbus συνδέεται με το PCIbus ενός PC μέσω της πλακέτας PCI-MXI-2 που τοποθετείται σε μια υποδοχή επέκτασης ενός υπολογιστή βασισμένου στο PCI.



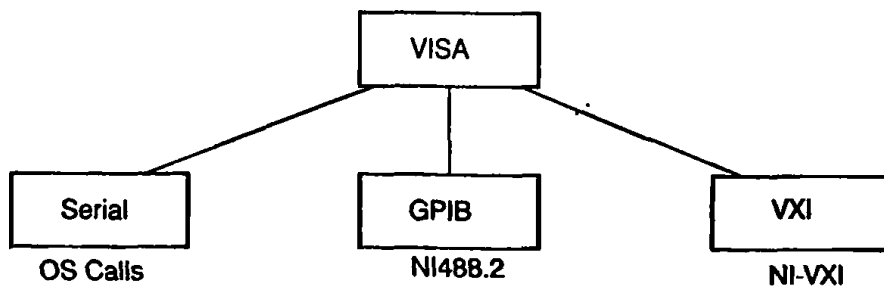
σχ. 50. Σύνδεση PC με το VME μέσω της γέφυρας PCI-MXI-VME

## Η γλώσσα VISA

Η γλώσσα VISA (Virtual Instrument Software Architecture) είναι μια γλώσσα εισόδου-εξόδου για προγραμματισμό σε συστήματα μετρήσεων. Αποτελεί βιομηχανικό πρότυπο στην αναπτυξή οδηγών για συστήματα μετρήσεων. Είναι ένα πλήρες πακέτο για τη διαμόρφωση, προγραμματισμό, εντοπισμό και διόρθωση λαθών για συστήματα μετρήσεων που περιλαμβάνει τις διασυνδέσεις VXI, VME, PXI, GPIB και τις σειριακές. Η γλώσσα VISA παρέχει τη διεπαφή μεταξύ ενός προγραμματιστικού περιβάλλοντος όπως το LabWindows/CVI και των γλωσσών προγραμματισμού όπως το Labview, η γλώσσα C, η γλώσσα C++, και η Visual Basic. Η NI-VISA είναι η υλοποίηση του προτύπου της γλώσσας VISA από την National Instruments που χρησιμοποιήθηκε στα πειράματα της μονάδας.

11

Η VISA από μόνη της δεν προσφέρει δυνατότητες προγραμματισμού για όργανα αλλά παρέχει ένα υψηλού επιπέδου API (Application Programming Interface) που καλείται από τους οδηγούς χαμηλότερων επιπέδων. Η ιεραρχία της NI-VISA εμφανίζεται στο σχ. 51.



σχ. 51. Ιεραρχία της NI-VISA

Ένα από τα πλεονεκτήματα της γλώσσας VISA είναι ότι χρησιμοποιεί πολλές όμοιες λειτουργίες για την επικοινωνία μεταξύ των οργάνων άσχετα από τον τύπο της διασύνδεσης. Για παράδειγμα, η εντολή της



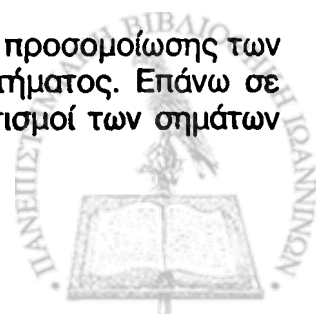
VISA για την εγγραφή ενός αλφαριθμητικού ASCII σε ένα όργανο που βασίζεται σε μηνύματα είναι ίδια άσχετα με το αν το όργανο συνδέεται σειριακά, μέσω GPIB ή VXI. Έτσι η VISA προσφέρει την ανεξαρτησία από τον τρόπο διασύνδεσης. Αυτό κάνει εύκολη την αλλαγή της διασύνδεσης αλλά και δίδει τη δυνατότητα της εκμάθησης στους χρήστες που προγραμματίζουν συστήματα οργάνων με διαφορετικούς τρόπους διασύνδεσης μιας απλής γλώσσας. Η σχεδίαση της VISA επιτρέπει την μεταφορά προγραμμάτων μεταξύ των πλατφόρμων με την ύπαρξη ίδιων συναρτήσεων. Για την εξασφάλιση αυτού ορίζονται επακριβώς οι τύποι δεδομένων όπως π.χ. η διαφορετική αντιμετώπιση των ακεραίων από πλατφόρμα σε πλατφόρμα δεν επηρεάζει ένα πρόγραμμα σε VISA. Οι κλήσεις των συναρτήσεων της VISA και οι σχετιζόμενες με αυτές παράμετροι είναι ίδιες σε όλες τις πλατφόρμες κι έτσι η μεταφορά προγράμματος δεν απαιτεί εκ νέου μεταγλώττιση. Με άλλα λόγια ένα πρόγραμμα σε C που χρησιμοποιεί VISA μπορεί να μεταφερθεί σε άλλη πλατφόρμα που υποστηρίζει C. Ένα πρόγραμμα Labview μπορεί να μεταφερθεί σε άλλες πλατφόρμες που υποστηρίζουν Labview. Ένα άλλο πλεονέκτημα της VISA είναι ότι είναι αντικειμενοστραφής γλώσσα που μπορεί εύκολα να προσαρμόζεται στα νέο πρότυπα διασύνδεσης οργάνων που αναπτύσσονται.

## Επαλήθευση λειτουργίας

Η επαλήθευση λειτουργίας της σχεδίασης απαντάται σε διάφορα επίπεδα και βήματα κατά τη σχεδίαση ενός συστήματος. Υπάρχουν ορισμένοι τύποι επαλήθευσης λειτουργίας που εφαρμόζονται στα ολοκληρωμένα προγραμματιζόμενης λογικής. Η λειτουργική προσομοίωση επιτελείται σε συνδυασμό με τη σχεδίαση αλλά πριν από την τοποθέτηση και τη διασύνδεση της λογικής εντός του ολοκληρωμένου προγραμματιζόμενης λογικής με σκοπό την επαλήθευση της σωστής λειτουργίας της λογικής. Η πλήρης χρονική προσομοίωση γίνεται μετά το βήμα της τοποθέτησης και διασύνδεσης της λογικής. Μετά από τα βήματα αυτά το λογισμικό σχεδίασης επιστρέφει τις καθυστερήσεις της λογικής και των διασυνδέσεων στη λίστα διασύνδεσης για προσομοίωση. Μια επιτυχώς ακολοθούμενη τεχνική για τη σχεδίαση με ολοκληρωμένα προγραμματιζόμενης λογικής είναι η λειτουργική προσομοίωση για την εξασφάλιση της σωστής λειτουργίας, η επαλήθευση της χρονικής προσομοίωσης και τέλος η επαλήθευση της λειτουργίας με τον έλεγχο της λειτουργίας του συστήματος. Μερικοί από τους κατασκευαστές ολοκληρωμένων προγραμματιζόμενης λογικής δίδουν δυνατότητες επιπρόσθετης εκοφαλμάτωσης των συστημάτων. Με απλές προσθήκες στην σχεδίαση και στην πλακέτα είναι δυνατή η διακοπή λειτουργίας ή η εκτέλεση ενός απλού βήματος του ρολογιού και στη συνέχεια η δυνατότητα της ανάγνωσης της κατάστασης των εσωτερικών κυκλωμάτων του ολοκληρωμένου προγραμματιζόμενης λογικής.

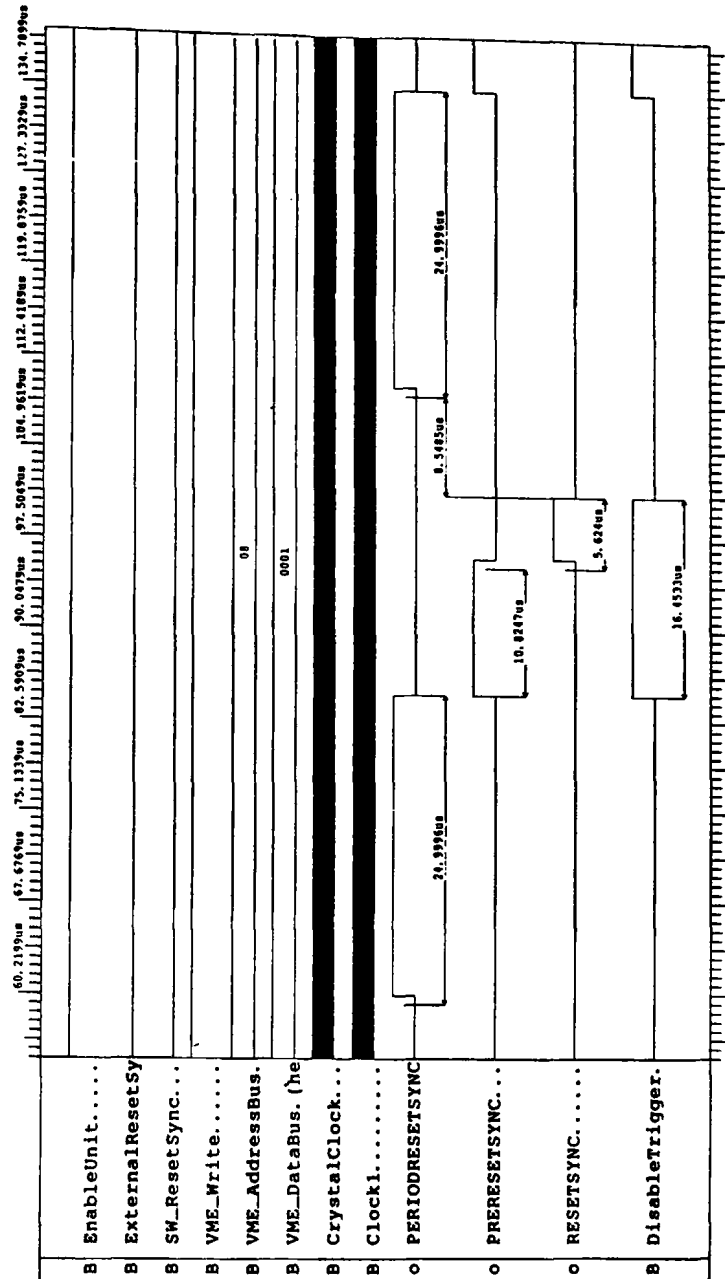
## Χρονική προσομοίωση

Παρακάτω δίδονται οι κυματομορφές της χρονικής προσομοίωσης των κυκλωμάτων των διαφόρων υπομονάδων του συστήματος. Επάνω σε αυτές καταγράφονται οι διάφοροι χρονικοί συσχετισμοί των σημάτων όπου κρίθηκε απαραίτητο.









σχ. 53. Λειτουργία της υπομονάδας επαναφοράς με τις παραμέτρους που ορίσθηκαν παραπάνω

## Μετρήσεις - Κυματομορφές μονάδων

Στις επόμενες παραγράφους παρατίθενται οι κυματομορφές που ελήφθησαν κατά τη διαδικασία των μετρήσεων της μονάδας.

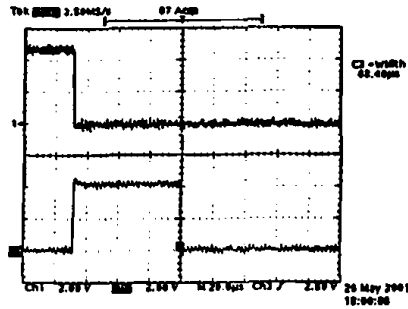
### Υπομονάδα επαναφοράς

Για την μέτρηση της υπομονάδας επαναφοράς δόθηκαν στην αρχή οι παρακάτω παράμετροι μέσω εντολής από το VME:

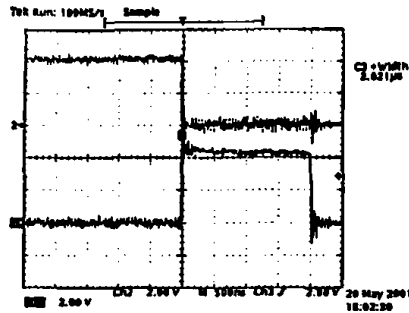
- PeriodResetSync=25ms
- PreResetSync=68µs και
- ResetSync=2µs



Στη συνέχεια μετρήθηκαν σε εξόδους της μονάδας οι παραπάνω παλμοί σε χρονικό συσχετισμό μεταξύ τους.

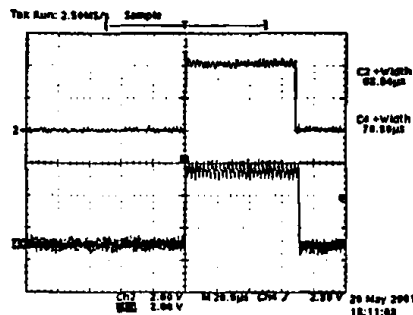


σχ. 54. Συσχετισμός PeriodResetSync (Ch1) και PreResetSync (Ch2)

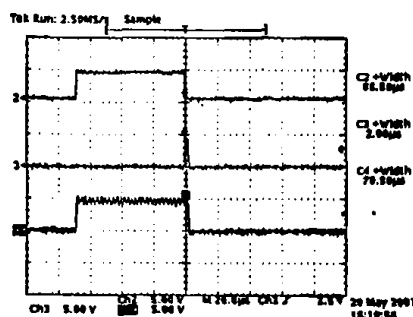


σχ. 55. Συσχετισμός PreResetSync (Ch2) και ResetSync (Ch3)

11



σχ. 56. Συσχετισμός PreReset (Ch2) και DisableTrigger (Ch4)



σχ. 57. Συσχετισμός των PreResetSync (Ch2), ResetSync (Ch3) και DisableTrigger (Ch4)

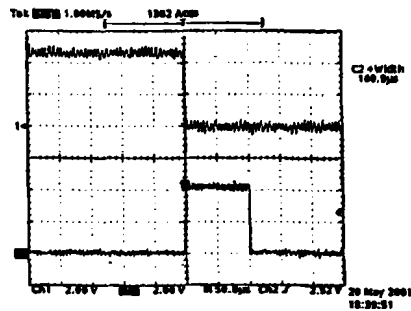
Για την μέτρηση της υπομονάδας επαναφοράς δόθηκαν στην συνέχεια οι παρακάτω παράμετροι μέσω εντολής από το VME:

- PeriodResetSync=1ms

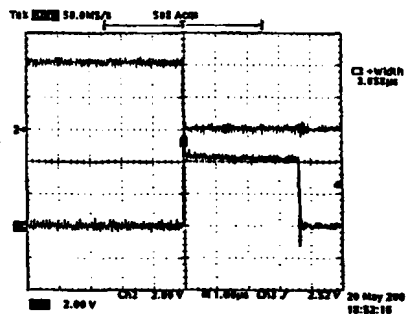


- PreResetSync=100μs και
- ResetSync=3,625μs

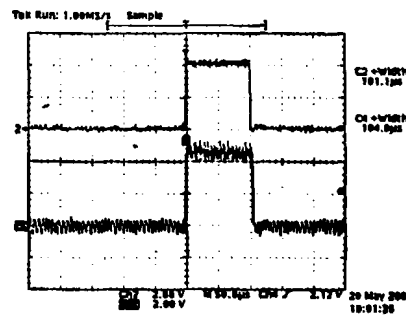
Στη συνέχεια μετρήθηκαν σε εξόδους της μονάδας οι παραπάνω παλμοί σε χρονικό συσχετισμό μεταξύ τους.



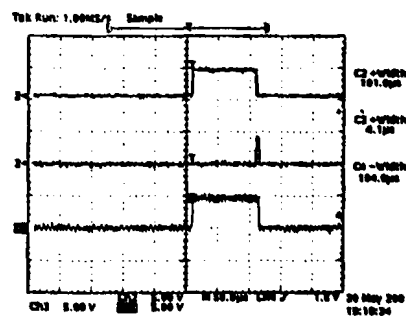
σχ. 58. Συσχετισμός PeriodResetSync (Ch1), PreResetSync (Ch3)



σχ. 59. Συσχετισμός PreResetSync (Ch2) και ResetSync (Ch3)



σχ. 60. Συσχετισμός PreReset (Ch2) και DisableTrigger (Ch4)

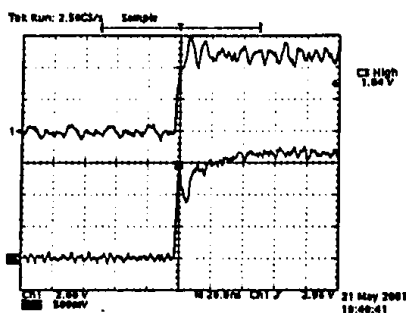


σχ. 61. Συσχετισμός των PreResetSync (Ch2), ResetSync (Ch3) και DisableTrigger (Ch4)

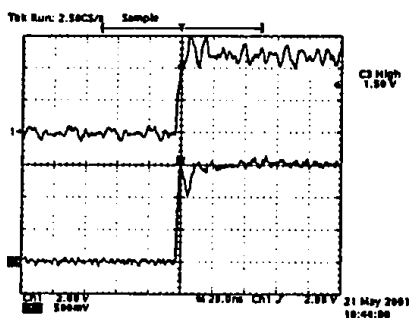


## Υπομονάδα εξασθένησης παλμού

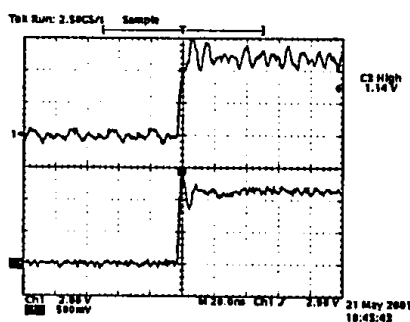
Στη συνέχεια μετρήθηκε η υπομονάδα εξασθένησης παλμού για διαφορετικές τιμές εξασθένησης.



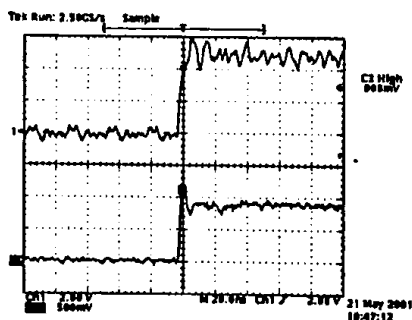
σχ. 62. Εξασθένηση 0dB



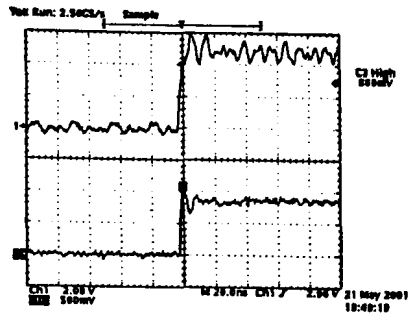
σχ. 63. Εξασθένηση 2dB



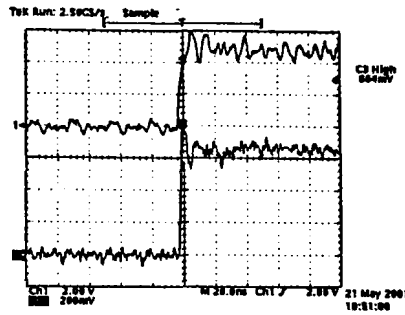
σχ. 64. Εξασθένηση 4dB



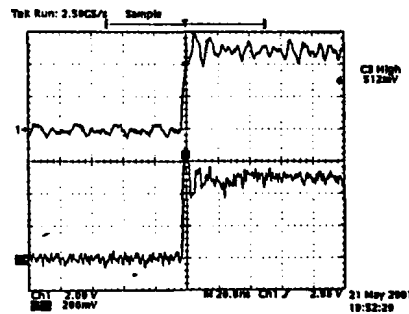
σχ. 65. Εξασθένηση 6dB



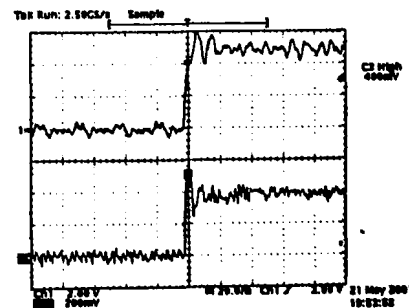
σχ. 66. Εξασθένηση 8dB



σχ. 67. Εξασθένηση 10dB

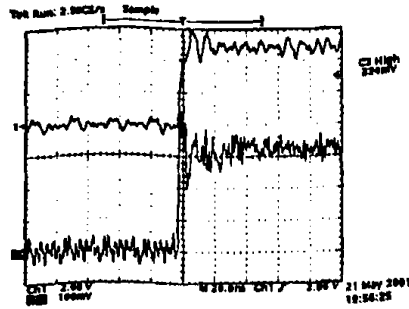


σχ. 68. Εξασθένηση 12dB

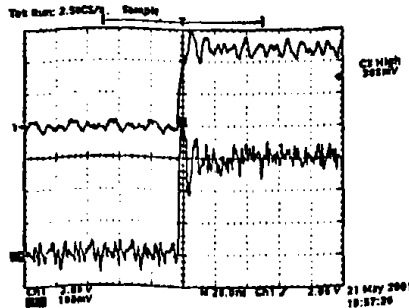


σχ. 69. Εξασθένηση 14dB



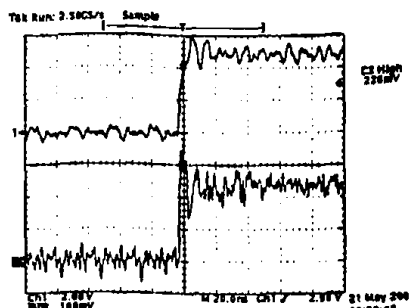


σχ. 70. Εξασθένηση 16dB

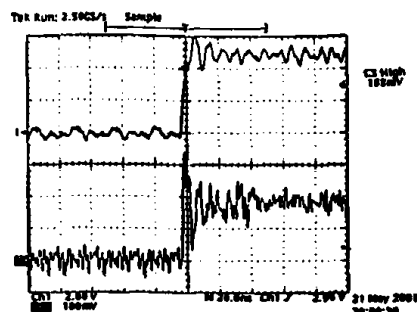


σχ. 71. Εξασθένηση 18dB

11



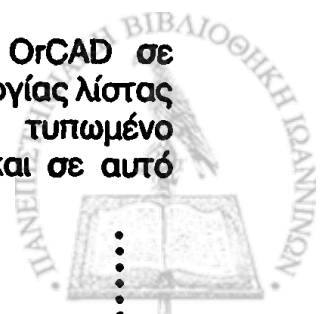
σχ. 72. Εξασθένηση 20dB



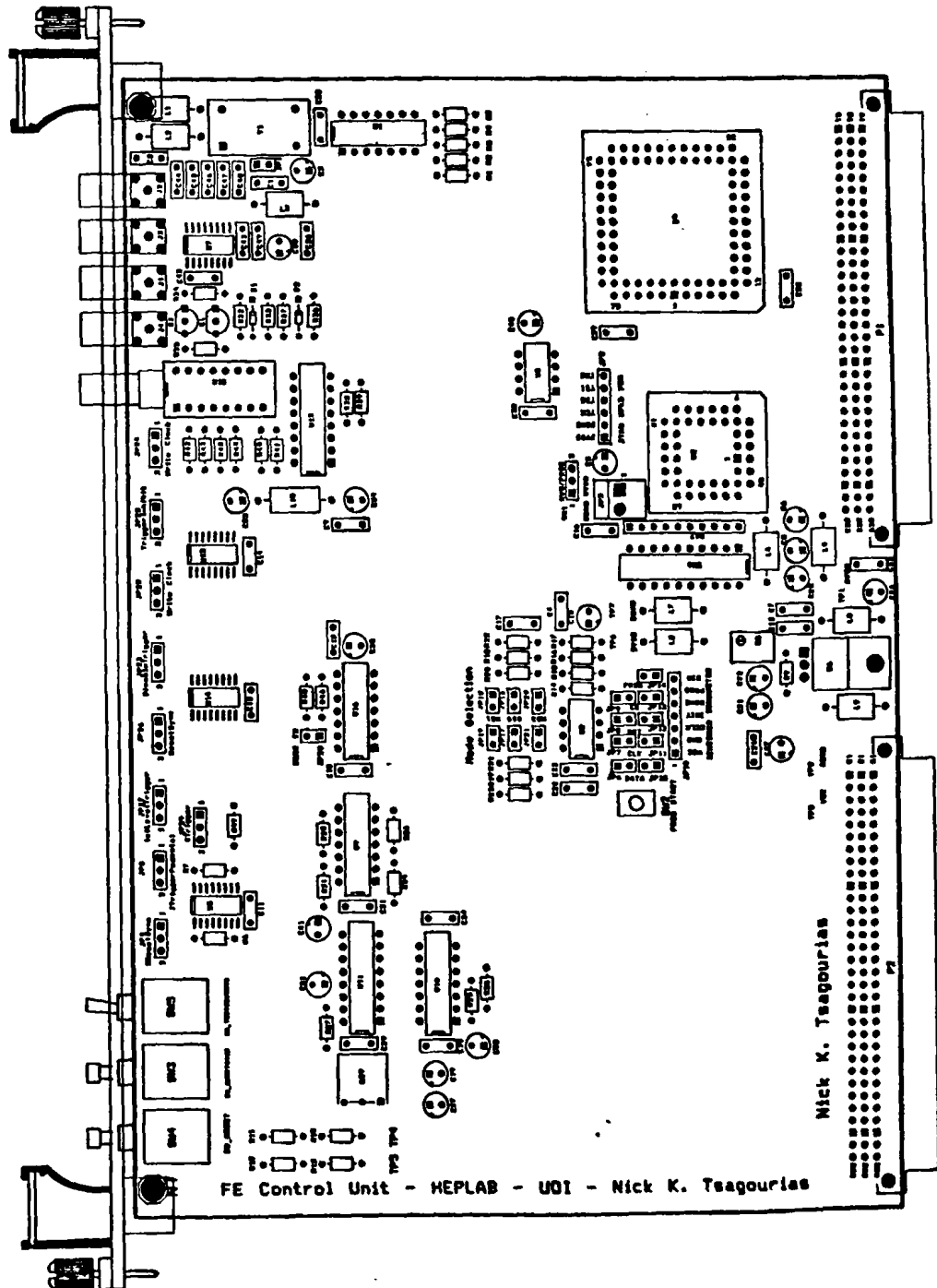
σχ. 73. Εξασθένηση 22dB

## Τυπωμένα κυκλώματα

Η μονάδα σχεδιάστηκε με το λογισμικό της εταιρίας OrCAD σε σχηματικό διάγραμμα το οποίο μέσω της διεργασίας δημιουργίας λίστας διασύνδεσης μεταφέρθηκε σε τυπωμένο κύκλωμα. Το τυπωμένο κύκλωμα έχει διαστάσεις σύμφωνες με το 6U πρότυπο και σε αυτό

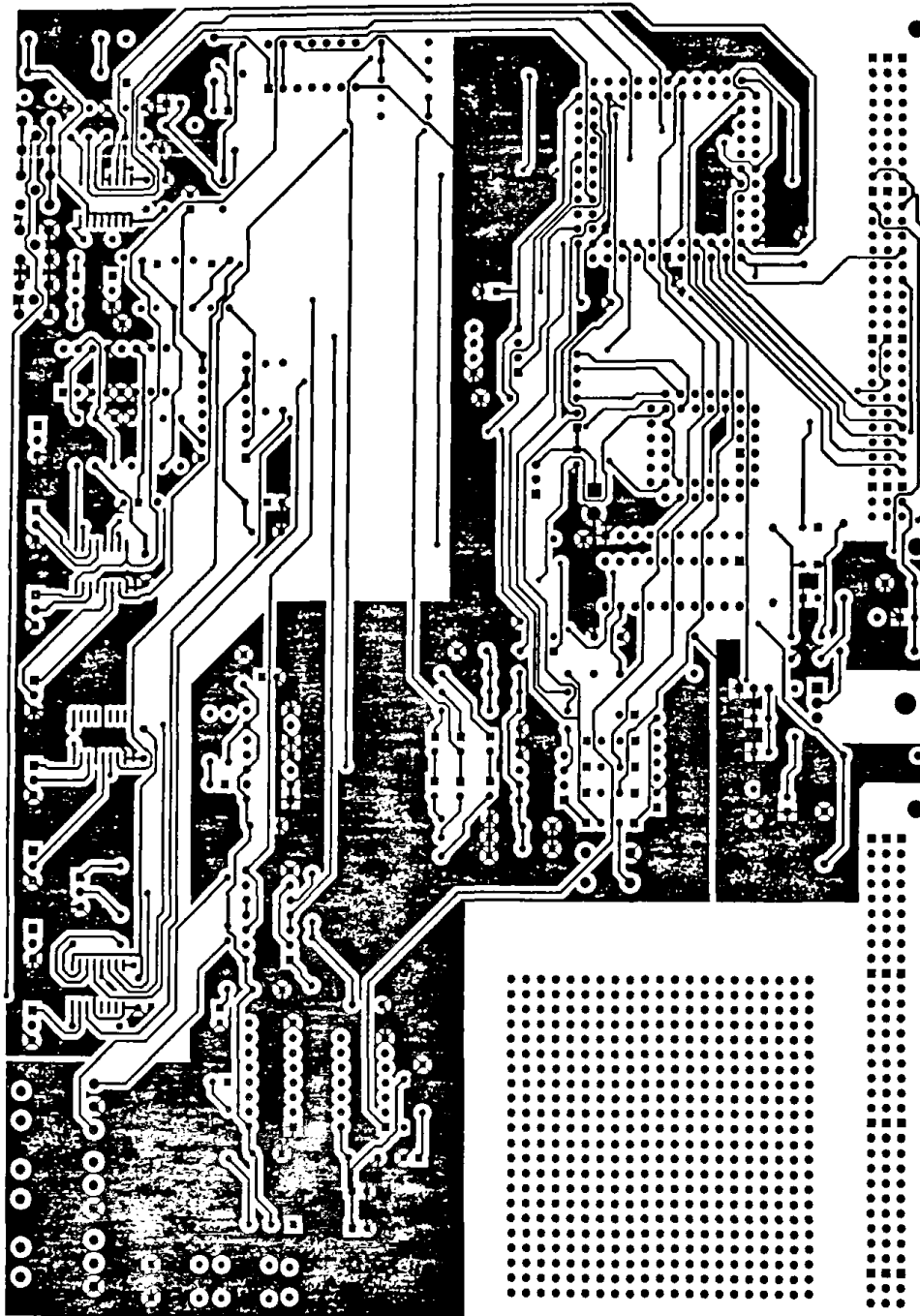


τοποθετήθηκαν και διασυνδέθηκαν τα εξαρτήματά του. Το τυπωμένο κύκλωμα αποτελείται από δύο επιφάνειες επάνω και κάτω οι οποίες επικοινωνούν μεταξύ τους μέσω των επιμεταλλωμένων οπών των νησίδων και των νίας. Στο σχ. 74 εμφανίζεται το τοπογραφικό της πλακέτας ενώ στο σχ. 75 φαίνεται η άνω όψη της πλακέτας και στο σχ. 76 η κάτω όψη της πλακέτας.



σχ. 74. Τοπογραφικό της πλακέτας της μονάδας

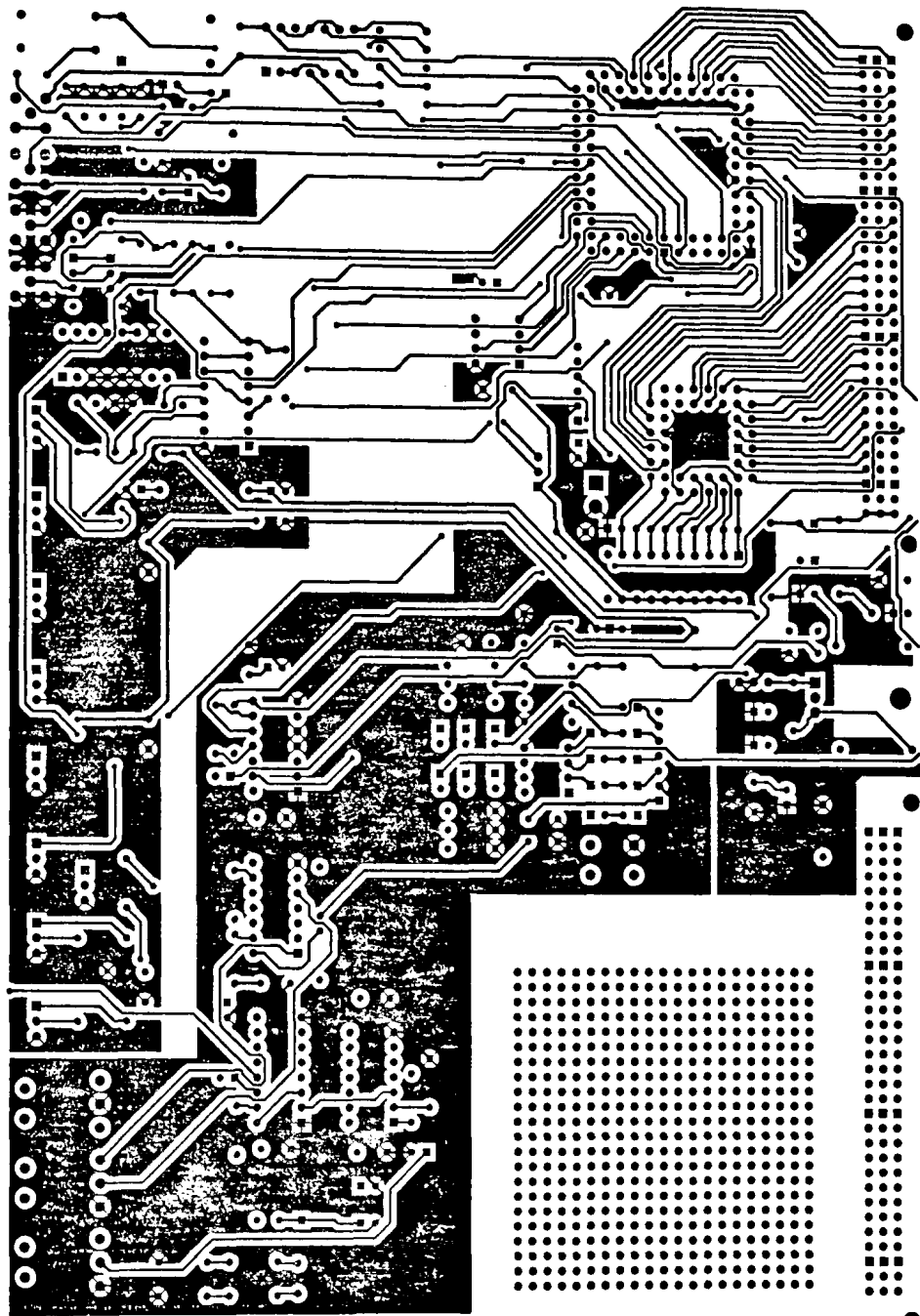




11

σχ. 75. Άνω όψη πλακέτας μονάδας





σχ. 76. Κάτω όψη πλακέτας μονάδας



## Βιβλιογραφία

1. "Applications of Silicon Detectors", Hartmut F., W. Sadrozinski, Santa Cruz Institute for Particle Physics (SCIPP), Univ. of California Santa Cruz, SCIPP 00/45, 2000.
2. J. Kemmer, "Fabrication of a low-noise silicon radiation detector by the planar process", Nucl. Instrum. Meth. A169, pp. 499, 1980.
3. J. Kemmer, E. Belau, R. Klanner, G. Lutz, B. Hyams, "Development of 10um resolution silicon counters for charm signature observation with the ACCMOR spectrometer", in Batavia 1981, Proceedings Silicon Detectors For High Energy Physics\*, pp. 195-217, 1981.
4. "Instrumentation in High Energy Physics - Silicon microstrip detectors", Anna Peisert, Istituto Nazionale di Fisica Nucleare, Sezione di Padova, 1992.
5. Σημειώσεις του μαθήματος "Πειραματικές Μέθοδοι Φυσικής", Ιωάννης Ευαγγέλου, Ιωάννινα 1997.
6. "CMS Preshower Front-End Readout and Control System", v.0.1 draft, K. Kloukinas, private communication.
7. "Data Busses (Field Bus, VMEbus, MULTIBUS II, IEC 625 bus)", K. Dangakis, N. Gaitanis, P. Kostarakis, D. Nikolos and A. Paschalis. N.C.S.R. 'Democritos', Athens, Conformance Testing and Certification in Information Technology and Telecommunications 1990, IOS Press
8. "The VMEbus Handbook", Wade D. Peterson, Second Edition 1991.
9. "The VMEbus Specification", Revision C.1, Motorola Inc, 1985.
10. "The Art of Electronics" 2nd Edition, Paul Horowitz, WindField Hill. Cambridge University Press, 1989.
11. "MECL System Design Handbook", William R. Blood Jr., Computer Applications Engineer Department, Motorola Semiconductor Products Inc, Motorola 1988.
12. "Fast and LS Data", Motorola Semiconductors, Motorola 1989.
13. "High-speed CMOS logic Data", Motorola Semiconductors, Motorola 1989.
14. "RF Application Reports", Motorola Semiconductors, Motorola 1995.
15. "The VMEbus Specification rev. C1", HB212, Motorola Semiconductors, Motorola 1985.
16. "The VMEbus Handbook", Wade D. Peterson, 1991.
17. "Microprocessor interfacing and the 68000: Peripherals and systems", Alan Clements, 1989.



# Παράρτημα 1

## Ο δίαυλος VMEbus

.....

Στο παράρτημα αυτό δίδεται μια αναλυτική περιγραφή του διαύλου VMEbus.

### Γενικά

Το VMEbus αρχικά σχεδιάστηκε και υποστηρίχθηκε από τρεις βασικούς κατασκευαστές: την Motorola, την Mostek και την Signetics. Στις ημέρες μας υποστηρίζεται από ένα μεγάλο αριθμό κατασκευαστών και έχει τυποποιηθεί από τον IEEE P1014. Αν και αρχικά προοριζόταν για μικροϋπολογιστές βασισμένους στον 68000 μικροεπεξεργαστή στη συνέχεια χρησιμοποιήθηκαν και άλλοι 16 ή 32-bit μικροεπεξεργαστές.

Από την φυσική του υπόσταση, το VMEbus είναι ένας τυπικός δίαυλος "οπίσθιας μητρικής πλακέτας" (backplane) με τη δυνατότητα τοποθέτησης μονάδων είτε των 233.35 x 160mm (9.2"x6.3") είτε των 100mmx160mm (3.9"x6.3") που ονομάζονται αλλιώς και απλού ύψους 3U Euro cards και διπλού ύψους 6U Euro cards. Οι μονάδες (κάρτες ή πλακέτες) συνδέονται στο VMEbus μέσω δύο 96-ακροδεκτών συνδετήρων τύπου DIN 41612. Οι συνδετήρες αυτοί παρέχουν μεγάλη αξιοπιστία συνδέσεων.

Στην πραγματικότητα υπάρχουν δύο VME-buses. Στα μικρά συστήματα χρησιμοποιείται το bus μόνο με το συνδετήρα J1 ο οποίος διαθέτει 96 σήματα και παρέχει όλες τις ευκολίες που απαιτούνται για την υποστήριξη ενός διαύλου δεδομένων 16-bit και ενός 23-bit διαύλου διευθύνσεων. Σε μεγαλύτερα συστήματα χρησιμοποιείται και ο συνδετήρας J2 ο οποίος επεκτείνει τις λειτουργίες του συνδετήρα J1 για 32-bit δίαυλο δεδομένων και 32-bit δίαυλο διευθύνσεων. Η πλειοψηφία των σημάτων του συνδετήρα J2 μπορούν αν οριστούν από το χρήστη.

### Εισαγωγή στην προδιαγραφή του VMEbus

Το VMEbus είναι ένας από τους πιο διαδεδομένους διαύλους "οπίσθιας πλακέτας" των 16/32-bit. Η χρήση της τυποποίησης Euro card, η υψηλή απόδοση, και η πολυμορφία του είναι μερικοί από τους λόγους που είναι τον καθιστούν ιδανικό για μια μεγάλη ομάδα χρηστών. Η φιλικότητα προς το σχεδιαστή και ο φιλικός τρόπος της προδιαγραφής του για τους χρήστες προσφέρει χρήσιμες συμβουλές και βοηθά στην εξασφάλιση της συμβατότητας μεταξύ των προϊόντων που σχεδιάζονται για τον δίαυλο VMEbus.



## Σκοπός της προδιαγραφής του VMEbus

Η προδιαγραφή του VMEbus ορίζει ένα προσαρμοζόμενο σύστημα που χρησιμοποιείται για την διασύνδεση συσκευών για επεξεργασία και αποθήκευση δεδομένων και ελέγχου περιφερειακών συσκευών σε μια στενά συνδεδεμένη σύνθεση υλικού. Το σύστημα επινοήθηκε με τους παρακάτω σκοπούς:

- Να επιτρέπει την επικοινωνία μεταξύ συσκευών του VMEbus χωρίς διαταραχή των εσωτερικών διεργασιών των άλλων συσκευών που είναι διασυνδεδεμένες στο VMEbus.
- Να ορίσει τα ηλεκτρικά και μηχανικά χαρακτηριστικά του συστήματος που απαιτούνται για τη σχεδίαση συσκευών οι οποίες αξιόπιστα και χωρίς προβλήματα θα επικοινωνούν με άλλες συσκευές που είναι συνδεδεμένες στο VMEbus.
- Να ορίσει τα πρωτόκολλα που ορίζουν επακριβώς την αλληλεπίδραση μεταξύ του VMEbus και των διασυνδεδεμένων σε αυτό συσκευές.
- Να παρέχει την ορολογία και τους ορισμούς που καθορίζουν τα πρωτόκολλα του συστήματος
- Να επιτρέψει ένα ευρύ φάσμα τρόπων σχεδίασης, έτσι ώστε ο σχεδιαστής να μπορέσει να βελτιστοποιήσει το κόστος και-η την απόδοση χωρίς να επηρεάσει την συμβατότητα του συστήματος.
- Να παρέχει ένα σύστημα όπου η απόδοση περιορίζεται πρωτίστως από τις συσκευές αντί του περιορισμού από τη διασύνδεση του συστήματος.

## Στοιχεία για τη διασύνδεση στο σύστημα VMEbus

### Βασικοί ορισμοί

Η δομή του VME μπορεί να περιγραφεί από δύο πλευρές: από τη μηχανική και την λειτουργική δομή. Η μηχανική προδιαγραφή περιγράφει τις φυσικές διαστάσεις των υπό-πλαισίων στήριξης, της οπίσθιας πλευράς, της εμπρόσθιας όψης, των διασυνδεδεμένων καρτών κλπ. Η λειτουργική προδιαγραφή του VME περιγράφει πως λειτουργεί ο δίαυλος, ποιες λειτουργικές μονάδες αλληλεπιδρούν σε κάθε συναλλαγή, και κανόνες που διέπουν την συμπεριφορά τους. Η ενότητα αυτή παρέχει ορισμούς για μερικούς βασικούς όρους που χρησιμοποιούνται για την περιγραφή της μηχανικής αλλά και της λειτουργικής δομής του VMEbus.

### Ορισμοί που χρησιμοποιούνται για την περιγραφή της μηχανικής δομής του VMEbus

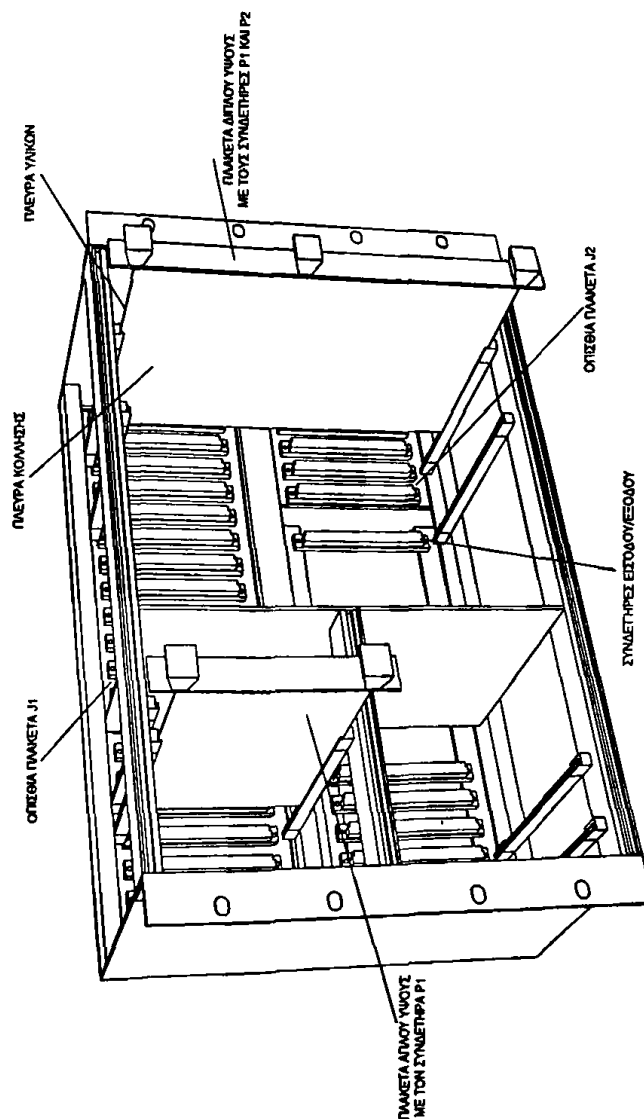
**VMEbus BACKPLANE** ("οπίσθια πλακέτα" του VMEbus)- Ένα τυπωμένο κύκλωμα με συνδετήρες των 96-ακροδεκτών και σήματα που διαπερνούν τους ακροδέκτες των συνδετήρων. Μερικά συστήματα VMEbus έχουν μονό τυπωμένο κύκλωμα το οποίο ονομάζεται οπίσθια πλακέτα J1. Άλλα συστήματα VMEbus έχουν μια επιπρόσθετη δεύτερη πλακέτα που ονομάζεται οπίσθια πλακέτα J2. Αυτή παρέχει επιπρόσθετα συνδετήρες των 96 ακροδεκτών και σήματα που απαιτούνται για ευρύτερες μεταφορές δεδομένων και διευθύνσεων.



**BOARD** (πλακέτα): Ένα τυπωμένο κύκλωμα, η συλλογή ηλεκτρονικών στοιχείων και επιπλέον ένας ή δύο συνδετήρες των 96 ακροδεκτών που μπορεί να τοποθετηθεί στους συνδετήρες της οπίσθιας πλακέτας του VMEbus.

**SLOT** (υποδοχή): Η θέση από στην οποία μπορεί να τοποθετηθεί μια πλακέτα στην οπίσθια πλακέτα του VMEbus. Εάν το σύστημα VMEbus διαθέτει και τις δύο οπίσθιες πλακέτες J1 και J2 κάθε υποδοχή παρέχει ένα ζεύγος συνδετήρων των 96 ακροδεκτών. Εάν το σύστημα διαθέτει μόνο την οπίσθια πλακέτα J1 τότε κάθε υποδοχή παρέχει μόνο ένα συνδετήρα 96 ακροδεκτών.

**SUBRACK** (υποπλάσιο): Ένας άκαμπτος σκελετός που παρέχει την μηχανική υποστήριξη για της πλακέτες που τοποθετούνται στις οπίσθιες πλακέτες, εξασφαλίζοντας την σωστή σύνδεση μεταξύ των συνδετήρων και ότι οι γειτονικές πλακέτες δεν εφάπτονται η μια στην άλλη. Επίσης κατευθύνει την ροή του αέρα στο σύστημα και εξασφαλίζει την μη αποσύνδεση των τοποθετημένων πλακετών από το σύστημα σε περιπτώσεις κραδασμών ή δονήσεων. Στο σχ. 77 φαίνεται το υποπλάσιο του VMEbus.



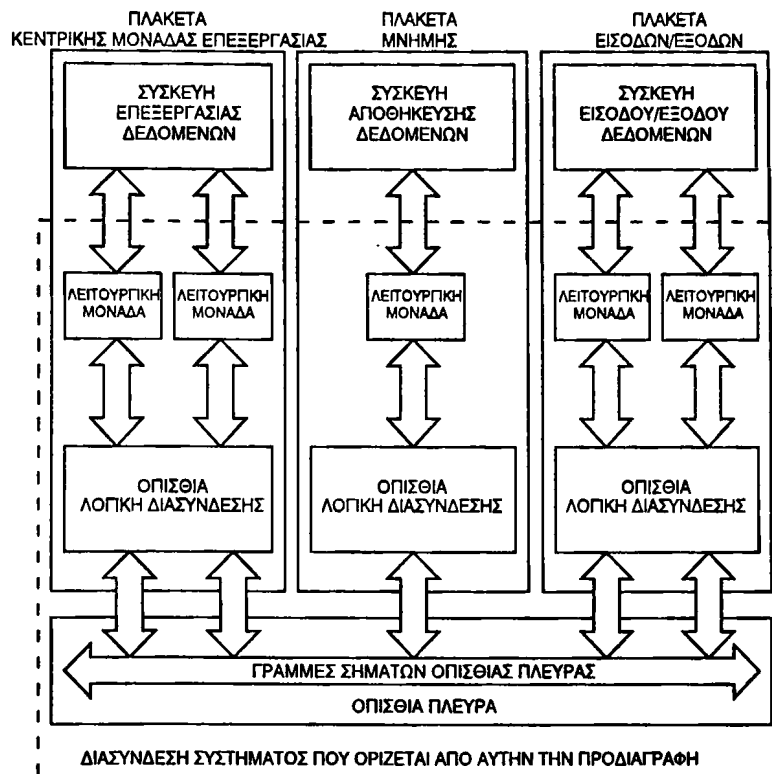
Π 1

σχ. 77. Υποπλάσιο με δυνατότητα υποστήριξης πλακετών διαφορετικών μεγεθών



## Ορισμοί που χρησιμοποιούνται για την περιγραφή της λειτουργικής δομής του VMEbus

Το σχ. 78 εμφανίζει ένα απλό διάγραμμα βαθμίδων της λειτουργικής δομής περιλαμβάνοντας τις γραμμές σημάτων του VMEbus, την λογική της διασύνδεσης των οπίσθιων πλακετών και τις λειτουργικές μονάδες.



σχ. 78. Διάγραμμα βαθμίδων λειτουργικής δομής του VMEbus

**BACKPLANE INTERFACE LOGIC** (λογική διασύνδεσης της οπίσθιας πλακέτας): Ειδική λογική διασύνδεσης που λαμβάνει υπόψη τα χαρακτηριστικά της οπίσθιας πλακέτας: την χαρακτηριστική αντίσταση των γραμμών των σημάτων, το χρόνο μετάδοσης, τις αντιστάσεις τερματισμού κλπ. Η προδιαγραφή του VMEbus υπαγορεύει πολλούς κανόνες για τη σχεδίαση αυτής της λογικής βασισμένη στο μέγιστο μήκος της οπίσθιας πλακέτας και το μέγιστο αριθμό των υποδοχών πλακετών.

**FUNCTIONAL MODULE** (λειτουργική μονάδα): Μια συλλογή ηλεκτρονικών κυκλωμάτων που υπάρχουν επάνω σε μια πλακέτα VMEbus και λειτουργούν μαζί για την επίτευξη μιας εργασίας.

**DATA TRANSFER BUS** (διάυλος μεταφοράς δεδομένων): Ο διάυλος μεταφοράς δεδομένων του VMEbus βασίζεται στους διαύλους διεύθυνσεων, δεδομένων και ελέγχου του 68000. Ένας από τους τέσσερις διαύλους που παρέχονται από την οπίσθια πλακέτα του VMEbus. Ο διάυλος μεταφοράς δεδομένων επιτρέπει στους masters να κατευθύνουν την επικοινωνία μεταξύ τους αλλά και μεταξύ των slaves (η συντομογραφία του Data Transfer Bus είναι η DTB).

**DATA TRANSFER BUS CYCLE** (κύκλος μεταφοράς δεδομένων). Η αλληλουχία της μετάβασης των σημάτων στις γραμμές σημάτων του DTB που έχει ως αποτέλεσμα την μεταφορά μιας διεύθυνσης ή μιας διεύθυνσης και δεδομένων μεταξύ ενός MASTER και ενός SLAVE. Ο

κύκλος μεταφοράς του DTB διαιρείται σε δύο τμήματα, την μετάδοση της διεύθυνσης και στη συνέχεια καμία ή περισσότερες μεταφορές δεδομένων. Υπάρχουν 34 τύποι κύκλων μεταφοράς δεδομένων.

**MASTER** (αφέντης): Μια λειτουργική μονάδα (σχ. 79) που αρχικοποιεί τους κύκλους μεταφοράς δεδομένων με σκοπό την μεταφορά δεδομένων μεταξύ του εαυτού τους και μιας μονάδας SLAVE.



σχ. 79. Διάγραμμα βαθμίδας MASTER

**SLAVE** (σκλάβος): Μια λειτουργική μονάδα (σχ. 80) που αντιλαμβάνεται τους κύκλους μεταφοράς δεδομένων που αρχικοποιούνται από τον MASTER και όταν οι κύκλοι αυτοί ορίζουν τη δική της συμμετοχή, μεταφέρει δεδομένα μεταξύ του εαυτού της και του Master.

Π 1



σχ. 80. Διάγραμμα βαθμίδας SLAVE



**LOCATION MONITOR** (επιτηρητής θέσης): Μια λειτουργική μονάδα (σχ. 81) που επιτηρεί τις μεταφορές δεδομένων επάνω στο DTB με σκοπό να ανιχνεύσει τις προσπελάσεις από τις θέσεις που της έχουν ανατεθεί να επιτηρεί. Όταν συμβεί μια προσπέλαση σε μια από τις ανατιθέμενες θέσεις επιτήρησης, η μονάδα δημιουργεί ένα σήμα.



σχ. 81. Διάγραμμα βαθμίδας επιτηρητή θέσεως

**BUS TIMER** (χρονόμετρο διαύλου): Μια λειτουργική μονάδα (σχ. 82) που μετρά το χρόνο που καταλαμβάνει μια μεταφορά δεδομένων στον δίαυλο DTB και τερματίζει τον κύκλο μεταφοράς δεδομένων εάν η μεταφορά πάρει πολύ χρόνο. Χωρίς αυτήν την υπομονάδα, εάν ο MASTER προσπαθήσει να μεταφέρει δεδομένα προς ή από μια μη υπάρχουσα θέση SLAVE θα περιμένει επ' άπειρον. Το χρονόμετρο του διαύλου εμποδίζει την κατάσταση αυτή τερματίζοντας τον κύκλο.



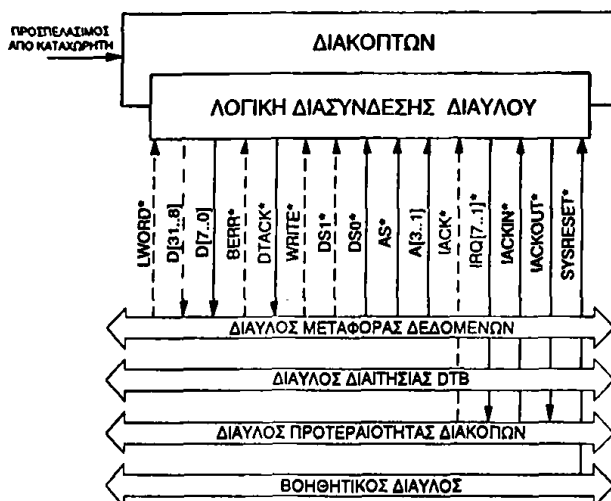
σχ. 82. Διάγραμμα βαθμίδας χρονομέτρου διαύλου

**PRIORITY INTERRUPT BUS** (δίαυλος προτεραιότητας διακοπών): Ένα από τους τέσσερις διαύλους που παρέχει η οπίσθια πλακέτα του VMEbus. Ο δίαυλος προτεραιότητας διακοπών επιτρέπει στην διακόπτουσα μονάδα να αποστείλει αιτήσεις διακοπών στους χειριστές διακοπών.





**INTERRUPTER** (διακόπτων): Η λειτουργική μονάδα (σχ. 83) που δημιουργεί μια αίτηση διακοπής στο δίαυλο προτεραιότητας διακοπών και παρέχει πληροφορίες STATUS/ID όταν ο χειριστής διακοπών το απαιτήσει.



σχ. 83. Διάγραμμα βαθμίδας διακόπτωντος

**INTERRUPT HANDLER** (χειριστής διακοπών): Η λειτουργική μονάδα (σχ. 84) που αντιλαμβάνεται τις αιτήσεις διακοπών που δημιουργούνται από τους διακόπτοντες και ανταποκρίνεται στις διακοπές ζητώντας τις πληροφορίες STATUS/ID.

Π 1

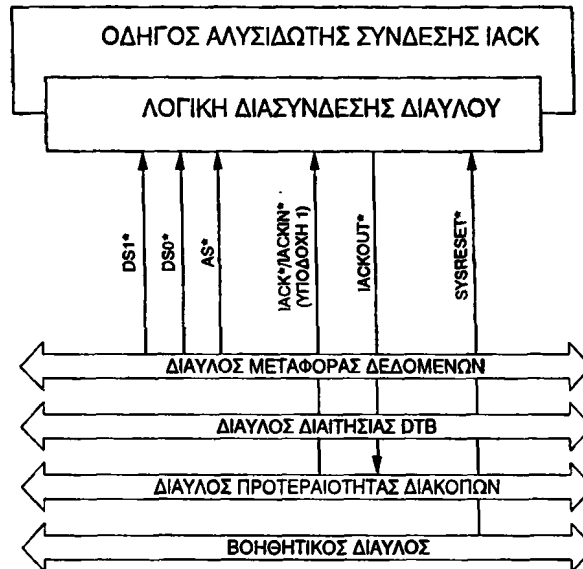


σχ. 84. Διάγραμμα βαθμίδας χειριστή διακοπών

**DAISY-CHAIN** (αλυσιδωτή σύνδεση): Ένας ειδικός τύπος γραμμών του VMEbus που χρησιμοποιείται για την μετάδοση του επιπέδου ενός σήματος από την μια πλακέτα στην άλλη, ξεκινώντας από την πρώτη υποδοχή και τελειώνοντας στην τελευταία υποδοχή. Υπάρχουν τέσσερις γραμμές αλυσιδωτής σύνδεσης για την παραχώρηση του διαύλου και μια επιβεβαίωσης διακοπών στο VMEbus.



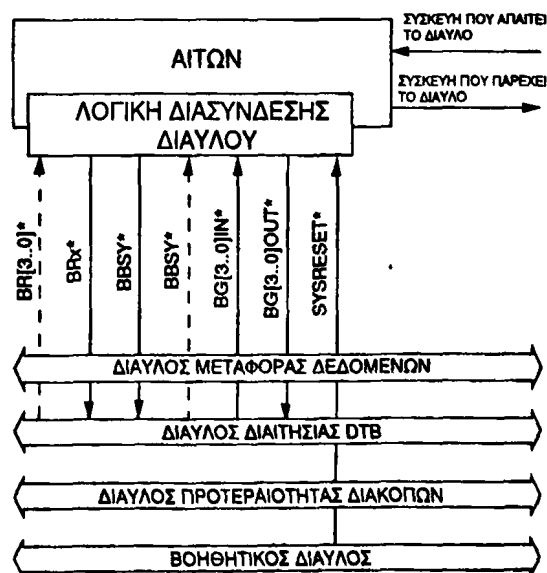
**IACK DAISY-CHAIN DRIVER** (οδηγός της αλυσιδωτής σύνδεσης της γραμμής IACK): Μια λειτουργική μονάδα (σχ. 85) που ενεργοποιεί την αλυσιδωτή σύνδεση της επιβεβαίωσης διακοπής οποτεδήποτε ένας χειριστής διακοπών επιβεβαιώσει μια αίτηση διακοπής. Η αλυσιδωτή αυτή διασύνδεση εξασφαλίζει ότι μόνο ένας διακόπτων θα αποκριθεί με τις πληροφορίες STATUS/ID όταν περισσότεροι από ένας έχουν δημιουργήσει αιτήσεις διακοπής.



σχ. 85. Διάγραμμα βαθμίδας οδηγού αλυσιδωτής σύνδεσης IACK

**ARBITRATION BUS** (διάυλος διαιτησίας): Ένας από τους τέσσερις διαύλους που παρέχονται από την οπίσθια πλακέτα του VMEbus. Αυτός ο διάυλος επιτρέπει στην μονάδα του διαιτητή και σε πολλές μονάδες αιτούντων να συντονιστούν τη χρήση του DTB.

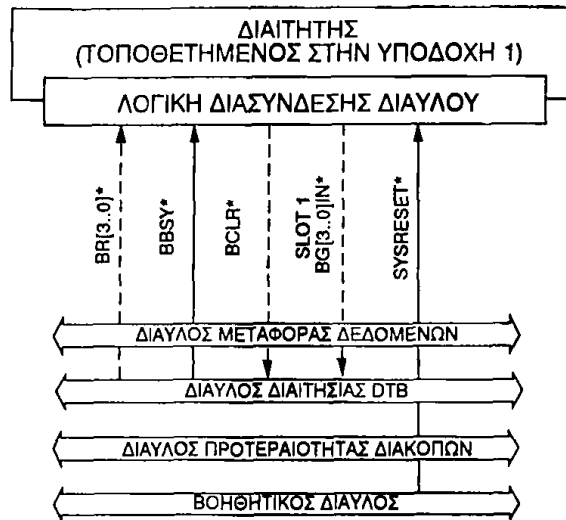
**REQUESTER** (αιτών): Μια λειτουργική μονάδα (σχ. 86) που υπάρχει στην ίδια πλακέτα με τον MASTER ή τον χειριστή διακοπών και αιτείται τη χρήση του DTB όταν ο MASTER ή ο χειριστής διακοπών δεν τον χρειάζονται.



σχ. 86. Διάγραμμα βαθμίδας αιτούντος



**ARBITER** (Διαιτητής): Μια λειτουργική μονάδα (σχ. 87) που δέχεται αιτήσεις για το δίαυλο από τις μονάδες αιτούντων και παρέχει τον έλεγχο του DTB σε έναν αιτούντα ανά πάσα στιγμή.



σχ. 87. Διάγραμμα βαθμίδας διαιτητή

**UTILITY BUS** (βοηθητικός δίαυλος): Ένας από τους τέσσερις διαύλους που παρέχεται από την οπίσθια πλακέτα του VMEbus. Αυτός ο δίαυλος περιέχει σήματα που παρέχουν περιοδικό χρονοισμό και συντονίζει την έναρξη και διακοπή λειτουργίας των συστημάτων VMEbus.

Π 1

**SYSTEM CLOCK DRIVER** (οδηγός ρολογιού συστήματος): Μια λειτουργική μονάδα που παρέχει το σήμα χρονοισμού των 16MHz στο βοηθητικό δίαυλο.

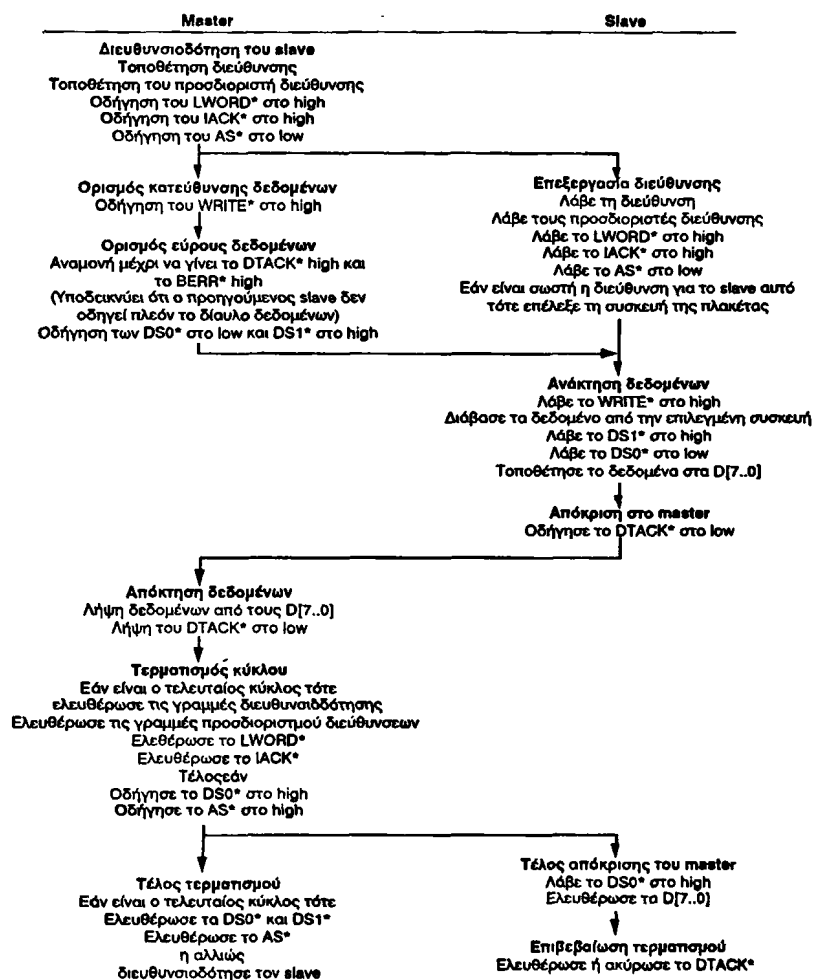
**SERIAL CLOCK DRIVER** (οδηγός σειριακού ρολογιού): Μια λειτουργική μονάδα που παρέχει το σήμα περιοδικού χρονοισμού που συγχρονίζει την λειτουργία του VMSbus (Αν και η προδιαγραφή του VMEbus ορίζει τον οδηγό του σειριακού ρολογιού για χρήση με το VMSbus, και αν και δεσμεύονται δύο γραμμές της οπίσθιας πλακέτας για την χρήση από το δίαυλο αυτό, το VMSbus πρωτόκολλο είναι εντελώς ανεξάρτητο από το VMEbus).

**POWER MONITOR MODULE** (μονάδα επιτήρησης τροφοδοσίας): Μια λειτουργική μονάδα που επιτηρεί την κατάσταση της βασικής πηγής τροφοδοσίας του συστήματος VMEbus, και σηματοδοτεί τις περιπτώσεις που η τάση τροφοδοσίας ξεπεράσει τα όρια που απαιτούνται για αξιόπιστη λειτουργία του συστήματος. Επειδή τα περισσότερα συστήματα τροφοδοτούνται από πηγή AC, ο επιτηρητής τροφοδοσίας σχεδιάζεται για την ανίχνευση καταστάσεων πτώσης ή διακοπής στις γραμμές τροφοδοσίας.

**SYSTEM CONTROLLER BOARD** (πλακέτα ελεγκτή συστήματος): Η πλακέτα που τοποθετείται στην υποδοχή 1 της οπίσθιας πλακέτας του VMEbus και περιλαμβάνει τον οδηγό ρολογιού του συστήματος, τον διαιτητή, τον οδηγό της αλυσιδωτής σύνδεσης του σήματος επιβεβαίωσης διακοπών και το χρονόμετρο του διαύλου. Μερικές από αυτές έχουν και τον οδηγό του σειριακού ρολογιού ή τον επιτηρητή τάσης ή και τα δύο.

## Είδη κύκλων του VMEbus

**READ CYCLE** (κύκλος ανάγνωσης): Ο δίαυλος μεταφοράς δεδομένων χρησιμοποιείται για την μεταφορά 1, 2, 3 ή 4 bytes από τον SLAVE στον MASTER. Ο κύκλος ξεκινά από τον MASTER με την εκπομπή της διεύθυνσης και του προσδιοριστή διευθύνσεων. Κάθε SLAVE διαβάζει τον προσδιοριστή διευθύνσεων και τη διεύθυνση, και ελέγχει αν θα πρέπει να αποκριθεί στον κύκλο. Εάν θα πρέπει να αποκριθεί διαβάζει τα δεδομένα από την εσωτερική του μνήμη και τα τοποθετεί στον δίαυλο δεδομένων και επιβεβαιώνει την μεταφορά. Τέλος ο MASTER τερματίζει τον κύκλο. Το σχ. 88 δίδει ένα παράδειγμα ενός κύκλου ανάγνωσης ενός byte.



σχ. 88. Κύκλος ανάγνωσης ενός byte

**WRITE CYCLE** (κύκλος εγγραφής): Ο δίαυλος μεταφοράς δεδομένων χρησιμοποιείται για την μεταφορά 1, 2, 3 ή 4 bytes από τον MASTER στον SLAVE. Ο κύκλος ξεκινά από τον MASTER με την εκπομπή της διεύθυνσης, του προσδιοριστή διευθύνσεων και την τοποθέτηση των δεδομένων στο δίαυλο μεταφοράς δεδομένων. Κάθε SLAVE διαβάζει τον προσδιοριστή διευθύνσεων και τη διεύθυνση, και ελέγχει αν θα πρέπει να αποκριθεί στον κύκλο. Εάν θα πρέπει να αποκριθεί διαβάζει τα δεδομένα από το δίαυλο δεδομένων και τα αποθηκεύει και επιβεβαιώνει την μεταφορά. Τέλος ο MASTER τερματίζει τον κύκλο.



**BLOCK READ CYCLE** (κύκλος ανάγνωσης ομάδας): Αυτός ο κύκλος του DTB χρησιμοποιείται για την μεταφορά ομάδας που αποτελείται από 1 έως 256 bytes από τον SLAVE στον MASTER. Η μεταφορά αυτή γίνεται με τη χρήση 1, 2, 3, ή 4 bytes μεταφορές δεδομένων. Εφόσον ξεκινήσει η μεταφορά ομάδας, ο MASTER δεν απελευθερώνει το DTB μέχρις ότου όλα τα bytes μεταφερθούν. Διαφέρει από τον κύκλο ανάγνωσης διότι ο MASTER εκπέμπει μόνο μια διεύθυνση και τον προσδιοριστή διευθύνσεων (στην αρχή του κύκλου). Στη συνέχεια ο SLAVE αυξάνει την διεύθυνση σε κάθε μεταφορά έτσι ώστε τα δεδομένα της επόμενης μεταφοράς να ανακτηθούν από την επόμενη υψηλότερη θέση.

**BLOCK WRITE CYCLE** (κύκλος εγγραφής ομάδας): Αυτός ο κύκλος του DTB χρησιμοποιείται για την μεταφορά ομάδας που αποτελείται από 1 έως 256 bytes από τον MASTER στον SLAVE. Ο κύκλος αυτός είναι όμοιος με τον κύκλο ανάγνωσης ομάδας δεδομένων. Η μεταφορά αυτή γίνεται με τη χρήση 1, 2, 3, ή 4 bytes μεταφορές δεδομένων και ο MASTER δεν απελευθερώνει το DTB μέχρις ότου όλα τα bytes μεταφερθούν. Διαφέρει από τον κύκλο εγγραφής διότι ο MASTER εκπέμπει μόνο μια διεύθυνση και τον προσδιοριστή διευθύνσεων (στην αρχή του κύκλου). Στη συνέχεια ο SLAVE αυξάνει την διεύθυνση σε κάθε μεταφορά έτσι ώστε τα δεδομένα της επόμενης μεταφοράς να ανακτηθούν από την επόμενη υψηλότερη θέση.

**READ-MODIFY-WRITE CYCLE** (κύκλος ανάγνωσης - μεταβολής - εγγραφής): Ο ο κύκλος του DTB χρησιμοποιείται για την ανάγνωση από και την εγγραφή προς τον SLAVE χωρίς να επιτρέπεται σε άλλον MASTER να προσπελάσει τη θέση αυτή. Αυτός ο κύκλος χρησιμεύει σε πολύ-επεξεργαστικά συστήματα όπου κάποιες θέσεις μνήμης χρησιμοποιούνται για να παρέχουν λειτουργίες σηματοφορέων.

Π 1

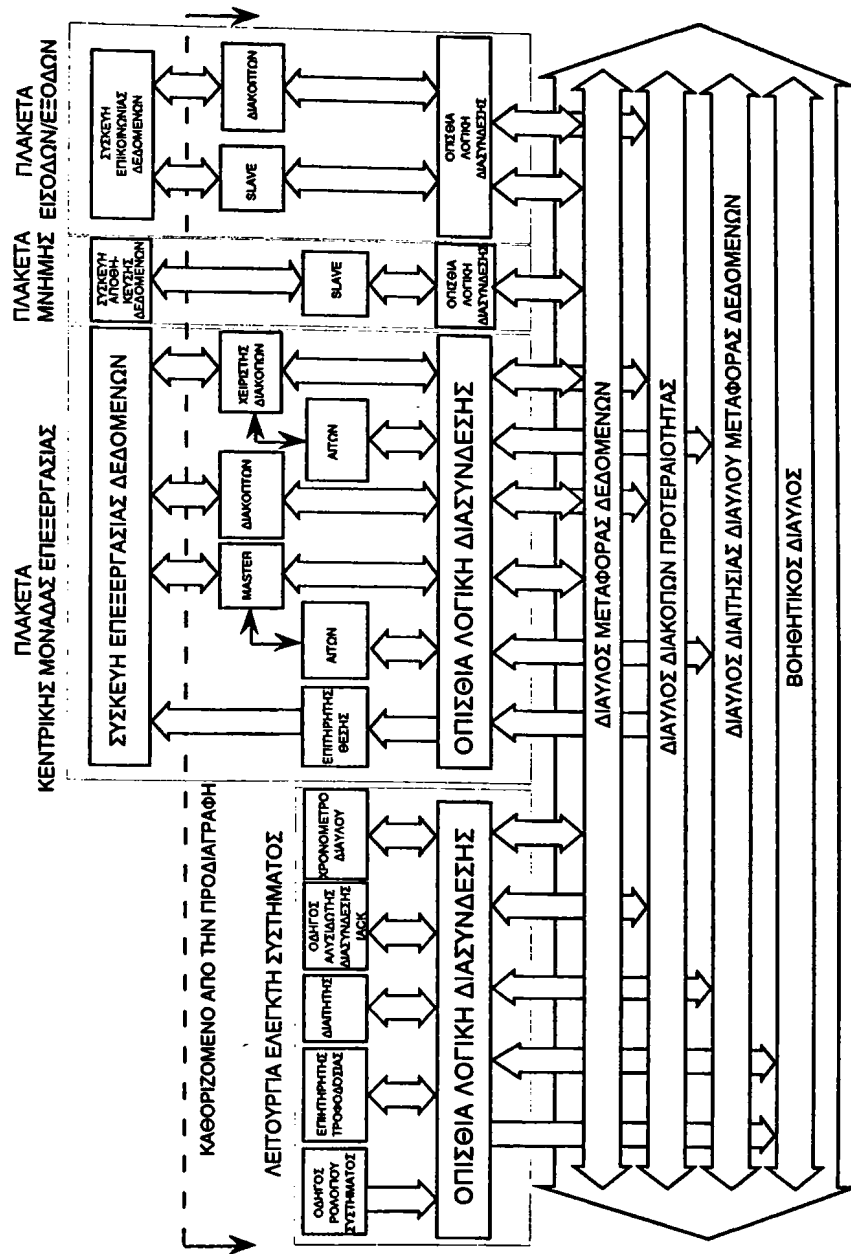
**ADDRESS-ONLY CYCLE** (κύκλος μόνο διεύθυνσης): Ένας κύκλος του DTB που εκπέμπεται η διεύθυνση αλλά δεν υπάρχει μεταφορά δεδομένων. Οι SLAVES δεν επιβεβαιώνουν τους κύκλους μόνο διεύθυνσης και οι MASTERS τερματίζουν τον κύκλο χωρίς να περιμένουν για επιβεβαίωση.

**INTERRUPT-ACKNOWLEDGE CYCLE** (κύκλος επιβεβαίωσης διακοπής): Ένας DTB κύκλος που αρχικοποιείται από τον χειριστή διακοπών ο οποίος διαβάζει τις πληροφορίες STATUS/ID του διακόπτοντα. Ο χειριστής διακοπών δημιουργεί τον κύκλο αυτό οποτεδήποτε αντιληφθεί μια αίτηση διακοπής από τον διακόπτη και έχει τον έλεγχο του διαύλου DTB.

## Βασική δομή του VMEbus

Το σύστημα διασύνδεσης του VMEbus αποτελείται από την λογική διασύνδεσης της οπίσθιας πλευράς, τέσσερις ομάδες γραμμών σημάτων που ονομάζονται "δίαυλοι" και μια συλλογή από λειτουργικές μονάδες που μπορούν να συντεθούν ανάλογα με τις απαιτήσεις. Οι λειτουργικές μονάδες επικοινωνούν η μια με την άλλη χρησιμοποιώντας τις γραμμές σημάτων της οπίσθιας πλευράς.





σχ. 89. Λειτουργικές μονάδες και δίαυλοι

Οι λειτουργικές μονάδες που περιγράφονται χρησιμοποιούνται ως μέσο περιγραφής των πρωτοκόλλων του διαύλου και δεν θα πρέπει να θεωρηθούν ως περιορισμοί της λογικής σχεδίασης. Για παράδειγμα, ο σχεδιαστής μπορεί να επιλέξει τη σχεδίαση λογικής που αλληλεπιδρά με τα σήματα του VMEbus με τον τρόπο που περιγράφεται, αλλά με την χρήση διαφορετικών σημάτων της πλακέτας ή την επιτήρηση διαφορετικών σημάτων του VMEbus. Οι πλακέτες VMEbus μπορούν να σχεδιαστούν έτσι ώστε να περιλαμβάνουν οποιοδήποτε συνδυασμό λειτουργικών μονάδων που περιγράφονται στο κείμενο.

Η λειτουργική δομή του VMEbus μπορεί να διαιρεθεί σε τέσσερις κατηγορίες. Κάθε μια αποτελείται από ένα δίαυλο και τις συσχετιζόμενες με αυτόν λειτουργικές μονάδες που εργάζονται μαζί για την εκτέλεση



καθορισμένων καθηκόντων. Το σχ.89 εμφανίζει τις λειτουργικές μονάδες του VMEbus και τους διαύλους. Κάθε μια κατηγορία αναφέρεται εν συντομία παρακάτω:

**Data Transfer** (μεταφοράς δεδομένων): Οι συσκευές μεταφέρουν δεδομένα επάνω στο δίαυλο μεταφοράς δεδομένων ο οποίος περιλαμβάνει τα δεδομένα, τις διευθύνσεις και τα σχετιζόμενα σήματα ελέγχου. Οι λειτουργικές μονάδες που ονομάζονται MASTERS, SLAVES, διακόπτοντες και χειριστές διακοπών χρησιμοποιούν το DTB για την μεταφορά δεδομένων μεταξύ τους. Δύο άλλες μονάδες που ονομάζονται χρονόμετρο του διαύλου και οδηγός αλυσιδωτής σύνδεσης του σήματος επιβεβαίωσης διακοπών σχετίζονται με τη διεργασία αυτή.

Ο δίαυλος δεδομένων είναι ένας τυπικός μη-πεπλεγμένος δίαυλος για διευθύνσεις και δεδομένα που επιτρέπει την μεταφορά δεδομένων μεταξύ του bus master και ενός bus slave. Στο σημείο αυτό θα τονίσουμε ότι το VMEbus έχει ως βάση λειτουργίας τον τρόπο master-slave που κάθε στιγμή μόνο μια συσκευή (π.χ. ένας μικροεπεξεργαστής 68000 ή ένας ελεγκτής άμεσης προσπέλασης στη μνήμη) μπορεί να έχει πρόσβαση σε ένα slave που είναι συνδεδεμένος στο bus.

Τα παρακάτω σήματα είναι μέρος του διαύλου μεταφοράς δεδομένων:

Διευθύνσεων	Δεδομένων	Ελέγχου
A01-A31	D00-D31	AS
AM05-AM5		DS0
DS0		DS1
DS1		BERR
LWORD		DTACK
		WRITE

Π 1

**DTB Arbitration** (διαιτησία DTB): Εφόσον το VMEbus μπορεί να συνδυαστεί με περισσότερους από έναν MASTER ή χειριστές διακοπών υπάρχει ο τρόπος παροχής της μεταφοράς του ελέγχου του DTB σε συγκεκριμένο χρόνο. Οι μονάδες του δίαυλου διαιτησίας (αιτούντες και διαιτητής) συντονίζουν τον έλεγχο μεταφοράς. Ο δίαυλος διαιτησίας παρέχει στο VMEbus την δυνατότητα της ύπαρξης πολλαπλών επεξεργαστών καθιστώντας δυνατή τη μετάβαση από έναν master σε άλλον με "νομοταγή" τρόπο.

Ο δίαυλος διαιτησίας καθιστά ικανή τη χρήση πολλών επεξεργαστών στο VMEbus. Δύο είδη λειτουργικών μονάδων έχουν πρόσβαση στον δίαυλο διαιτησίας: ο αιτών και ο διαιτητής. Ο αιτών είναι μέρος κάθε μιας μονάδας που επιθυμεί να απαιτήσει την εξουσία του VMEbus. Ο διαιτητής είναι μέρος της μονάδας που περιλαμβάνει τον ελεγκτή του συστήματος της οποίας η φυσική θέση είναι η υποδοχή 1 του συστήματος VME. Οποτεδήποτε κι αν ο διαιτητής δεχθεί αίτηση παραχώρησης του διαύλου από αιτούντα, ο διαιτητής αποφασίζει για τον χειρισμό της αίτησης αυτής.

Ο αιτών σε οποιαδήποτε υποδοχή (εκτός της υποδοχής 1) μπορεί να απαιτήσει τον δίαυλο μεταφοράς δεδομένων με την ενεργοποίηση μιας εκ των γραμμών απαίτησης του διαύλου BR0-BR3. Ο διαιτητής

αντιλαμβάνεται την αίτηση απαίτησης του διαύλου από τις γραμμές αυτές και αποφασίζει την αποδοχή ή απόρριψη της αίτησης (θα διευκρινιστεί παρακάτω).

Εάν ο διαιτητής αποδεχθεί την αίτηση της απαίτησης του διαύλου μεταφοράς δεδομένων, ενεργοποιεί την bus\_grant\_out (δηλαδή  $BGiOUT$ , όπου  $i=0,1,2$  ή  $3$ ). Για παράδειγμα, μια αίτηση στον ακροδέκτη  $BR2$  μπορεί να έχει ως αποτέλεσμα την αποδοχή της απαίτησης του διαύλου με την ενεργοποίηση του σήματος  $BG2OUT$ .

Οι γραμμές εξόδου αποδοχής απαίτησης διαύλου είναι συνδεδεμένες αλυσιδωτά έτσι ώστε κάθε  $BGiOUT$  ακροδέκτης στην μονάδα  $i$  να συνδέεται με τον ακροδέκτη  $BGiIN$  της μονάδας  $i+1$ . Όταν η μονάδα αντιληφθεί ενεργοποίηση της  $BGiIN$  από την επόμενη γειτονική της μονάδα είτε λαμβάνει για τον εαυτό της (και δεν ενεργοποιεί τη δική της εξόδου  $BGiOUT$ ), είτε περνά την απαίτηση για το δίαυλο στην προηγούμενη γειτονική της μονάδα ενεργοποιώντας το  $BGiOUT$ . Ταυτόχρονα το επίπεδο  $i$  της παραχώρησης του διαύλου διακόπτει την αλυσίδα μέχρι η πρώτη συσκευή που απαίτησε το δίαυλο στο επίπεδο  $i$  λάβει το σήμα αποδοχής και δεν το προχωρήσει.

Φυσικά η αλυσίδα περιέχει έναν υπονοούμενο μηχανισμό προτεραιότητας όπου η μονάδα που βρίσκεται πιο κοντά στον διαιτητή εξυπηρετείται πάντοτε πιο πριν από τις γειτονικές της που βρίσκονται μακρύτερα από το διαιτητή.

Όταν στον αιτούντα έχει παραχωρηθεί ο έλεγχος του διαύλου μέσω της αλυσίδας παραχώρησης του διαύλου, ο αιτών αναλαμβάνει τον έλεγχο οδηγώντας την γραμμή  $BBSY$  (bus busy) του διαύλου στο low. Εφόσον ενεργοποιήθηκε η γραμμή  $BBSY$  από τον νέο master ο διαιτητής μπορεί να ξεκινήσει ξανά την εκτέλεση της διαιτησίας για την εύρεση ενδεχόμενης απαίτησης του διαύλου. Ο παραπάνω αιτών είναι ο νέος master για το bus και παραμένει μέχρι την απενεργοποίηση του σήματος  $BBSY$ . Είναι αρκετά ενδιαφέρον ότι η προδιαγραφή του VMEbus δεν περιέχει μηχανισμό να ικανό να εξαναγκάσει τον αιτούντα να αφήσει τον δίαυλο. Η απενεργοποίηση του σήματος  $BBSY$  μπορεί να γίνει μόνο από τον τρέχοντα master του bus. Το VMEbus διαθέτει όπως λέγεται "καλούς τρόπους". Έτσι το σήμα  $BCLR$  θεωρείται προαιρετικό. Αν ενδεχομένως ένας master διαύλου με επίπεδο αίτησης υψηλότερο του τρέχοντα master απαιτήσει το VMEbus τότε ο διαιτητής ενεργοποιεί την γραμμή  $BCLR$  για να επισημάνει στον τρέχοντα master ότι θα πρέπει να εξετάσει την απόδοση του VMEbus. Ο τρόπος χειρισμού του σήματος  $BCLR$  έχει αφεθεί στον σχεδιαστή των συστημάτων.

### **Ο τρόπος διαιτησίας**

Ο διαιτητής της υποδοχής 1 μπορεί να υλοποιεί τρεις βασικούς τρόπους διαιτησίας: απλού επιπέδου, προτεραιότητας και round robin select. Ο πραγματικός τρόπος διαιτησίας (αλγόριθμος χρονοπρογραμματισμού) που χρησιμοποιείται σε κάθε σύστημα επιλέγεται από το σχεδιαστή και η προδιαγραφή του VMEbus δεν αποκλείει αλγόριθμους χρονοπρογραμματισμού διαφορετικούς από τους τρεις προαναφερθέντες.





**Διαιτησία απλού επιπέδου.** Είναι ο απλούστερος αλγόριθμος χρονοπρογραμματισμού. Μόνο οι αιτήσεις για διαιτησία στην γραμμή BR3 γίνονται αποδεκτές από το διαιτητή της υποδοχής 1 (όλες οι γραμμές αίτησης, όλες οι γραμμές παραχώρησης για τα επίπεδα 0, 1 και 2 δεν χρησιμοποιούνται)

**Διαιτησία προτεραιοτήτων.** Η διαιτησία προτεραιοτήτων χρησιμοποιεί όλες τις γραμμές διαιτησίας. Η γραμμή αίτησης του διαύλου 0 BR0 έχει την χαμηλότερη προτεραιότητα και η γραμμή 3 BR3 την υψηλότερη. Εάν εκκρεμούν περισσότερα από ένα επίπεδα διακοπής, ο διαιτητής πάντοτε παρέχει προτεραιότητα στο υψηλότερο επίπεδο της αίτησης. Οποτεδήποτε κάποιος αιτών με υψηλότερη προτεραιότητα από αυτήν του τρέχοντα master του διαύλου αιτείται παραχώρησης του δίαυλου, ο διαιτητής ενεργοποιεί τη γραμμή BCLR. Ένα επίπεδο low στη γραμμή αυτή επισημαίνει στον τρέχοντα master του διαύλου ότι θα πρέπει να εκχωρήσει το δίαυλο το συντομότερο δυνατό αλλά δεν μπορεί να τον εξαναγκάσει σε παραχώρηση του διαύλου.

**Αλγόριθμος Round Robin select.** Ο αλγόριθμος χρονοπρογραμματισμού RRS προσπαθεί να είναι "δίκαιος" με τους αιτούντες με την περιστροφή του τρέχοντος επιπέδου της μέγιστης προτεραιότητας. Για παράδειγμα, εάν το τρέχων υψηλότερο επίπεδο προτεραιότητας είναι το 3, η υψηλότερη προτεραιότητα στον επόμενο κύκλο διαιτησίας θα είναι 0.

Π 1

Αρχικά οι αιτήσεις για το δίαυλο γίνονται στις γραμμές BR1 και BR2 στον ίδιο ακριβώς χρόνο. Ο διαιτητής της υποδοχής 1 αντιλαμβάνεται και τις δύο αιτήσεις και δίδει προτεραιότητα στον BR2 ενεργοποιώντας τη γραμμή BG2IN. Όταν ο αιτών που ενεργοποίησε τη γραμμή BR2 αντιληφθεί την ενεργοποίηση της γραμμής BG2IN ενεργοποιεί με τη σειρά του τη γραμμή BBSY καταλαμβάνοντας τον δίαυλο και απενεργοποιεί το BR2

Εφόσον ο τρέχων master του διαύλου ολοκληρώσει την εργασία του με τον δίαυλο απενεργοποιεί το BBSY. Ο διαιτητής αντιλαμβάνεται την ελευθέρωση του διαύλου και ότι επιπλέον εκκρεμεί μια αίτηση στο επίπεδο 1. Έτσι, ο διαιτητής ενεργοποιεί τη γραμμή BG1IN για την μεταφορά του ελέγχου του διαύλου στον νέο master.

Τα σήματα του διαύλου διαιτησίας περιλαμβάνουν τα

BR0	BG0IN	BBSY
BR1	BG1IN	BCLR
BR2	BG2IN	
BR3	BG3IN	

**PRIORITY INTERRUPT** (προτεραιότητα διακοπών). Η δυνατότητα της προτεραιότητας των διακοπών του VMEbus παρέχει τον τρόπο με τον οποίο οι συσκευές μπορούν να αιτούνται εξυπηρέτηση από τον χειριστή διακοπών. Στις αιτήσεις αυτές διακοπών μπορεί να τηρηθεί η προτεραιότητα σε επτά επίπεδα το μέγιστο. Οι διακόπτοντες και οι χειριστές διακοπών χρησιμοποιούν τις γραμμές των σημάτων του διαύλου προτεραιότητας διακοπών.



Ο δίαυλος διακοπών δίδει την δυνατότητα στον διακόπτη να επισημάνει την απαίτησή του για ένδειξη προσοχής από τον χειριστή των διακοπών για την διευθέτηση της απαίτησης διακοπής.

Όπως έχει ειπωθεί το VMEbus υλοποιεί το δίαυλο μεταφοράς δεδομένων όπως και ο μικροεπεξεργαστής 68000 όπως επίσης υλοποιεί και το δίαυλο διαιτησίας έτσι ώστε να ταιριάζει με τα σήματα ελέγχου διαιτησίας του μικροεπεξεργαστή 68000 (BR, BG, BGACK). Δε θα πρέπει να φανεί παράξενο επομένως ότι το VMEbus υλοποιεί και τον τρόπο χειρισμού των διακοπών με τον ίδιο τρόπο που αυτός εμφανίζεται στον μικροεπεξεργαστή 68000.

Τρεις τύποι μονάδων σχετίζονται με το δίαυλο προτεραιότητας διακοπών: ο διακόπτης, ο χειριστής διακοπών και ο οδηγός της αλυσίδας επιβεβαίωσης διακοπών IACK (interrupt acknowledgment).

Ο διακόπτης είναι μια μονάδα ικανή να σηματοδοτεί μια αίτηση διακοπής σε ένα μία από τις επτά γραμμές προτεραιότητας διακοπών IRQ1-IRQ7. Ο οδηγός της αλυσίδας επιβεβαίωσης διακοπών της υποδοχής 1 αντιλαμβάνεται την αίτηση διακοπής και μεταδίδει μια πτώση μετώπου στην αλυσίδα IACKOUT-IACKIN.

Ο χειριστής διακοπών αντιλαμβάνεται την εισερχόμενη επιβεβαίωση διακοπής στον ακροδέκτη IACKIN. Εάν ο αιτών έχει εκκινήσει τη διακοπή, χρησιμοποιεί τη δική του λογική αίτησης του διαύλου για την απαίτηση του διαύλου μεταφοράς δεδομένων και όταν του παραχωρηθεί η πρόσβαση στο δίαυλο μεταφοράς δεδομένων ξεκινά τον κύκλο επιβεβαίωσης της διακοπής. Ο χειριστής διαβάζει το byte STATUS/ID από τον διακόπτη κι έτσι ξεκινά η κατάλληλη διεργασία εξυπηρέτησης της διακοπής. Η πραγματική εξυπηρέτηση της διακοπής (δηλαδή πως επιτυγχάνεται και ποια συσκευή την πραγματοποιεί) δεν είναι μέρος της προδιαγραφής του VMEbus.

Τα συστήματα VMEbus έχουν σχεδιαστεί για δύο μηχανισμούς χειρισμού διακοπών: με απλούς χειριστές διακοπών και κατανεμημένους χειριστές διακοπών. Κατανεμημένοι χειριστές διακοπών χρησιμοποιούνται στα πολύ-επεξεργαστικά συστήματα στα οποία ο χειρισμός των διακοπών διαμοιράζεται μεταξύ πολλών master του διαύλου.

Ο δίαυλος χρησιμοποιεί τα παρακάτω σήματα:

IRQ1	IRQ5	IACK
IRQ2	IRQ6	IACKIN
IRQ3	IRQ7	IACKOUT
IRQ4		

**UTILITIES** (βοηθητικός): Περιοδικά ρολόγια, αρχικοποίηση, και ανίχνευση βλαβών παρέχονται από το βοηθητικό δίαυλο. Περιλαμβάνει δύο γραμμές ρολογιού, την γραμμή επαναφοράς του συστήματος, την γραμμή βλάβης του συστήματος, την γραμμή βλάβης τροφοδοσίας και μια σειριακή γραμμή δεδομένων. Τα σήματα του βοηθητικού διαύλου περιλαμβάνουν τα:

SYSCLK

SYSFAIL



## Διαγράμματα προδιαγραφών VMEbus

Ως βοήθημα στον καθορισμό ή την περιγραφή της λειτουργίας του VMEbus περιλαμβάνονται πολλοί διαφορετικοί τύποι διαγραμμάτων όπως:

- Χρονοδιαγράμματα που εμφανίζουν τον χρονικό συσχετισμό μεταξύ των μεταβολών των σημάτων. Τα σήματα που περιγράφονται έχουν ελάχιστα και-ή μέγιστα όρια που σχετίζονται με αυτά. Μερικοί από τους χρονισμούς που καθορίζονται από τα διαγράμματα αυτά καθορίζουν τη συμπεριφορά της οπίσθιας λογικής διασύνδεσης ενώ άλλα την συμπεριφορά των λειτουργικών μονάδων.
- Ακολουθιακά διαγράμματα που μοιάζουν με τα χρονοδιαγράμματα αλλά εμφανίζουν μόνο την χρονική εξάρτηση της διασύνδεσης μεταξύ των λειτουργικών μονάδων. Το διάγραμμα αυτό επιδιώκει να εμφανίσει μια ακολουθία γεγονότων και όχι να καθορίσει την χρονική ακολουθία των σημάτων. Για παράδειγμα, το ακολουθιακό διάγραμμα μπορεί να επισημαίνει ότι η μονάδα A δεν μπορεί να δημιουργήσει το σήμα B πριν ανιχνεύσει την δημιουργία του σήματος D από μια μονάδα C.
- Διαγράμματα ροής που δείχνουν τη σειρά των γεγονότων που συμβαίνουν κατά τη λειτουργία του VMEbus. Τα γεγονότα ξεκινούν με λέξεις και καταλήγουν με την αλληλεπίδραση δύο ή περισσότερων λειτουργικών μονάδων. Το διάγραμμά ροής περιγράφει τις λειτουργίες του VMEbus με ακολουθιακό τρόπο και ταυτόχρονα δείχνει την αλληλεπίδραση των λειτουργικών μονάδων.

Π 1

## Ορολογία προδιαγραφών

Για την αποφυγή συγχύσεων και για να γίνει εντελώς φανερό η συμμόρφωση με τις απαιτήσεις πολλές από τις παραγράφους της προδιαγραφής δίδονται με συγκεκριμένες λέξεις που δείχνουν τον τύπο των πληροφοριών που περιέχουν. Οι λέξεις αυτές εμφανίζονται παρακάτω:

### RULE (κανόνας)

Οι κανόνες αποτελούν το βασικό πλαίσιο της προδιαγραφής του VMEbus. Πολλές φορές δίδονται με τη μορφή κειμένου, σχημάτων, πινάκων ή σχεδίων. Όλοι οι κανόνες του VMEbus θα πρέπει να ακολουθηθούν έτσι ώστε να εξασφαλιστεί η συμβατότητα μεταξύ των σχεδιάσεων για το VMEbus. Οι κανόνες χαρακτηρίζονται από τον προστακτικό τρόπο τους. Οι κανόνες καθορίζουν τι θα πρέπει και τι δεν θα πρέπει να γίνει κατά τη σχεδίαση.

### RECOMMENDATION (σύσταση)

Όταν εμφανίζονται συστάσεις οι σχεδιαστές μπορούν να λάβουν συμβουλές για ορισμένα θέματα. Μη ακολουθώντας τις συστάσεις μπορεί να έχει ως αποτέλεσμα την ύπαρξη προβλημάτων ή και χαμηλής απόδοσης. Εφόσον το VMEbus έχει σχεδιαστεί για την υποστήριξη



συστημάτων υψηλής απόδοσης μπορεί να σχεδιαστούν συστήματα VMEbus που καλύπτουν όλους τους κανόνες αλλά πολύ χαμηλής απόδοσης. Σε πολλές περιπτώσεις ο σχεδιαστής θα πρέπει να έχει μεγάλη πείρα στις σχεδιάσεις για το VMEbus έτσι ώστε να σχεδιάζει συστήματα υψηλής ταχύτητας. Οι συστάσεις παρέχονται στους σχεδιαστές για να αυξήσουν την ταχύτητα της σχεδίασης των συστημάτων τους.

### **SUGGESTION (υπόδειξη)**

Στην προδιαγραφή του VMEbus η υπόδειξη περιέχει χρήσιμες συμβουλές που δεν είναι ζωτικής σημασίας. Ο σχεδιαστής παροτρύνεται στο να διαβάσει τις υποδείξεις και να αποφασίσει αν θα τις απορρίψει. Μερικές αποφάσεις για τη σχεδίαση συστημάτων για το VMEbus είναι πολύ δύσκολο να παρθούν έως ότου αποκτηθεί εμπειρία στο VMEbus. Οι υποδείξεις έχουν περιληφθεί για τους χρήστες που δεν έχουν την εμπειρία αυτή. Μερικές από τις υποδείξεις έχουν να κάνουν με τον τρόπο σχεδίασης πλακετών που εύκολα μπορεί να προσαρμοστούν για την σχεδίαση νέων πλακετών ή την σχεδίαση πλακετών που κάνουν την εργασία της εκσφαλμάτωσης εύκολη υπόθεση.

### **PERMISSION (άδειες)**

Σε πολλές περιπτώσεις οι κανόνες του VMEbus δεν απαγορεύουν ειδικές περιπτώσεις σχεδίασης αλλά θα πρέπει ο σχεδιαστής να καταλάβει πότε υπάρχει παραβίαση των κανόνων ή ότι θα δημιουργηθεί κάποιο πρόβλημα. Οι άδειες επαναβεβαιώνουν στον σχεδιαστή την αποδοχή της τρέχουσας περίπτωσης σχεδίασης και ότι αυτή δεν θα δημιουργήσει προβλήματα.

### **OBSERVATION (παρατήρηση)**

Οι παρατηρήσεις δεν αποτελούν κάποιο είδος συμβουλής. Συνήθως ακολουθούν αυτό που συζητείται. Οι παρατηρήσεις αναλύουν λεπτομερώς τις επιπλοκές που παρατηρούνται σε ορισμένους κανόνες του VMEbus και καθιστούν την προσοχή σε σημεία που θα πρέπει να μην περάσουν απαρατήρητα. Επίσης δίδουν το σκεπτικό ορισμένων κανόνων έτσι ώστε ο σχεδιαστής να κατανοήσει τον λόγο για τον οποίο θα πρέπει να ακολουθηθεί ένας κανόνας.

### **Καταστάσεις των γραμμών σημάτων**

Η προδιαγραφή του VMEbus περιγράφει τα πρωτόκολλα με όρους επιπέδων και μεταβάσεων στις γραμμές των διαύλων.

Μια γραμμή σήματος θεωρείται ότι βρίσκεται σε ένα από τα δύο επίπεδα ή στη μετάβαση μεταξύ των δύο επιπέδων. Όταν χρησιμοποιείται ο όρος "high" θεωρείται το υψηλό επίπεδο τάσης TTL. Ο όρος "low" αναφέρεται στο χαμηλό επίπεδο τάσης TTL. Μια γραμμή σήματος βρίσκεται "σε μετάβαση" όταν η τάση της μετακινείται μεταξύ των δύο αυτών επιπέδων.



Υπάρχουν δύο δυνατές μεταβάσεις που μπορούν να συμβούν σε μια γραμμή σήματος και αυτές ονομάζονται "ακμές". Η ακμή ανόδου είναι ο χρόνος κατά τον οποίο το επίπεδο ενός σήματος μεταβαίνει από το χαμηλό επίπεδο στο υψηλό. Η ακμή καθόδου είναι ο χρόνος κατά τον οποίο το επίπεδο ενός σήματος μεταβαίνει από το υψηλό στο χαμηλό.

Κάποιες από τις προδιαγραφές του διαύλου καθορίζουν τους ελάχιστους ή τους μέγιστους χρόνους μεταβάσεων για τις ακμές. Το πρόβλημα στο σημείο αυτό είναι ότι οι σχεδιαστές πλακετών έχουν πολύ μικρή ευχέρεια ελέγχου των χρόνων αυτών. Εάν η οπίσθια πλακέτα έχει μεγάλα φορτία τότε οι χρόνοι αυτοί μεγαλώνουν. Εφόσον είναι λιγότερο τότε οι χρόνοι αυτοί μειώνονται. Εάν και οι σχεδιαστές γνωρίζουν τους χρόνους αυτούς θα πρέπει να δαπανήσουν αρκετό χρόνο στα εργαστήρια πειραματιζόμενοι με οδηγούς των σημάτων που παρέχουν τους απαραίτητους χρόνους ανόδου-καθόδου.

Στην πραγματικότητα οι χρόνοι ανόδου-καθόδου είναι αποτέλεσμα πολύπλοκων αλληλεπιδράσεων που περιλαμβάνουν την χαρακτηριστική αντίσταση της γραμμής του σήματος στην οπίσθια πλακέτα, τον τερματισμό της, την χαρακτηριστική αντίσταση του σήματος οδήγησης και της χωρητικότητας της γραμμής. Για να μπορέσει ο σχεδιαστής να κατανοήσει όλους αυτούς τους παράγοντες θα πρέπει να έχει μελετήσει την θεωρία των γραμμών μεταφοράς όπως επίσης και πολλές από τις παραμέτρους των οδηγών και των δεκτών που υπάρχουν συνήθως στα φύλλα δεδομένων των κατασκευαστών.

Έχοντας γνώση όλων αυτών των πραγμάτων το VMEbus δεν θέτει περιορισμούς στους χρόνους ανόδου-καθόδου. Αντίθετα, καθορίζει τα ηλεκτρικά χαρακτηριστικά για τους οδηγούς και τους δέκτες και συστήνει τον τρόπο σχεδίασης της οπίσθιας πλακέτας. Επίσης δίδει τον τρόπο με τον οποίο η χειρότερη περίπτωση φόρτωσης του διαύλου επηρεάζει την καθυστέρηση μετάδοσης των οδηγών έτσι ώστε να εξασφαλίσει την τήρηση των κανόνων χρονισμού του VMEbus πριν την σχεδίαση μιας πλακέτας. Εάν οι σχεδιαστές τηρήσουν τις οδηγίες για την καθυστέρηση μετάδοσης οι πλακέτες τους θα είναι σε θέση να λειτουργήσουν αξιόπιστα με άλλες πλακέτες του VMEbus στις χειρότερες περιπτώσεις που μπορεί να υπάρξουν.

Π 1

## Συνδετήρες της οπίσθιας πλευράς του VMEbus και των πλακετών

### Συνδετήρας J1/P1

Ο παρακάτω πίνακας περιέχει τα ονόματα των σημάτων για τους ακροδέκτες J1/P1 (ο συνδετήρας αποτελείται από τρεις γραμμές που ονομάζονται σειρά a, b, και c)

Αριθμός ακροδέκτη	Ονομασία σήματος		
	Σειρά A	Σειρά B	Σειρά C
1	D00	BBSY	D08
2	D01	BCLR	D09
3	D02	ACFAIL	D10



Αριθμός ακροδέκτη	Όνομασία σήματος		
	Σειρά A	Σειρά B	Σειρά C
4	D03	BG0IN	D11
5	D04	BG0OUT	D12
6	D05	BG1IN	D13
7	D06	BG1OUT	D14
8	D07	BG2IN	D15
9	GND	BG2OUT	GND
10	SYSCLK	BG3IN	SYSFAIL
11	GND	BG3OUT	BERR
12	DS1	BR0	SYSRESET
13	DS0	BR1	LWORD
14	WRITE	BR2	AM5
15	GND	BR3	A23
16	AS	AM0	A22
17	GND	AM1	A21
18	IACK	AM2	A20
19	IACKIN	AM3	A10
20	IACKOUT	GND	A18
21	AM4	SERCLK	A17
22	A07	SERDAT	A16
23	A06	GND	A15
24	A05	IRQ7	A14
25	A04	IRQ6	A13
26	A03	IRQ5	A12
27	A02	IRQ4	A11
28	A01	IRQ3	A10
29	-12V	IRQ2	A09
30	+5V	IRQ1	A08
31		+5V STDBY	+12V
32		+5V	+5V

### Συνδετήρας J2/P2

Ο παρακάτω πίνακας περιέχει τα ονόματα των σημάτων για τους ακροδέκτες J2/P2 (ο συνδετήρας αποτελείται από τρεις γραμμές που ονομάζονται σειρά a, b, και c.



Αριθμός ακροδέκτη	Ονομασία σήματος		
	Σειρά A	Σειρά B	Σειρά C
1	Καθοριζόμενα από το χρήστη	+5V	Καθοριζόμενα από το χρήστη
2		GND	
3		RESERVED	
4		A24	
5		A25	
6		A26	
7		A27	
8		A28	
9		A29	
10		A30	
11		A31	
12		GND	
13		+5V	
14		D16	
15		D17	
16		D18	
17		D19	
18		D20	
19		D21	
20		D22	
21		D23	
22		GND	
23		D24	
24		D25	
25		D26	
26		D27	
27		D28	
28		D29	
29		D30	
30		D31	
31		GND	
32		+5V	

Π 1



## Περιγραφή των σημάτων των συνδετήρων του VMEbus

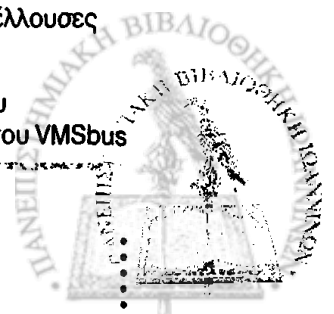
Ο παρακάτω πίνακας περιέχει τη μνημονική ονομασία των σημάτων του VMEbus και περιγράφει τα χαρακτηριστικά τους.

Μνημονικό σήματος	Ονομασία σήματος και περιγραφή
A01-A15	ADDRESS BUS (bits 1-15) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για την εκπομπή σύντομης, κανονικής ή εκτεταμένης διεύθυνσης
A16-A23	Δίαυλος διευθύνσεων (bits 16-23) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με τις A01-A15 για την εκπομπή κανονικής ή εκτεταμένης διεύθυνσης
A24-A31	Δίαυλος διευθύνσεων (bits 24-31) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με τις A01-A23 για την εκπομπή εκτεταμένης διεύθυνσης
ACFAIL	AC FAILURE (βλάβη τροφοδοσίας): Ένα οδηγούμενο σήμα ανοιχτού συλλέκτη που υποδεικνύει την απώλεια της παροχής τροφοδοσίας από την γραμμή AC ή ότι τα επίπεδα της τάσης εισόδου δεν είναι τα πρόβοντα
AM0-AM5	ADDRESS MODIFIER (bits 0-5) (προσδιοριστές διευθύνσεων): Γραμμές οδηγούμενες με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για την μετάδοση πληροφοριών όπως το μέγεθος της διεύθυνσης, τον τύπο του κύκλου, και-ή την ταυτότητα του MASTER
AS	ADDRESS STROBE (ύπαρξη διεύθυνσης): Μια οδηγούμενη γραμμή με δυνατότητα τρίτης κατάστασης που υποδηλώνει την ύπαρξη έγκυρης διεύθυνσης στο δίαυλο διευθύνσεων
BBSY	BUS BUSY (απασχολημένος δίαυλος): Μια γραμμή ανοιχτού συλλέκτη που οδηγείται στο low από τον τρέχοντα MASTER για να υποδείξει την χρήση του διαύλου. Όταν ο MASTER απελευθερώσει τη γραμμή αυτή με την ακμή ανόδου στο σήμα αυτό έχει ως αποτέλεσμα ο διαιτητής να ελέγξει τις γραμμές παραχώρησης του διαύλου και να παραχωρήσει το δίαυλο στον αιτούντα με την υψηλότερη προτεραιότητα
BCLR	BUS CLEAR (απαίτηση ελευθέρωσης διαύλου): Ένα σήμα τύπου totem-pole που δημιουργείται από το διαιτητή για να δηλώσει την απαίτηση του διαύλου από αιτούντα υψηλότερης προτεραιότητας. Το σήμα αυτό απείττει από τον τρέχοντα MASTER την απελευθέρωση του διαύλου DTB
BERR	BUS ERROR (λάθος διαύλου): Ένα σήμα ανοικτού συλλέκτη που δημιουργείται από τον SLAVE ή από τον επιτηρητή του διαύλου. Το σήμα αυτό υποδεικνύει στον MASTER την μη ολοκλήρωση της μεταφοράς δεδομένων
BG0IN-BG3IN	BUS GRANT (0-3) IN (είσοδος παραχώρησης διαύλου 0-3): Είναι σήματα τύπου totem-pole που δημιουργούνται από τον διαιτητή και τους αιτούντες. Οι εισόδοι και οι έξοδοι παραχώρησης του διαύλου αποτελούν την αλυσιδωτή σύνδεση της παραχώρησης του διαύλου. Το σήμα εισόδου παραχώρησης του διαύλου υποδεικνύει σε μια πλακέτα που το λαμβάνει ότι μπορεί να χρησιμοποιήσει το δίαυλο DTB
BG0OUT-BG3OUT	BUS GRANT (0-3) OUT (έξοδος παραχώρησης διαύλου 0-3): Είναι σήματα τύπου totem-pole που δημιουργούνται από τους αιτούντες. Το σήμα εξόδου παραχώρησης του διαύλου υποδεικνύει στην επόμενη πλακέτα της αλυσιδωτής σύνδεσης ότι μπορεί να χρησιμοποιήσει το δίαυλο DTB





Μνημονικό σήματος	Όνομασία σήματος και περιγραφή
BR0-BR3	BUS REQUEST (0-3) (αιτήσεις παραχώρησης διαύλου 0-3): Είναι σήματα ανοικτού συλλέκτη που δημιουργούνται από τους αιτούντες. Η ύπαρξη χαμηλού σήματος σε μια από αυτές τις γραμμές σημαίνει ότι κάποιος άλλος MASTER αιτείται τη χρήση του διαύλου DTB
D00-D31	DATA BUS (δίαυλος δεδομένων): Αμφίδρομες γραμμές δεδομένων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για τις μεταφορές δεδομένων μεταξύ MASTERS και SLAVES.
DS0, DST	DATA STROBE ZERO, ONE (ύπαρξη δεδομένων μηδέν και ένα): Γραμμές με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με το LWORD και το A01 για να προσδιορίσουν τον αριθμό των bytes που θα μεταφερθούν (1, 2, 3 ή 4). Κατά τη διάρκεια του κύκλου εγγραφής το μέτωπο καθόδου του πρώτου σήματος ύπαρξης δεδομένων υποδηλώνει την ύπαρξη έγκυρων δεδομένων στο δίαυλο δεδομένων. Στον κύκλο ανάγνωσης το μέτωπο ανόδου της πρώτης γραμμής ύπαρξης δεδομένων υποδηλώνει ότι τα δεδομένα έχουν αποδεχθεί από το δίαυλο δεδομένων
DTACK	DATA TRANSFER ACKNOWLEDGE (επιβεβαίωση μεταφοράς δεδομένων): Είναι σήμα ανοικτού συλλέκτη που οδηγείται από τον SLAVE. Το μέτωπο καθόδου στο σήμα αυτό κατά τον κύκλο ανάγνωσης σηματοδοτεί την ύπαρξη έγκυρων δεδομένων επάνω στο δίαυλο δεδομένων ή ότι τα δεδομένα έχουν γίνει αποδεκτά κατά τον κύκλο εγγραφής. Το μέτωπο ανόδου σηματοδοτεί την απελευθέρωση από την πλευρά του SLAVE του διαύλου δεδομένα στο τέλος του κύκλου ανάγνωσης
IACK	IACK ACKNOWLEDGE (επιβεβαίωση διακοπής): Είναι σήμα ανοικτού συλλέκτη που οδηγείται από τον χειριστή διακοπών που επιβεβαιώνει την αίτηση διακοπής. Είναι συνδεδεμένο μέσω μιας γραμμής της οπίσθιας πλακέτας στον ακροδέκτη IACKIN της υποδοχής 1 και επιτηρείται από τον οδηγό της αλυσίδας επιβεβαίωσης διακοπής.
IACKIN	IACK ACKNOWLEDGE IN (είσοδος επιβεβαίωσης διακοπής): Είναι σήμα τύπου totem-pole. Τα σήματα IACKIN και IACKOUT είναι συνδεδεμένα αλυσιδωτά. Το σήμα IACKIN υποδηλώνει στην πλακέτα που το λαμβάνει ότι επιτρέπεται να αποκριθεί στον κύκλο επιβεβαίωσης διακοπής που βρίσκεται σε εξέλιξη.
IACKOUT	IACK ACKNOWLEDGE OUT (έξοδος επιβεβαίωσης διακοπής): Είναι σήμα τύπου totem-pole. Τα σήματα IACKIN και IACKOUT είναι συνδεδεμένα αλυσιδωτά. Το σήμα IACKOUT αποστέλλεται από το μια πλακέτα για να υποδηλώσει στην επόμενη πλακέτα της αλυσιδωτής σύνδεσης ότι επιτρέπεται να αποκριθεί στον κύκλο επιβεβαίωσης διακοπής που βρίσκεται σε εξέλιξη.
IRQ1-IRQ7	INTERRUPT REQUEST (1-7) (αιτήσεις διακοπής 1-7): Σήματα ανοικτού συλλέκτη που δημιουργούνται από τον διακόπτοντα που μεταφέρει τις αιτήσεις διακοπών. Όταν επιτηρούνται πολλές γραμμές από τον χειριστή διακοπών η γραμμή με τον μεγαλύτερο αριθμό έχει την μεγαλύτερη προτεραιότητα
LWORD	Ένα σήμα με δυνατότητα μεταγωγής σε τρίτη κατάσταση το οποίο χρησιμοποιείται σε συνδυασμό με τα DS0, DST και A01 για να επιλέξει ποια bytes από την ομάδα των 4 bytes θα προσπελαστούν κατά την μεταφορά δεδομένα
RESERVED	RESERVED (δεσμευμένο): Το σήμα αυτό έχει δεσμευτεί για τις μέλλουσες επεκτάσεις του VMEbus και δεν θα πρέπει να χρησιμοποιείται
SERCLK	SERIAL CLOCK (σειριακό ρολόι): Ένα σήμα τύπου totem-pole που χρησιμοποιείται για τον συγχρονισμό της μεταφοράς δεδομένων του VMSbus



**Μνημονικό σήματος****Όνομασία σήματος και περιγραφή**

<b>SERDAT</b>	<b>SERIAL DATA</b> (σειριακά δεδομένα): Σήμα ανοικτού συλλέκτη που χρησιμοποιείται για την μετάδοση δεδομένων από το VMSbus
<b>SYSCLK</b>	<b>SYSTEM CLOCK</b> (ρολόι συστήματος): Ένα σήμα τύπου totem-pole που παρέχει ωρολογιακούς παλμούς των 16MHz και είναι ανεξάρτητο από κάθε άλλο χρονισμό του διαύλου
<b>SYSFAIL</b>	<b>SYSTEM FAIL</b> (βλάβη συστήματος): Μια γραμμή ανοικτού συλλέκτη που υποδηλώνει τη βλάβη στη λειτουργία του συστήματος. Αυτό το σήμα μπορεί να δημιουργηθεί από οποιαδήποτε πλακέτα του VMEbus
<b>SYSRESET</b>	<b>SYSTEM RESET</b> (επαναφορά συστήματος): Ένα σήμα ανοικτού συλλέκτη που όταν βρίσκεται σε κατάσταση low επαναφέρει το σύστημα
<b>WRITE</b>	<b>WRITE</b> (εγγραφή): Ένα σήμα ανοικτού συλλέκτη που δημιουργείται από τον MASTER για να υποδηλώσει κύκλο είτε εγγραφής είτε ανάγνωσης. Όταν βρίσκεται σε υψηλό επίπεδο υποδηλώνει κύκλο ανάγνωσης ενώ όταν βρίσκεται σε χαμηλό επίπεδο υποδηλώνει κύκλο εγγραφής.
<b>+5V STDBY</b>	<b>+5V dc STANDBY</b> (γραμμή τροφοδοσίας αναμονής +5V): Αυτή η γραμμή τροφοδοτεί με +5Vdc τις συσκευές που απαιτούν εφεδρική μπαταρία
<b>+5V</b>	<b>+5Vdc POWER</b> (Τροφοδοσία +5V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος
<b>+12V</b>	<b>+12Vdc POWER</b> (Τροφοδοσία +12V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος
<b>-12V</b>	<b>-12Vdc POWER</b> (Τροφοδοσία -12V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος



## Παράρτημα 2 Πρότυπο NIM

- Στο παράρτημα αυτό δίδεται μια σύντομη περιγραφή του προτύπου NIM που χρησιμοποιείται στα πειράματα της Πυρηνικής Φυσικής.

### Γενικά

Το πρότυπο NIM (DOE/ER-0457), που τα αρχικά του αποτελούν το ακρωνύμιο Nuclear Instrumentation Methods, δημιουργήθηκε το 1964 για να εξυπηρετήσει τις ανάγκες των πειραμάτων της Πυρηνικής Φυσικής και της Φυσικής Υψηλών Ενεργειών. Ο σκοπός του προτύπου αυτού όταν κατασκευάστηκε, ήταν η προώθηση ενός συστήματος που θα επέτρεπε την ανταλλαγή διαφόρων μονάδων. Ακόμα και οι σημερινοί ερευνητές χρησιμοποιούν μονάδες NIM για τη συναρμολόγηση συστημάτων.

### Προδιαγραφές

Σύμφωνα με το πρότυπο NIM, οι ηλεκτρονικές μονάδες κατασκευάζονται με συγκεκριμένες διαστάσεις. Το ύψος των μονάδων καθορίζεται στις 8.75inch και το πλάτος είναι πολλαπλάσιο των 1.35inch. Μονάδες με πλάτος 1.35inch ονομάζονται "απλού πλάτους", μονάδες με πλάτος 2.7inch ονομάζονται "διπλού πλάτους" κτλ. Το crate του NIM έχει σχεδιαστεί σε μια βάση, την EIA 19inch, παρέχοντας θέσεις για 12 μονάδες απλού πλάτους. Οι τροφοδοσίες που συνήθως παρέχει το crate του προτύπου αυτού είναι των +6V, -6V, +12V, -12V, +24V και -24V. Το NIM παρέχει επίσης αναλογικά και ψηφιακά σήματα. Το πλάτος των αναλογικών σημάτων κυμαίνεται από 0 έως 1V για ολοκληρωμένα κυκλώματα, από 0 έως 10V για κυκλώματα με τρανζίστορ και από 0 έως 100V για κυκλώματα με λυχνίες κενού.

Το πρότυπο NIM καθορίζει επίσης και τρία σετ λογικών επιπέδων. Στην γρήγορη αρνητική λογική (fast-negative logic), η οποία αναφέρεται και ως λογική NIM, τα λογικά επίπεδα προσδιορίζονται από την περιοχή των ρευμάτων. Από τη στιγμή που το πρότυπο απαιτεί σύνθετη αντίσταση εισόδου/εξόδου 50Ω, αυτές οι περιοχές ρεύματος αντιστοιχούν σε τάσεις των 0V και -0.8V για το λογικό μηδέν "0" και το λογικό ένα "1" αντίστοιχα. Αυτά τα κυκλώματα της γρήγορης αρνητικής λογικής μπορούν να παρέχουν σήματα NIM με χρόνο ανόδου της τάξης του 1nsec. Μια άλλη ομάδα αλογικών επιπέδων είναι αυτή της αργής θετικής λογικής (slow-positive logic). Σε αυτή τη λογική το επίπεδο "1" καθορίζεται μεταξύ +4V και +12V ενώ το επίπεδο "0" καθορίζεται μεταξύ +1V έως -2V. Αυτή η λογική δεν χρησιμοποιείται συχνά λόγω των αργών χρόνων ανόδων των παλμών που παρέχει. Τέλος στο πρότυπο



NIM εισήχθησαν και τα χαρακτηριστικά των σημάτων ECL (emitter coupled logic), τα οποία είναι και αυτά γρήγορα. Στην περίπτωση αυτή το λογικό "0" αντιστοιχεί σε  $-0.8V$  και το λογικό "1" σε  $-1.6V$ .



## Παράρτημα 3

### Ολοκληρωμένα προγραμματιζόμενης λογικής

.....

- Στο παράρτημα αυτό γίνεται μια σύντομη αναφορά στα είδη των ολοκληρωμένων προγραμματιζόμενης λογικής, στο λογισμικό που χρησιμοποιείται για τον προγραμματισμό τους, τα βήματα που ακολουθούνται κατά τη σχεδίαση καθώς επίσης και στον τρόπο προγραμματισμού τους.

#### Λογισμικό ανάπτυξης εφαρμογών με ολοκληρωμένα προγραμματιζόμενης λογικής

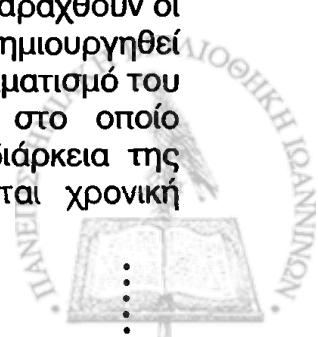
Η εταιρία XILINX σε συνεργασία με την εταιρία Aldec έχουν αναπτύξει ένα ολοκληρωμένο και ενιαίο πρόγραμμα CAD (Computer Aided Design) για τον προγραμματισμό των ολοκληρωμένων CPLDs και FPGAs. Για κάθε μια από τις παραπάνω οικογένειες χρησιμοποιείται διαφορετική ροή προγραμματισμού που οφείλεται στην διαφορετική εσωτερική δομή τους.

#### Ροή προγραμματισμού για FPGAs

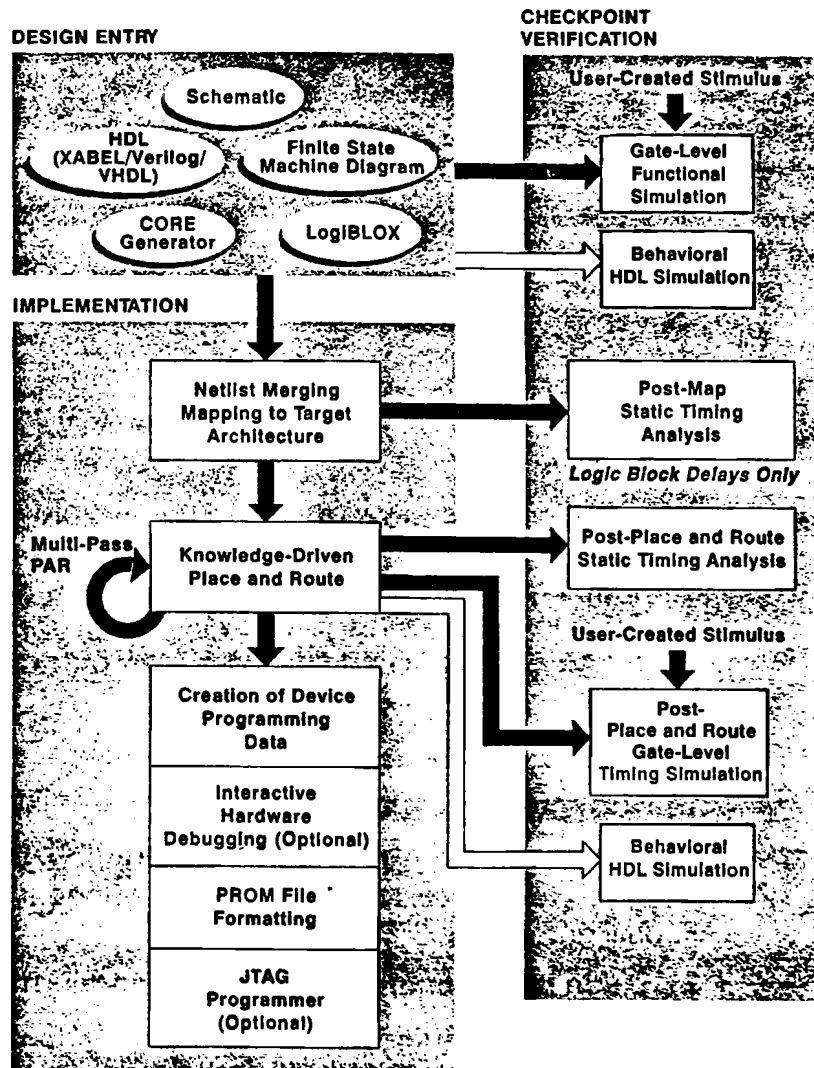
Στο σχ. 90 φαίνεται η ροή προγραμματισμού για FPGA. Η σχεδίαση μπορεί να γίνει με τρεις διαφορετικές μεθόδους ή με συνδυασμό των μεθόδων αυτών. Αυτοί είναι:

- Σχεδίαση με τη χρήση σχηματικού διαγράμματος
- Σχεδίαση με τη χρήση γλώσσας περιγραφής υλικού (HDL: Hardware Description Language όπως ABEL, VERILOG, VHDL)
- Σχεδίαση με τη χρήση διαγραμμάτων μηχανών πεπερασμένων καταστάσεων (FSM: Finite State Machines)

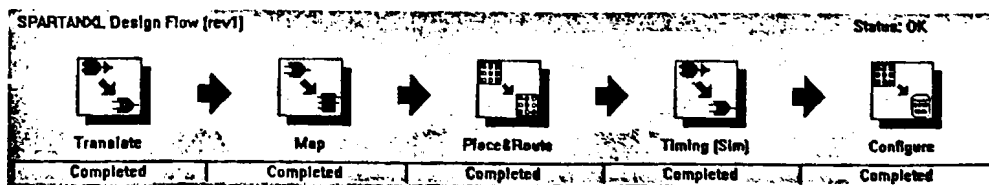
Στην συνέχεια πραγματοποιείται η λειτουργική προσομοίωση του σχεδίου σε επίπεδο λογικής (Functional Simulation). Το επόμενο βήμα είναι η υλοποίηση (Implementation) του σχεδίου, δηλαδή η μετατροπή του σχεδίου σε κώδικα προγραμματισμού με τον οποίο θα προγραμματιστεί το FPGA. Αυτό γίνεται αφού πρώτα γίνει μετάφραση της λίστας διασύνδεσης (netlist translation), γίνει η αντιστοίχιση της λογικής του σχεδίου με τους ακροδέκτες του FPGA (mapping), γίνεται η τοποθέτηση και διασύνδεση (placing & routing) των στοιχείων που απαιτούνται για την υλοποίηση της λογικής στο FPGA, να παραχθούν οι χρονικές καθυστερήσεις που υπεισέρχονται (timing) και να δημιουργηθεί το κατάλληλο αρχείο λογικής (configuring) για τον προγραμματισμό του FPGA. Η παραπάνω διαδικασία φαίνεται στο σχ. 91 στο οποίο απεικονίζεται το παράθυρο που εμφανίζεται κατά την διάρκεια της υλοποίησης του σχεδίου. Στη συνέχεια πραγματοποιείται χρονική



προσομοίωση (timing simulation) του σχεδίου. Σε αυτό το σημείο πέρα από τον έλεγχο της λειτουργίας του FPGA ελέγχονται και οι χρονικές καθυστερήσεις των σημάτων εισόδου και εξόδου. Το τελευταίο βήμα είναι ο προγραμματισμός του FPGA, ο οποίος πραγματοποιείται με τη μεταφορά του αρχείου λογικής που παράχθηκε έπειτα από την υλοποίηση της λογικής του FPGA.



σχ. 90. Ολοκληρωμένο διάγραμμα ροής για την σχεδίαση με FPGA

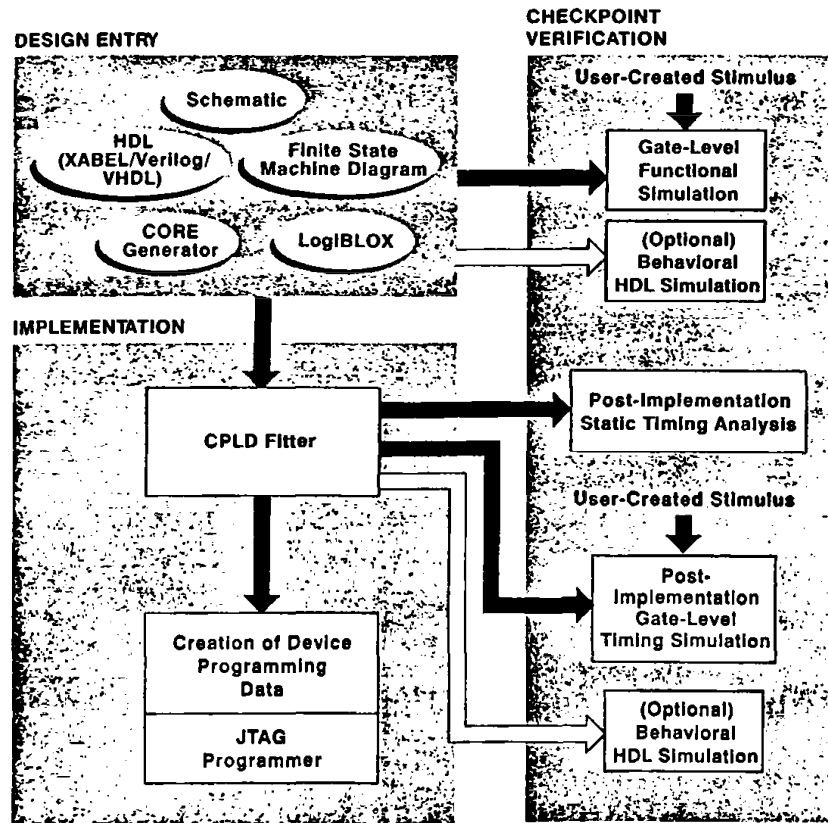


σχ. 91. Βήματα υλοποίησης για FPGA

### Ροή προγραμματισμού για CPLDs

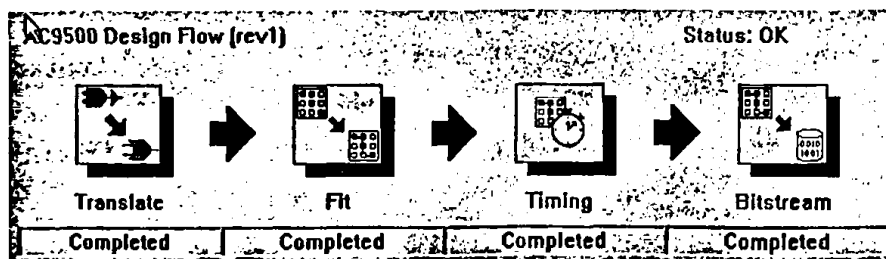
Η ροή για τον προγραμματισμό ενός CPLD είναι σε γενικές γραμμές παρόμοια με εκείνη για τον προγραμματισμό ενός FPGA. Όπως φαίνεται από το σχ. 93 οι μέθοδοι που ακολουθούνται για τη σχεδίαση με CPLDs είναι ίδιες με αυτές των FPGA. Στην συνέχεια πραγματοποιείται η

λειτουργική προσομοίωση (functional simulation) του σχεδίου σε επίπεδο πυλών μέσω της οποίας επιβεβαιώνεται η σωστή λειτουργία του σχεδίου. Η διαδικασία της υλοποίησης αποτελεί το επόμενο βήμα στο οποίο διαφοροποιείται η διαδικασία προγραμματισμού ενός CPLD από ένα FPGA. Αυτό είναι λογικό αφού σε αυτό το σημείο παράγεται το η λογική με την οποία προγραμματίζονται τα ολοκληρωμένα, των οποίων η εσωτερική δομή είναι τελείως διαφορετική. Έτσι για το CPLD κατά την διαδικασία αυτή γίνεται μετάφραση της λίστας διασύνδεσης, η τοποθέτηση της λογικής στο CPLD, η παραγωγή των χρονικών καθυστερήσεων μεταξύ σημάτων εισόδου και εξόδου και παραγωγή του αρχείου λογικής (bitstream) με το οποίο πρόκειται να προγραμματιστεί το CPLD.



Π 3

σχ. 92. Ολοκληρωμένο διάγραμμα ροής για την σχεδίαση με CPLD

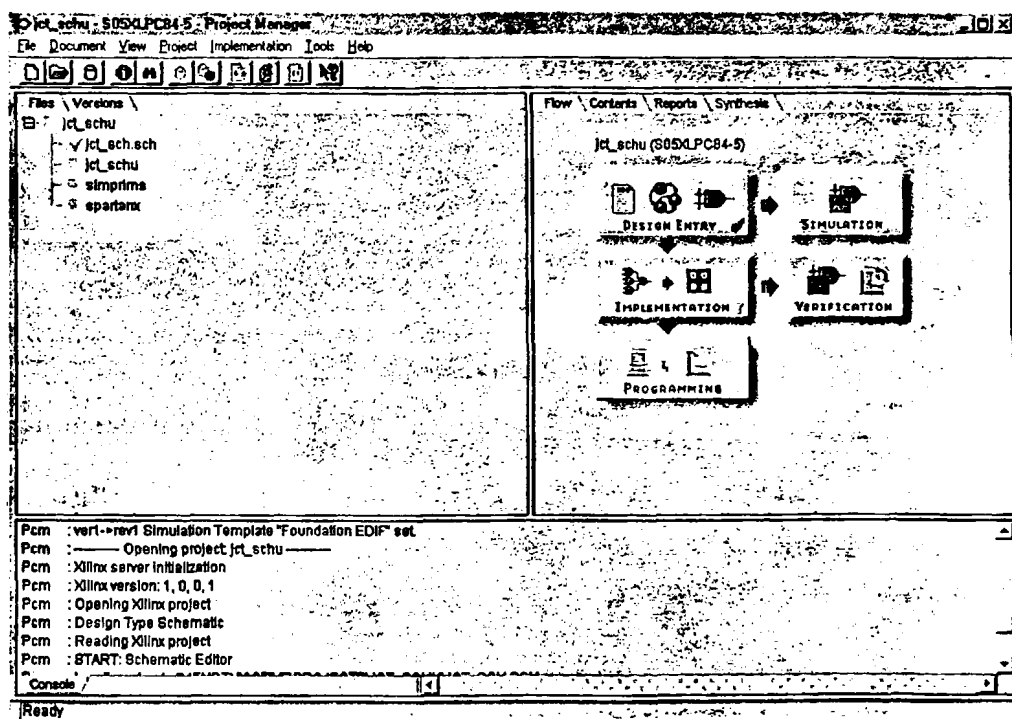


σχ. 93. Βήματα υλοποίησης για CPLD

Στο σχ. 93 απεικονίζονται οι τα στάδια της υλοποίησης. Το επόμενο βήμα είναι η χρονική προσομοίωση με την οποία πέρα από την λειτουργία του σχεδίου φαίνονται και οι χρονικές καθυστερήσεις μεταξύ σημάτων

είσοδου και εξόδου. Το τελευταίο βήμα είναι ο προγραμματισμός του CPLD με το αρχείο λογικής που δημιουργήθηκε κατά την διαδικασία της υλοποίησης.

Η επιλογή των παραπάνω διαδικασιών γίνεται εύκολα μέσω του γραφικού περιβάλλοντος του Xilinx Foundation Series και του διαχειριστή εργασιών (Project Manager) όπως φαίνεται στο σχ. 94.



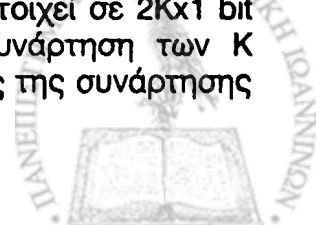
σχ. 94. Διαχειριστής εργασιών

## Αρχιτεκτονική ολοκληρωμένων προγραμματιζόμενης λογικής

### Αρχιτεκτονική των FPGAs

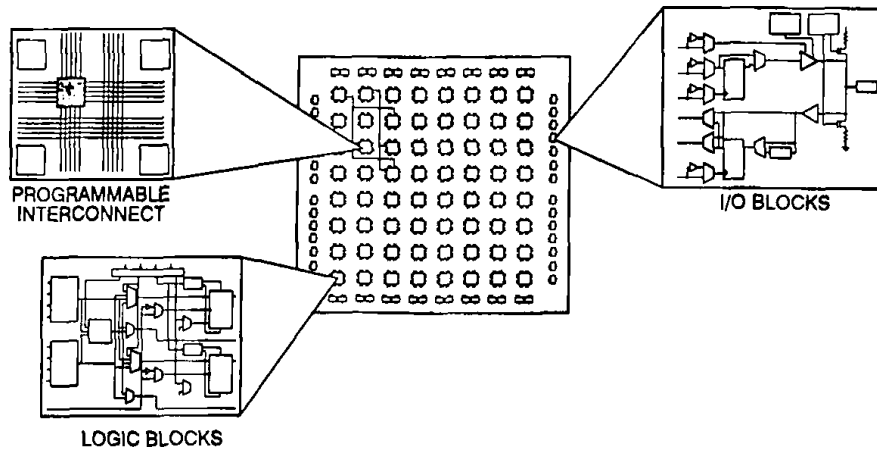
Η βασική δομή των FPGAs της XILINX αποτελείται από διδιάστατη παράταξη λογικών μονάδων οι οποίες μπορούν να διασυνδεθούν μεταξύ τους μέσω κάθετων και οριζόντιων καναλιών. Η XILINX εισήγαγε το 1985 την πρώτη οικογένεια FPGA, την οποία ονόμασε XC2000, και μέχρι σήμερα προσφέρει πέντε ακόμα: XC3000, XC4000, XC5000, VIRTEX και SPARTAN. Η ανάλυση της αρχιτεκτονικής των FPGAs της XILINX επικεντρώνεται στην σειρά XC4000 καθώς είναι σχετικά καινούρια και ευρέως χρησιμοποιούμενη. Η πυκνότητα της σειράς αυτής κυμαίνεται από 2000 έως 15000 πύλες ανά ολοκληρωμένο.

Η XC4000 (σχ. 95) χαρακτηρίζεται από λογικές δομές που ονομάζονται Configurable Logic Blocks (CLBs) των οποίων η λειτουργία βασίζεται στα LTUs (Look Up Tables). Το LTU είναι ένας πίνακας μνήμης του ενός bit και περιέχεται σε ένα CLB. Οι γραμμές διεύθυνσης της μνήμης, δηλαδή του LTU, είναι είσοδοι του CLB και το bit εξόδου της μνήμης είναι η έξοδος του LTU. Έτσι ένα LTU με K εισόδους αντιστοιχεί σε  $2K \times 1$  bit μνήμης και πραγματοποιεί οποιαδήποτε λογική συνάρτηση των K εισόδων του προγραμματίζοντας τον πίνακα αληθείας της συνάρτησης

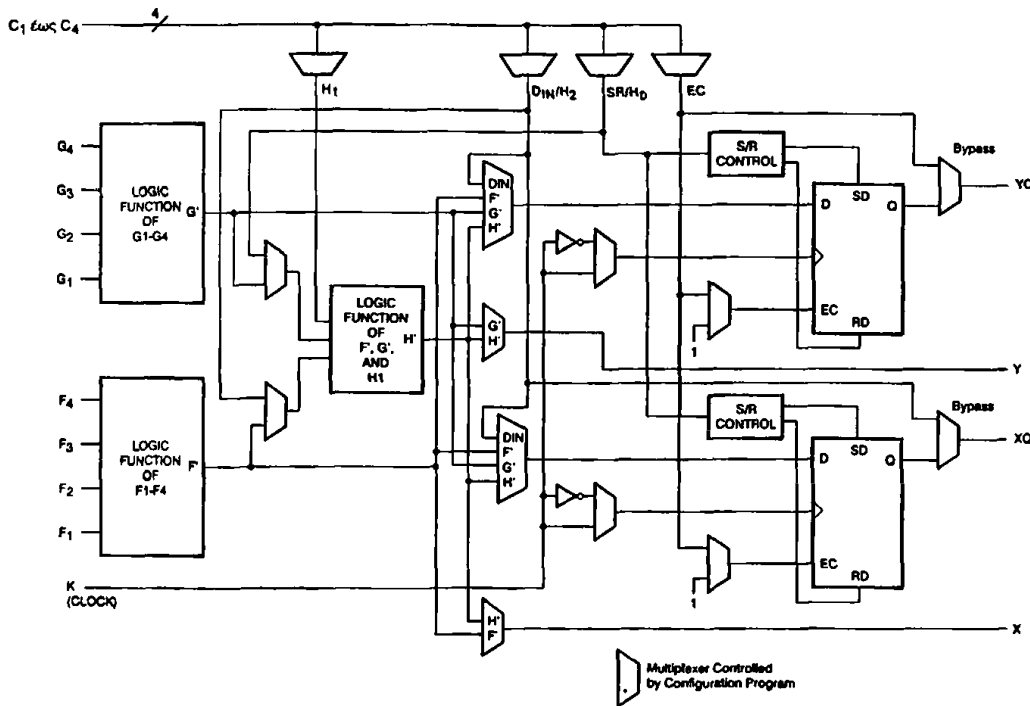




κατευθείαν μέσα στην μνήμη. Ένα CLB της σειράς XC4000 περιέχει τρία ξεχωριστά LTUs, στη διάταξη που φαίνεται στο σχ. 96. Υπάρχουν δύο LTUs με τέσσερις εισόδους, των οποίων οι εισοδοί είναι εισοδοί του CLB, ένα τρίτο LTU το οποίο χρησιμοποιείται σε συνδυασμό με τα προηγούμενα δύο. Με αυτή την διάταξη επιτρέπεται στο CLB να εκτελεί μεγάλη ποικιλία λογικών συναρτήσεων μέχρι και εννέα εισόδων, δύο ξεχωριστές συναρτήσεις των τεσσάρων εισόδων ή οποιοδήποτε άλλο συνδυασμό. Τέλος κάθε CLB περιέχει δύο flip-flops.



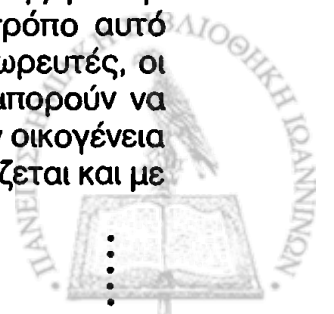
σχ. 95. Αρχιτεκτονική FPGA



Π 3

σχ. 96. Απλοποιημένο διάγραμμα ενός CLB της οικογένειας XC4000

Τα XC4000 πέρα από την μεγάλη πυκνότητα παρέχουν και άλλες δυνατότητες. Κάθε CLB περιέχει κύκλωμα αριθμητικής λογικής για την γρήγορη παραγωγή των σημάτων κρατούμενου. Με τον τρόπο αυτό λειτουργούν καλύτερα οι αθροιστές, οι αφαιρέτες, οι συσσωρευτές, οι συγκριτές και οι μετρητές. Επίσης τα LTUs σε κάθε CLB μπορούν να προγραμματιστούν ως Read/Write RAM μονάδες. Ειδικά στην οικογένεια XC4000E υπάρχει επιπρόσθετη δυνατότητα η RAM να καθορίζεται και με



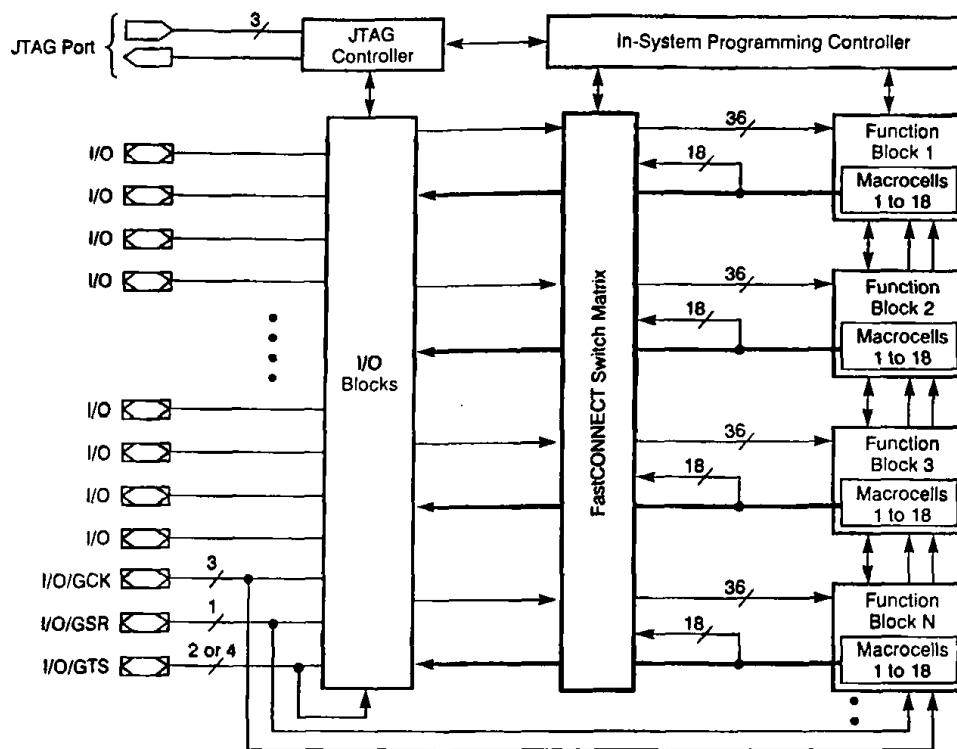
δύο πόρτες (dual port RAM). Τέλος κάθε ολοκληρωμένο XC4000 περιέχει μεγάλα κομμάτια από πύλες AND στην περιφέρεια κάθε λογικής δομής με τα οποία εκτελούνται λογικές όπως οι αποκωδικοποιήσεις.

Πέρα από την λογική μια άλλη ιδιότητα που χαρακτηρίζει ένα FPGA είναι η δομή που έχει για τις εσωτερικές διασυνδέσεις. Στην οικογένεια XC4000 οι διασυνδέσεις αυτές εκτελούνται μέσω οριζόντιων και κάθετων καναλιών. Κάθε κανάλι περιέχει γραμμές που συνδέουν ένα CLB, μεγαλύτερες γραμμές που συνδέουν δύο CLBs και πολύ μεγάλες γραμμές που συνδέουν όλο το μήκος ή το πλάτος του ολοκληρωμένου. Για την σύνδεση των CLBs με τις γραμμές ή μεταξύ των γραμμών χρησιμοποιούνται προγραμματιζόμενοι διακόπτες όπου το CLB που βρίσκεται πάνω αριστερά συνδέεται με το CLB που βρίσκεται κάτω δεξιά. Ένα σημαντικό σημείο είναι ότι οι γραμμές πρέπει να περάσουν από διακόπτες προκειμένου να ενωθούν δύο CLBs. Έτσι η ταχύτητα ενός κυκλώματος που εκτελείται από ένα FPGA εξαρτάται από τον τρόπο με τον οποίο οι γραμμές διανέμονται στα διαφορά σήματα από τα πακέτα CAD (Circuit Aided Designs).

### Αρχιτεκτονική των CPLDs

Η XILINX προσφέρει και μια ποικιλία από CPLDs όπως την οικογένεια XC7200 και την πιο πρόσφατη XC9500. Τα CPLDs αποτελούνται από function blocks (FBs), τα οποία συνδέονται μεταξύ τους μέσω διακοπών. Οι διακόπτες αυτοί είναι τρανζίστορ που ενώνονται μεταξύ δύο γραμμών σχηματίζοντας διατάξεις wired-AND. Μια είσοδος στην διάταξη αυτή οδηγεί το product wire σε λογικό επίπεδο low μέσω του τρανζίστορ, όταν αυτή χρησιμοποιείται από το πρόγραμμα με το οποίο προγραμματίζεται το CPLD. Για τις εισόδους που δεν χρησιμοποιούνται τα αντίστοιχα τρανζίστορ παραμένουν κλειστά. Η XC95000 είναι η πιο διαδεδομένη οικογένεια της XILINX. Κάθε CPLD της οικογένειας αυτής αποτελείται από FBs, I/O Blocks και προγραμματιζόμενους διακόπτες (FastConnect switch matrix). Κάθε FB παρέχει προγραμματιζόμενη λογική με 36 εισόδους και 18 εξόδους. Το FastConnect switch matrix ενώνει όλες τις εξόδους των FBs και τα σήματα εισόδου στις εισόδους των FBs, όπως φαίνεται στο σχ. 97. Για κάθε FB 12 έως 18 έξοδοι, ανάλογα με τον αριθμό των ακροδεκτών, ενώνονται απευθείας με τα I/O Blocks.





σχ. 97. Αρχιτεκτονική XC9500.

Η οικογένεια XC9500 παρέχει ολοκληρωμένα πυκνότητας 800 έως 6400 πύλες χρησιμοποιώντας 36 έως 288 macrocells, επιτρέπει εκ των προτέρων προσδιορισμό των χρησιμοποιούμενων ακροδεκτών κατά τον προγραμματισμό, παρέχει προγραμματιζόμενους ακροδέκτες γείωσης για την μείωση του θορύβου και επιτυγχάνει μέχρι και 5ns καθυστέρηση μεταξύ δύο ακροδεκτών. Τέλος τα I/O Blocks είναι δυνατό να λειτουργήσουν είτε σε 5V είτε σε 3.3V, κάνοντας το CPLD συμβατό με συστήματα που λειτουργούν με 5V ή με 3.3V.

Π 3

## Προγραμματισμός ολοκληρωμένων προγραμματιζόμενης λογικής.

### Προγραμματισμός FPGA.

Ο προγραμματισμός ενός FPGA γίνεται με δύο τρόπους. Ο πρώτος πραγματοποιείται με την χρήση μιας σειριακής μνήμης PROM (Bit-Serial Configuration) και απαιτείται περίπου 1 microsecond για κάθε bit προγράμματος. Για τον προγραμματισμό ενός FPGA απαιτούνται από 14819 bits για το μικρότερο FPGA (XC3020) έως 2797040 bits για το μεγαλύτερο (XC40125XV). Κατά συνέπεια ο χρόνος προγραμματισμού κυμαίνεται από μερικά milliseconds έως μερικές εκατοντάδες milliseconds. Ο δεύτερος τρόπος γίνεται μέσω παράλληλης μνήμης PROM ή ενός επεξεργαστή (Byte Parallel Configuration) και είναι πολύ πιο γρήγορος από τον σειριακό τρόπο.

Η επιλογή του τρόπου προγραμματισμού επιλέγεται μέσω τριών ακροδεκτών, των M0, M1 και M2. Στον πίνακα 9 φαίνονται οι τρόποι προγραμματισμού για τους συνδυασμούς των M0, M1 και M2. Για τον

προγραμματισμό ενός FPGA χρησιμοποιείται το καλώδιο XChecker το οποίο προγραμματίζει σε Slave Serial Mode ( $\langle M0, M1, M2 \rangle = \langle 1, 1, 1 \rangle$ ). Σε αυτή την κατάσταση το FPGA δέχεται σειριακά τα δεδομένα προγραμματισμού στην ακμή ανόδου του CCLK (Configuration Clock).

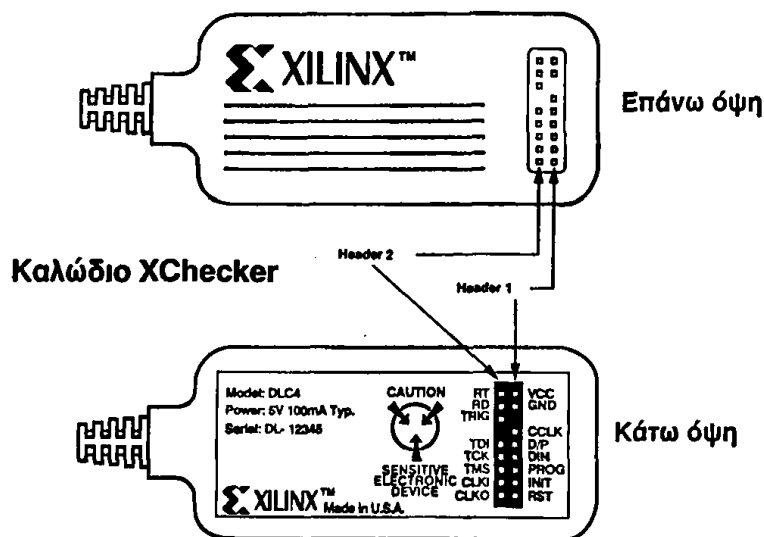
Πίνακας 9. Τρόποι προγραμματισμού

Mode	M2	M1	M0	CCLK	Data
Master serial	0	0	0	output	Bit-serial
Slave serial	1	1	1	input	Bit-serial
Master Parallel Up	1	0	0	output	Byte-wide increment from 00000
Master Parallel Down	1	1	0	output	Byte-Wide, decrement from 3FFFF
Peripheral Synchronous	0	1	1	input	Byte-Wide
Reserved	0	1	0	-	-
Reserved	0	0	1	-	-

Το καλώδιο XChecker χρησιμοποιείται για τον προγραμματισμό, την επαλήθευση και τον έλεγχο των λαθών του προγράμματος. Περιέχει κύκλωμα που αποτελείται από ένα FPGA, το οποίο λειτουργεί ως διεπαφή μεταξύ του software του XChecker και του FPGA που πρόκειται να προγραμματιστεί, μια Static RAM, στην οποία αποθηκεύονται τα δεδομένα για τον προγραμματισμό και τον έλεγχο του FPGA και ένα κύκλωμα ταλαντωτή μέσω του οποίου παρέχεται το ρολόι για τον χρονισμό του προγραμματισμού και του ελέγχου του FPGA. Το καλώδιο XChecker έχει 14 ακροδέκτες σημάτων επιπλέον των ακροδεκτών VCC και GND. Στο σχ. 98 φαίνονται το πάνω και το κάτω μέρος του XChecker ενώ στους πίνακα 10 και πίνακα 11 δίνονται οι ονομασίες των



ακροδεκτών του, οι συνδέσεις τους ανάλογα με την λειτουργία του XChecker και οι ορισμοί τους. Στα σχ. 99 έως σχ. 103 φαίνονται οι συνδεσμολογίες για τις διαφορές λειτουργίες του XChecker.



σχ. 98. Απεικόνιση καλωδίου XChecker.

Πίνακας 10. Ονομασία ακροδεκτών XChecker και συνδεσμολογία λειτουργίας.

Cable Header	Pin Name	Download	Verification	Synchronous Logic Probe	Asynchronous Logic Probe
1	VCC	X	X	X	X
1	GND	X	X	X	X
1	CCLK	X	X	X	X
1	D/P	X			
1	DIN	X			
1	PROG(XC4000 only)	X			
1	INIT(XC3000/XC4000 only)	X			
1	RST	Opt	Opt	Opt	Opt
2	RT		X	X	X
2	RD		X	X	X
2	TRIG			Opt	Opt
2	TDI				
2	TCK				
2	TMS				
2	CLKI			Opt	
2	CLKO			X	

X = Connect as specified in the "Cable Connections and Definitions" table. Opt = Optional

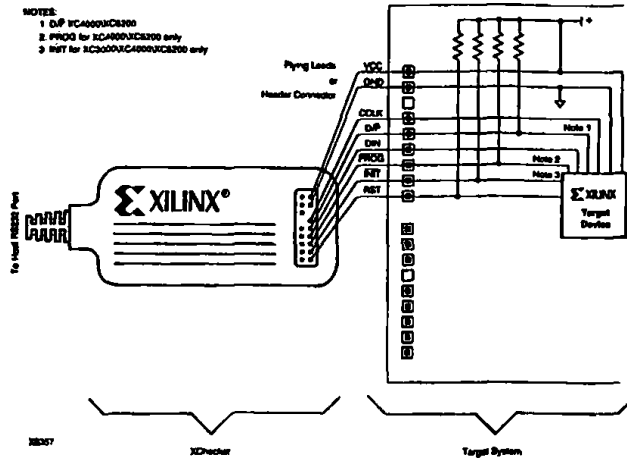


**Πίνακας 11. Ορισμοί ακροδεκτών XChecker**

Signal Name	Function	XC3000	XC4000	XC5200
VCC	Power - Supplies VCC to cable (5 V, 100 mA, typically)	Connect to target system.		
GND	Ground - Supplies ground reference to cable	Connect to target system ground.		
CCLK	Configuration Clock - Provides configuration clock to target system during configuration and readback	Connect to target system Configuration Clock. Ensure all devices are in slave serial mode if using download cable to download.		
D/P	Done/Program - Signals the end of configuration (For XC3000 devices, a High-to-Low transition on D/P coupled with a High to Low on Reset, causes the device to reprogram.)	Connect to D/P pin with a 10-50 kilohm pull-up resistor.	Connect to target system DONE pin and rely on internal 2-8 kilohm pull-up resistors.	
DIN	Data In - Provides configuration data to target system during configuration and is tristated at all other times	Connect to target system's lead device DIN pin.		
PROG 00 Only)	Program - 300ns or greater Low pulse causes device to reprogram (A Low indicates the device is clearing its configuration memory.)	N/A	Connect to target system PROG with 10-50 kilohm pull-up resistor.	
INIT	Initialize - Indicates start of configuration for XC3000/XC4000 parts. A logical zero on this pin during configuration indicates a data error	Connect to target system INIT with a 10-50 kilohm pull-up resistor.		
RST	Reset - During configuration, a Low pulse causes XC3000A devices to restart configuration. After configuration, this pin can drive Low to reset target FPGA internal latches and flip-flops. RST is the active high for XC4000/XC5200 devices	Connect to target FPGA RESET pin with 10-50 kilohm pull-up resistor.	User-programmable connection; requires a 10-50 kilohm pull-up resistor	
RT	Read Trigger - XChecker output. Hardware Debugger provides Low-to-High transition on RT to initiate readback	Connect to M0/RTRIG with 10-50 kilohm pull-up resistor.	User-programmable connection; requires 10-50 kilohm pull-up resistor	
RD	Read Data - XChecker input. Hardware Debugger receives the readback data through the RD pin after readback is initiated.	Connect to M1/RDATA through pull-up resistor in slave serial configuration mode; requires a 10-50 kilohm pull-up resistor if using I/O pad as input or output	User-programmable connection; requires 10-50 kilohm pull-up resistor if using I/O pad as input or output	
TRIG	System Trigger - XChecker input. High on this pin signals the XChecker electronics to initiate a readback and causes the RT pin to go High	Connect to target system readback trigger and to an external pin if using an external signal to trigger readback.		
TDITC KTMS	Reserved (These pins can be used for JTAG Programmer device configuration.)	N/A		

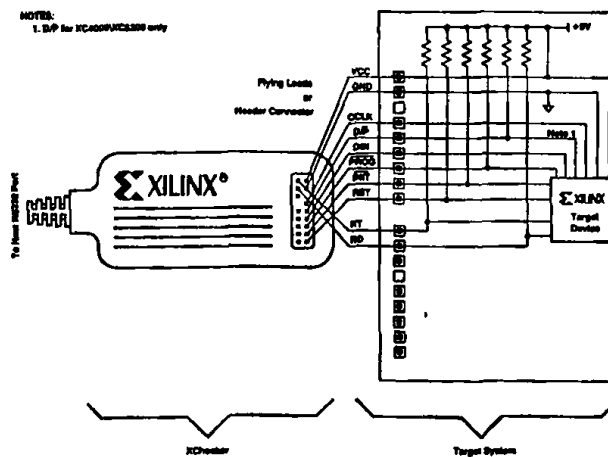


Signal Name	Function	XC3000	XC4000	XC5200
CLKI	Clock Input - Transmits your system clock to the XChecker electronics. Clock must be between 120 kHz and 10 MHz. Connect this pin to target system clock to synchronize the readback trigger with target system clock.			Connect to source of target system clock for synchronous debugging.
CLKO	Clock Output - Drives target system clock. Clock can come from either the CLKI pin, or it can be internally generated by the XChecker Cable when CLKI is unconnected.			Connect to destination of target system clock for synchronous debugging.



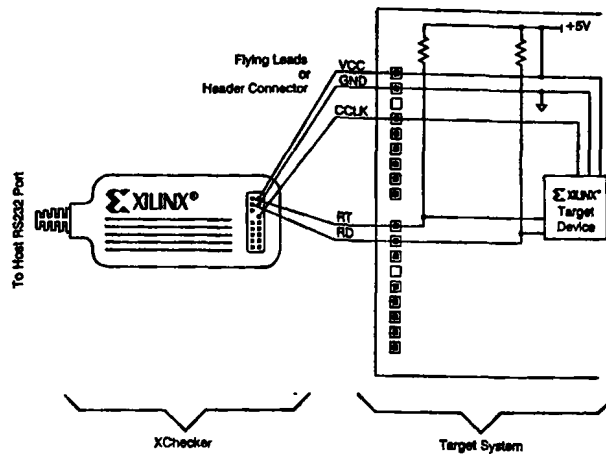
Π 3

σχ. 99. Συνδεσμολογία XChecker για προγραμματισμό του FPGA.

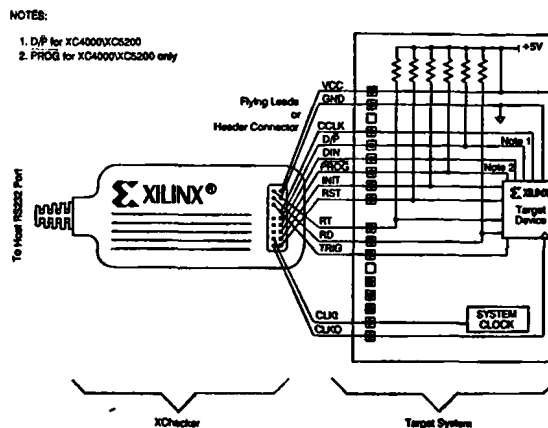


σχ. 100. Συνδεσμολογία XChecker για προγραμματισμό και έλεγχο του FPGA.

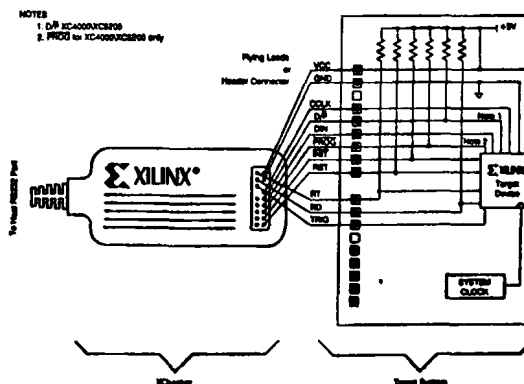




σχ. 101. Συνδεσμολογία XChecker για έλεγχο του FPGA.

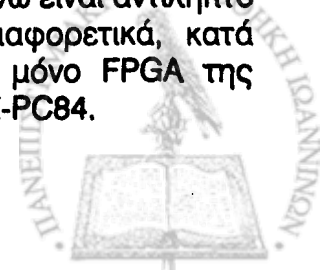


σχ. 102. Συνδεσμολογία XChecker για λειτουργία Synchronous Debugging.



σχ. 103. Συνδεσμολογία XChecker για λειτουργία Asynchronous Debugging.

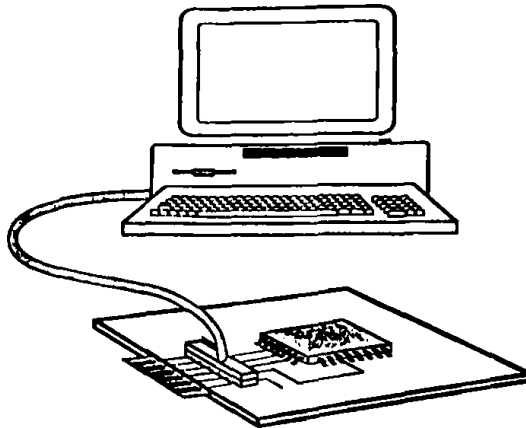
Ο προγραμματισμός του FPGA πραγματοποιείται με μια πλακέτα ειδικά κατασκευασμένη για τον σκοπό αυτό. Από τα παραπάνω είναι αντιληπτό ότι η κάθε οικογένεια FPGA προγραμματίζεται διαφορετικά, κατά συνέπεια η συγκεκριμένη πλακέτα προγραμματίζει μόνο FPGA της οικογένειας XC4000 και πιο συγκεκριμένα το XC4003E-PC84.





## Προγραμματισμός CPLD

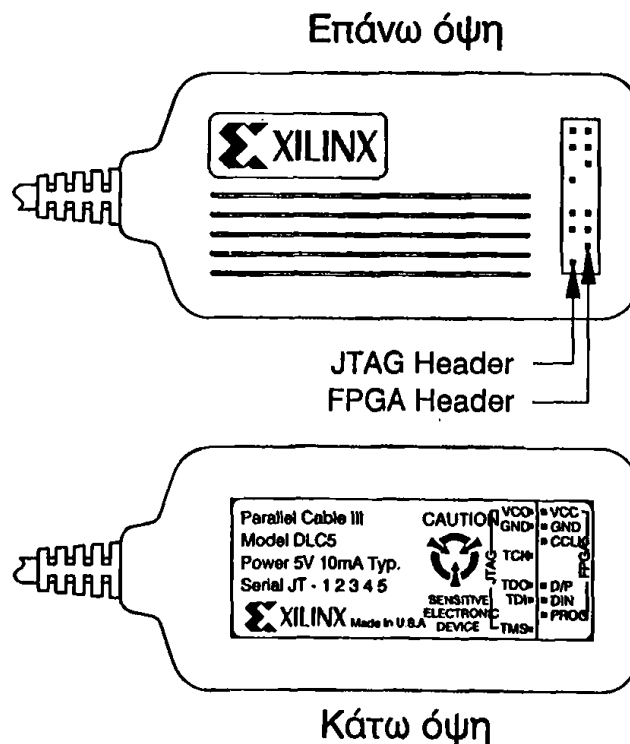
Ο προγραμματισμός των CPLDs της οικογένειας XC95000 της XILINX πραγματοποιείται χρησιμοποιώντας το πρωτόκολλο IEEE 1149.1 Boundary-Scan (JTAG) και με την βοήθεια του ενός καλωδίου παράλληλης επικοινωνίας, του Parallel Cable. Το ολοκληρωμένο είναι δυνατό να προγραμματιστεί είτε σε μια ξεχωριστή πλακέτα ειδικά κατασκευασμένη για το λόγο αυτό είτε πάνω στο σύστημα για το οποίο προορίζεται. Για τον προγραμματισμό απαιτείται ένα PC και το Parallel Cable συνδεδεμένα στην διάταξη του σχ. 104.



σχ. 104. Διάταξη προγραμματισμού CPLD.

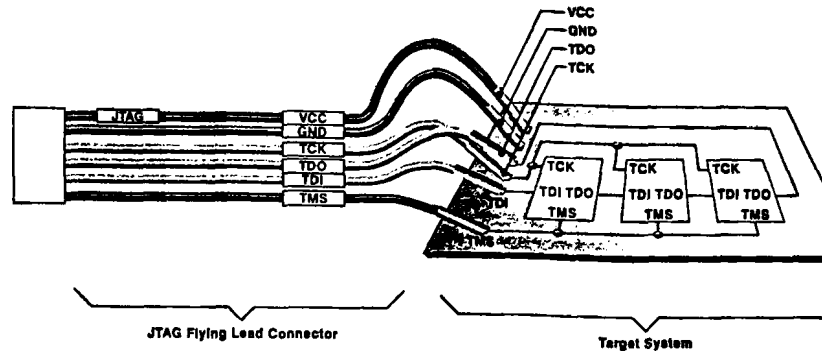
Στα σχ. 105 φαίνεται το πάνω και το κάτω μέρος του Parallel Cable. Επίσης στο σχ. 106 φαίνεται η διάταξη συνδεσμολογίας του Parallel Cable με τους ακροδέκτες των CPLDs για τον προγραμματισμό τους, ενώ στον πίνακα 12 Υπάρχουν οι ορισμοί και οι λειτουργίες των ακροδεκτών αυτών.

Π 3



σχ. 105. Πάνω και κάτω μέρος του Parallel Cable.





σχ. 106. Διάταξη συνδεσμολογίας του Parallel Cable για προγραμματισμό CPLD.

Πίνακας 12. Ορισμοί και λειτουργίες ακροδεκτών Parallel Cable.

Name	Function	Connections
VCC	Power - Supplies VCC (5 V, 10 mA, typically) to the cable.	To target system VCC
GND	Ground - Supplies ground reference to the cable.	To target system ground
TCK	Test Clock - this clock drives the test logic for all devices on boundary-scan chain.	Connect to system TCK pin.
TDO	Read Data - Read back data from the target system is read at this pin.	Connect to system TDO pin.
TDI	Test Data In - this signal is used to transmit serial test instructions and data.	Connect to system TDI pin.
TMS	Test Mode Select - this signal is decoded by the TAP controller to control test operations.	Connect to system TMS pin.



## Παράρτημα 4

# Πακέτο ηλεκτρονικής σχεδίασης OrCAD

- Στο παράρτημα αυτό παρουσιάζεται το πακέτο σχεδίασης OrCAD της εταιρίας Cadence.

### Γενικά

Το OrCAD αποτελεί μια συνολική λύση σχεδίασης για ηλεκτρονικούς μηχανικούς. Με το OrCAD η σχεδίαση μπορεί να υλοποιηθεί με σχηματικά διαγράμματα ή με γλώσσα VHDL ενώ ταυτόχρονα είναι δυνατή η σύνθεση για FPGA και CPLD, η προσομοίωση ψηφιακών, αναλογικών και μεικτών σημάτων και τέλος η δημιουργία τυπωμένων κυκλωμάτων.

Το OrCAD είναι μια σουίτα εφαρμογών που βασίζεται στην αλληλουχία των βημάτων που απαιτούνται να γίνουν από ένα μηχανικό στη σχεδίαση ενός προϊόντος.

### OrCAD Capture

Το OrCAD Capture είναι ένα από τα στοιχεία της συνολικής λύσης που παρέχεται από το πακέτο OrCAD. Τα περισσότερα από τα σημερινά ηλεκτρονικά κυκλώματα συνδυάζουν αναλογικά και ψηφιακά στοιχεία. Η εργασία με συνδυασμό αναλογικών και ψηφιακών κυκλωμάτων απαιτεί προσομοιωτή που να είναι σε θέση να χειρίζεται κυκλώματα μεικτών σημάτων. Με τη χρήση του OrCAD Capture είναι δυνατή η δημιουργία σχηματικών διαγραμμάτων για αναλογικά, ψηφιακά κυκλώματα ή κυκλώματα μεικτών σημάτων, μεταφορά σε τυπωμένα κυκλώματα και σε ολοκληρωμένα προγραμματιζόμενης λογικής.

Μετά τη δημιουργία του σχηματικού διαγράμματος το πρόγραμμα OrCAD Capture διαθέτει όλα τα απαραίτητα εργαλεία για την προετοιμασία του σχηματικού διαγράμματος για τη μεταφορά του στα επόμενα στάδια ανάπτυξης.

Το OrCAD Capture επικοινωνεί με τα προγράμματα OrCAD PSpice και OrCAD Layout για την προσομοίωση των σχηματικών διαγραμμάτων και τη δημιουργία τυπωμένων κυκλωμάτων αντίστοιχα.

Επιπρόσθετα με τα έτοιμα εξαρτήματα που διατίθενται με το πρόγραμμα Capture, ο σχεδιαστής μπορεί να δημιουργεί δικά του εξαρτήματα και βιβλιοθήκες και να τις χρησιμοποιεί στα σχέδια του. Όλα τα στοιχεία των βιβλιοθηκών και των σχηματικών διαγραμμάτων που έχουν φτιαχθεί με το OrCAD Capture μπορούν να χρησιμοποιηθούν ξανά σε νεότερες σχεδιάσεις.



## OrCAD CIS

Το OrCAD CIS (Component Information System) είναι ένα σύστημα διαχείρισης εξαρτημάτων που διατίθεται ως επιπρόσθετο στο πρόγραμμα OrCAD Capture. Το OrCAD CIS βοηθά στην διαχείριση των ιδιοτήτων των εξαρτημάτων (περιλαμβάνοντας τις πληροφορίες των εξαρτημάτων που απαιτούνται σε κάθε βήμα της σχεδίασης τυπωμένων κυκλωμάτων από την υλοποίηση μέχρι την κατασκευή).

Το OrCAD CIS παρέχει πρόσβαση σε μια τοπική (βάση δεδομένων με προτεινόμενα υλικά) και σε μια απομακρυσμένη βάση δεδομένων που περιέχει πληροφορίες σχετικές με τα εξαρτήματα που χρησιμοποιούνται στα σχηματικά διαγράμματα. Οι πληροφορίες περιλαμβάνουν τους κωδικούς εξαρτημάτων κατά εταιρία, την περιγραφή των εξαρτημάτων, τις βάσεις των εξαρτημάτων για το τυπωμένο κύκλωμα και τεχνικές πληροφορίες (όπως ταχύτητα, αντοχή, χαρακτηριστικά) καθώς επίσης και πληροφορίες για την αγορά των εξαρτημάτων.

## OrCAD Express

Το OrCAD Express είναι ένα πρόγραμμα για τη σχεδίαση με ολοκληρωμένα προγραμματιζόμενης λογικής. Περισσότερες από τις σημερινές εφαρμογές περιλαμβάνουν ολοκληρωμένα προγραμματιζόμενης λογικής σε μορφή FPGA, CPLD ή SPLD, μνήμη και επεξεργαστή.

Το OrCAD Express βοηθά στην ανάπτυξη με ολοκληρωμένα προγραμματιζόμενης λογικής σε συνδυασμό με το OrCAD Capture. Το OrCAD Express διαθέτει εργαλεία σύνθεσης και προσομοίωσης για την ανάπτυξη εφαρμογών βασισμένη στη γλώσσα VHDL καθώς επίσης παρέχει τον τρόπο διασύνδεσης μέσω βιβλιοθηκών με ολοκληρωμένα διαφόρων κατασκευαστών για την αυτοματοποίηση της διαδικασίας της υλοποίησης.

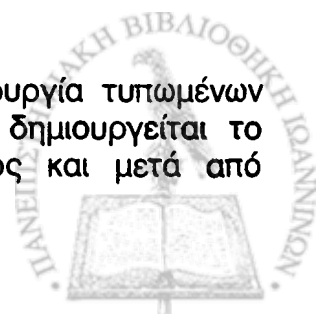
## OrCAD PSpice A/D

Το OrCAD PSpice A/D προσομοιώνει μόνο αναλογικά ή αναλογικά/ψηφιακά ή μόνο ψηφιακά κυκλώματα. Οι αλγόριθμοι που χρησιμοποιεί είναι ενσωματωμένοι στο πρόγραμμα έτσι ώστε να είναι δυνατή η μεικτή προσομοίωση κυκλωμάτων που περιέχουν αναλογική και ψηφιακά κυκλώματα τα οποία διασυνδέονται μεταξύ τους.

Για την προετοιμασία της προσομοίωσης το OrCAD Capture δημιουργεί ένα set αρχείων του κυκλώματος. Αυτό το set περιέχει τη λίστα διασύνδεσης και τις εντολές ανάλυσης οι οποίες διαβάζονται από το πρόγραμμα PSpice A/D έτσι ώστε να καταστεί δυνατή η προσομοίωση. Η προσομοίωση παρέχει γραφικές παραστάσεις οι οποίες είναι ιδιαίτερα ικανοποιητικές και δίδει τη δυνατότητα προσθήκης σημείων ελέγχου στο κύκλωμα.

## OrCAD Layout

Το OrCAD Layout είναι το εργαλείο για τη δημιουργία τυπωμένων κυκλωμάτων. Με τη χρήση του OrCAD Capture δημιουργείται το σχηματικό διάγραμμα του τυπωμένου κυκλώματος και μετά από



κατάλληλη διεργασία δημιουργείται το αρχείο της λίστας διασύνδεσης για το OrCAD Layout που περιλαμβάνει τους κανόνες διασύνδεσης και τις γραμμές διασύνδεσης καθώς επίσης και τις βάσεις των υλικών που θα χρησιμοποιηθούν στο τυπωμένο κύκλωμα σε σχέση με τα σύμβολα του σχηματικού διαγράμματος που δημιουργήθηκαν. Το πρόγραμμα διαθέτει χειροκίνητο τρόπο για την τοποθέτηση των εξαρτημάτων αλλά και αυτόματα. Η διασύνδεση των γραμμών μπορεί να γίνει και αυτή χειροκίνητα ή αυτόματα. Τέλος η σχεδίαση ολοκληρώνεται με τη διαδικασία δημιουργίας κατάλληλων αρχείων που είναι αποδεκτά από τα εργοστάσια κατασκευής πλακετών (gerber files).



## Παράρτημα 5

### Τεχνικές ελάττωσης θορύβου

.....

Στο παράρτημα αυτό δίδεται μια σύντομη περιγραφή των τεχνικών που ακολουθούνται στην σχεδίαση τυπωμένων κυκλωμάτων για την ελάττωση του θορύβου.

#### Γενικά

Με την ανάπτυξη της υψηλής τεχνολογίας αυξήθηκαν και τα προβλήματα της ηλεκτρομαγνητικής (H/M) παρεμβολής. Το ζήτημα της H/M παρεμβολής αποτελεί όλο και μεγαλύτερο πρόβλημα για τον σχεδιαστή συστημάτων καθόσον οι ημιαγωγοί γίνονται όλο και πιο γρήγοροι, σε μεγαλύτερη κλίμακα ολοκλήρωσης και ασφαλώς με μεγαλύτερα επίπεδα θορύβου. Οι σχεδιαστές που σχεδιάζουν τυπωμένα κυκλώματα χωρίς τη δέουσα προσοχή στα θέματα H/M παρεμβολής αντιλαμβάνονται ότι οι σχεδιάσεις τους δεν καλύπτουν τις προδιαγραφές ή ακόμη και δεν λειτουργούν. Ωστόσο τα περισσότερα θέματα H/M παρεμβολής μπορούν να αποφευχθούν προκαταβολικά με την χρήση της κατάλληλης προσέγγισης στον τρόπο σχεδίασης του τυπωμένου κυκλώματος εφαρμόζοντας τις τεχνικές που υπάρχουν για την περίπτωση αυτή.

Στο παράρτημα αυτό εστιάζονται τα θέματα που αφορούν την χρήση των τεχνικών σχεδίασης τυπωμένων κυκλωμάτων για τον έλεγχο της H/M παρεμβολής σε συστήματα βασισμένα σε προγραμματιζόμενα ολοκληρωμένα αλλά και σε συστήματα μεικτών σημάτων. Σε αυτό παρέχονται πρακτικές προσεγγίσεις αντί θεωρητικών αναλύσεων. Τα θέματα H/M που περιλαμβάνονται είναι:

- Συνοπτική περιγραφή της H/M παρεμβολής
- α. Γενικές οδηγίες σχεδίασης τυπωμένων κυκλωμάτων
- β. Τοποθέτηση εξαρτημάτων
- γ. Η διάταξη της γείωσης
- δ. Η διάταξη της τροφοδοσίας του συστήματος και αποσύζευξη
- ε. Η διάταξη σημάτων
- Λίστα ελέγχου για την ελάττωση του θορύβου



## Συνοπτική περιγραφή των Η/Μ παρεμβολών

### Ορισμός του θορύβου

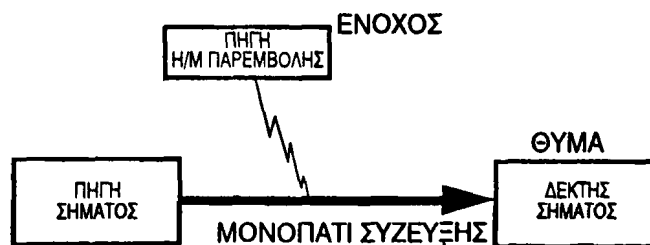
Θόρυβος είναι κάθε ηλεκτρικό σήμα που παρουσιάζεται σε ένα κύκλωμα πέραν του επιθυμητού σήματος. Ο ορισμός αυτός δεν αναφέρεται στον εσωτερικό θόρυβο, που είναι αποτέλεσμα ύπαρξης μη-γραμμικών στοιχείων. Το επιθυμητό σήμα σε ένα μέρος του κυκλώματος θεωρείται θορυβώδες μόνο εφόσον συνενώνεται με ένα σήμα από άλλο μέρος του κυκλώματος. Όλα τα ηλεκτρικά συστήματα έχουν κάποιο θόρυβο. Ο θόρυβος δεν αποτελεί πρόβλημα εφόσον δεν παρεμβάλλει στην λειτουργία του συστήματος. Οι πηγές του θορύβου μπορούν να χωριστούν σε τρεις διαφορετικές κατηγορίες:

- Πηγές θορύβου δημιουργημένες από τον άνθρωπο - ψηφιακά ηλεκτρονικά, πομποί, κινητήρες, διακόπτες, ηλεκτρονόμοι
- Φυσικές διαταραχές - ηλιακές κηλίδες, φωτισμός
- Εσωτερικές πηγές θορύβου - σχετιζόμενες με την τυχαίες κυμάνσεις από φυσικά συστήματα όπως θερμικός ή θόρυβος shot.

Ο θόρυβος δεν μπορεί να εξαλειφθεί ολοκληρωτικά. Ωστόσο η έντασή του και η επίδρασή του μπορούν να μειωθούν.

### Μετάδοση Η/Μ παρεμβολών

Η εξήγηση του τρόπου μετάδοσης του θορύβου μπορεί να βοηθήσει στην αναγνώριση ενδεχόμενων προβλημάτων Η/Μ παρεμβολών στο κύκλωμα. Για την επίτευξη της μετάδοσης ο θόρυβος θα πρέπει να ξεκινήσει από μια πηγή να συνενωθεί και να ληφθεί από το σύστημα. Το σχ. 107 απεικονίζει τον τρόπο εισόδου των Η/Μ παρεμβολών σε ένα σύστημα. Θα πρέπει να υπάρχουν και τα τρία στοιχεία για την ύπαρξη της οποιασδήποτε Η/Μ παρεμβολής. Έτσι, αν ένα από τα τρία ελαχιστοποιηθεί ή βρεθεί εκτός του συστήματος, η παρεμβολή μειώνεται ή εξαλείφεται.

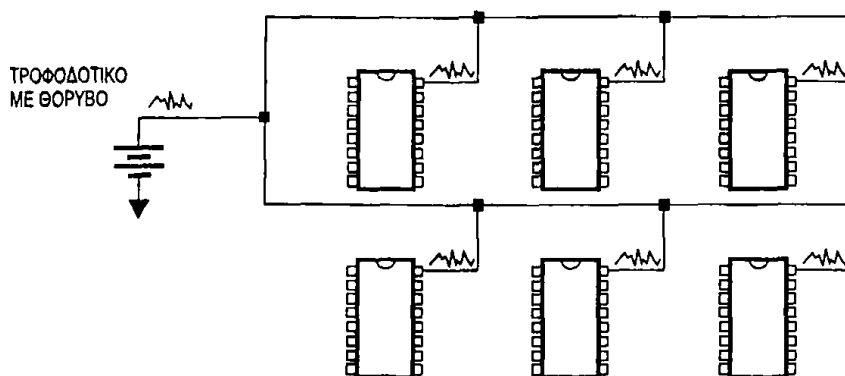


σχ. 107. Μονοπάτι της Η/Μ παρεμβολής

**Πηγές Η/Μ παρεμβολής.** Οι πηγές Η/Μ παρεμβολής περιλαμβάνουν μικροεπεξεργαστές, προγραμματιζόμενα ολοκληρωμένα, συστήματα ηλεκτροστατικής εκφόρτισης, πομπούς, στοιχεία ισχύος για μεταβατικά φαινόμενα, τροφοδοτικά AC, και φωτισμό. Σε ένα σύστημα με προγραμματιζόμενα ολοκληρωμένα, το κύκλωμα του ψηφιακού ρολογιού είναι συνήθως η μεγαλύτερη γεννήτρια ενός ευρύτατου φάσματος θορύβου, ο οποίος είναι θόρυβος που διανέμεται σε όλο το φάσμα των συχνοτήτων. Με την αύξηση της ταχύτητας των ημιαγωγών

και με τους ταχύτερους χρόνους μετάβασης τα κυκλώματα αυτά παράγουν αρμονικές διαταραχές έως και 300MHz οι οποίες θα πρέπει να φιλτραριστούν.

**Τρόποι σύζευξης.** Ένας από τους βασικούς τρόπους σύζευξης θορύβου σε ένα κύκλωμα είναι διαμέσου των αγωγών. Εάν ένα καλώδιο διαπερνά ένα θορυβώδες περιβάλλον, το καλώδιο θα λάβει το θόρυβο επαγωγικά και θα τον μεταφέρει στο υπόλοιπο του κυκλώματος. Ένα παράδειγμα αυτού του τύπου σύζευξης είναι ο θόρυβος που εισάγεται σε ένα σύστημα μέσω της παροχής τροφοδοσίας. Ο θόρυβος που πηγάζει από τις γραμμές παροχής τροφοδοσίας, κατευθύνεται στη συνέχεια σε όλα τα κυκλώματα που χρειάζονται την τροφοδοσία. Το σχ. 108 δείχνει αυτόν τον τρόπο σύζευξης.



σχ. 108. Σύζευξη θορύβου από αγωγό

Σύζευξη μπορεί επίσης να εμφανιστεί στα κυκλώματα που διαμοιράζονται κοινές σύνθετες αντιστάσεις. Για παράδειγμα, στο σχ. 109 παρουσιάζονται δύο κυκλώματα που μοιράζονται τον αγωγό της τροφοδοσίας και τον αγωγό επιστροφής στη γείωση.

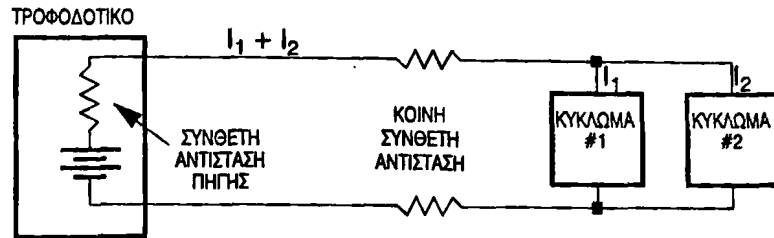
Εάν στο πρώτο κύκλωμα δημιουργηθεί μια απότομη απαίτηση σε ρεύμα, η τάση τροφοδοσίας στο δεύτερο κύκλωμα θα μειωθεί λόγω της κοινής σύνθετης αντίστασης μεταξύ των δύο κυκλωμάτων και μεταξύ των γραμμών τροφοδοσίας και της σύνθετης αντίστασης πηγής. Αυτή η επίδραση της σύζευξης μπορεί να ελαττωθεί με τη μείωση της κοινής σύνθετης αντίστασης.

Π 5

Δυστυχώς, η σύζευξη σύνθετης αντίστασης πηγής είναι εσωτερική της παροχής τροφοδοσίας και δεν μπορεί να ελαττωθεί. Το ίδιο φαινόμενο εμφανίζεται και στον αγωγό της γείωσης. Τα ψηφιακά ρεύματα επιστροφής που ρέουν από το δεύτερο κύκλωμα δημιουργούν ψηφιακό θόρυβο υψηλής συχνότητας στην κοινή σύνθετη αντίσταση της γραμμής επιστροφής. Αυτός ο θόρυβος δημιουργεί αναπήδηση στην επιστροφή του πρώτου κυκλώματος. Μια ασταθής γείωση θα υποβιάσει σοβαρά την απόδοση των αναλογικών κυκλωμάτων χαμηλών σημάτων, όπως οι τελεστικοί ενισχυτές και οι αναλογικοί σε ψηφιακό μετατροπείς, κ.λ.π.

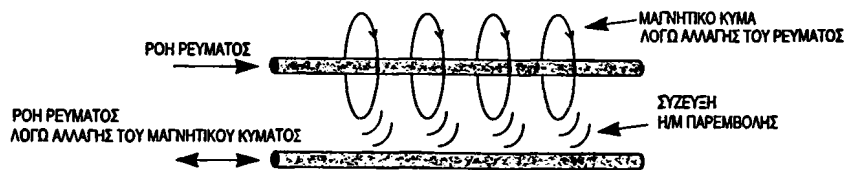






σχ. 109. Σύζευξη μέσω κοινής σύνθετης αντίστασης

Η σύζευξη μπορεί επίσης να εμφανιστεί με τα ακτινοβολούντα ηλεκτρικά και μαγνητικά πεδία που είναι κοινά για όλα τα ηλεκτρικά κυκλώματα. Σε κάθε μεταβολή του ρεύματος παράγονται ηλεκτρομαγνητικά κύματα. Αυτά τα κύματα μπορούν έλθουν σε σύζευξη με τους κοντινούς αγωγούς και να παρεμβάλουν άλλα σήματα μέσα το κύκλωμα. Αυτό εμφανίζεται στο σχ. 110.



σχ. 110. Σύζευξη μέσω ηλεκτρομαγνητικής εκπομπής

**Δέκτες.** Όλα τα ηλεκτρονικά κυκλώματα είναι εγγενώς δεκτικά στις μεταδόσεις Η/Μ παρεμβολών. Οι περισσότερες Η/Μ παρεμβολές παραλαμβάνονται από τα μεταβατικά φαινόμενα των επαφών αν και μερικές παραλαμβάνονται από τη άμεση μετάδοση ραδιοσυχνοτήτων (RF). Στα ψηφιακά κυκλώματα, τα κρίσιμότερα σήματα είναι συνήθως τα πιο ευπαθή σε Η/Μ παρεμβολές. Σε αυτά περιλαμβάνονται το σήμα reset, τα σήματα interrupt και τα σήματα των γραμμών ελέγχου. Οι αναλογικοί ενισχυτές χαμηλών σημάτων, τα κυκλώματα ελέγχου, και οι σταθεροποιητές τάσης είναι επίσης ευαίσθητοι σε παρεμβολές θορύβου.

## Λύσεις στον σχεδιασμό συστημάτων για Η/Μ συμβατότητα

Η Η/Μ συμβατότητα πρέπει να προσεγγιστεί ως προδιαγραφή των συστημάτων κι όχι ως μετέπειτα σκέψη. Ένα κύκλωμα είναι ηλεκτρικά συμβατό εάν δεν επηρεάζει ή δεν επηρεάζεται από το περιβάλλον του. Μερικοί σχεδιαστές δεν δίνουν ιδιαίτερη προσοχή σε αυτό το πιθανό πρόβλημα. Σε αυτές τις περιπτώσεις, η σχεδίαση προχωρά χωρίς μελέτη της Η/Μ παρεμβολής στο σύστημα, και έπειτα από την ολοκλήρωση των εργαστηριακών δοκιμών η σχεδίαση μεταφέρεται στην παραγωγή. Εντούτοις, μετά την παραγωγή του προϊόντος και την αποστολή του στο πεδίο εφαρμογής είναι δυνατό να εμφανιστεί μια άγνωστη πηγή Η/Μ παρεμβολών. Η εύρεση μιας λύσης για την κρίση οδηγεί συχνά σε ματαιώση της παραγωγής και συνήθως αποτελείται από ανεπιθύμητες προσθήκες ή καθυστερήσεις στην τελική παραγωγή, με συνέπεια κατανάλωση χρόνου και χρημάτων.



Η Η/Μ συμβατότητα θα πρέπει να ληφθεί υπόψη σε ένα σύστημα όπως οποιαδήποτε κανονική προδιαγραφή. Στην πραγματικότητα, μερικοί οργανισμοί έχουν καθορίσει τα πρότυπα γενικά για υπολογιστικές συσκευές όπως για παράδειγμα η Federal Communication Commission (FCC), ο στρατός, και άλλοι διεθνείς οργανισμοί. Ο σχεδιαστής πρέπει να προβλέψει τα προβλήματα και να τα επιλύσει εκ των προτέρων με τη χρησιμοποίηση δοκιμασμένων πρωτοτύπων. Με αυτήν την προσέγγιση, η Η/Μ συμβατότητα σχεδιάζεται επάνω στα ίδια συστήματα και δεν προστίθενται μετέπειτα σε αυτά ως γρήγορη λύση μετά την εμφάνιση του προβλήματος. Η σχεδίαση συστημάτων για Η/Μ συμβατότητα γίνεται γρήγορα ένας αρκετά οικονομικός τρόπος σχεδίασης.

Αν και υπάρχουν πολλές "θεραπίες" στα προβλήματα Η/Μ συμβατότητας - Η/Μ παρεμβολής, μπορούν να συνοψιστούν με δύο διαφορετικές μεθόδους: τη μείωση εκπομπών και αύξηση της ανοσίας. Η καταστολή των εκπομπών μπορεί να γίνει στην πηγή μέσω της κατάλληλης σχεδίασης των συστημάτων. Αλλά εάν το πρόβλημα συνεχίζεται, θα πρέπει να ερευνηθούν διαφορετικές μέθοδοι προστασίας για περιορισμό των εκπομπών. Η ευαισθησία των κυκλωμάτων στο θόρυβο μπορεί να μειωθεί με προσεκτικότερη σχεδίαση των κυκλωμάτων και χρησιμοποίηση κατάλληλου προστατευτικού καλύμματος για την προστασία του κυκλώματος. Η ακόλουθη ανάλυση στις τεχνικές σχεδίασης τυπωμένων κυκλωμάτων εστιάζει στην μείωση των εκπομπών και στην αύξηση της ανοσίας στο θόρυβο με την εφαρμογή των γενικών κανόνων για μια σωστή σχεδίαση τυπωμένων κυκλωμάτων.

## Γενικές οδηγίες σχεδίασης τυπωμένων κυκλωμάτων

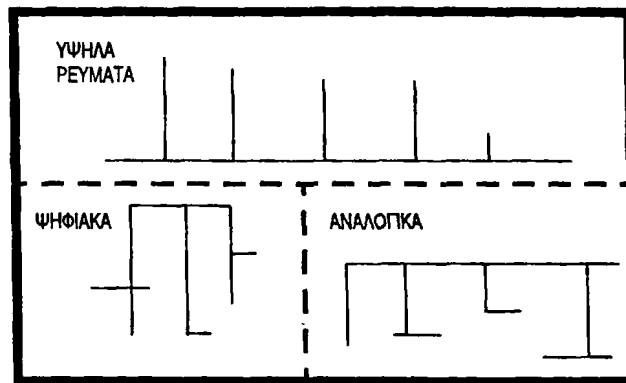
### Τοποθέτηση εξαρτημάτων

Π 5

Πριν την κατασκευή του τυπωμένου κυκλώματος, πρέπει να ληφθεί ιδιαίτερη προσοχή στην τοποθέτηση των εξαρτημάτων επάνω στο τυπωμένο κύκλωμα. Τα χαμηλού επιπέδου αναλογικά σήματα, τα μεγάλης ταχύτητας ψηφιακά σήματα, και τα θορυβώδη κυκλώματα (ηλεκτρονόμοι, διακόπτες υψηλής τάσης, κλπ) πρέπει να διαχωριστούν για τον περιορισμό της σύζευξης μεταξύ των υποσυστημάτων στο ελάχιστο. Κατά την τοποθέτηση των εξαρτημάτων, θα πρέπει να δοθεί μεγάλη προσοχή σε πιθανή διασύνδεση των κυκλωμάτων μεταξύ των υποσυστημάτων, συμπεριλαμβανομένων των ρολογιών και του κυκλώματος του κρυστάλλου. Ένα προτεινόμενο τυπωμένο κύκλωμα πρέπει να εξεταστεί για τα πιθανά προβλήματα Η/Μ παρεμβολών.



Επαναλαμβανόμενες επιθεωρήσεις και η σωστή διάταξη εφαρμόζονται μέχρι να εξετασθούν όλοι οι πιθανότητες Η/Μ παρεμβολών. Το σχ. 111 επεξηγεί την βασική αρχή του διαχωρισμού των εξαρτημάτων.



σχ. 111. Διαχωρισμός των κυκλωμάτων επάνω στην πλακέτα

## Η διάταξη της γείωσης

Τίποτα δεν είναι σημαντικότερο στη σχεδίαση συστημάτων από ένα κύκλωμα που έχει ένα σταθερό και πλήρες σύστημα τροφοδότησης. Η διάταξη της γείωσης είναι ιδιαίτερα κρίσιμη. Στην πραγματικότητα, η γείωση μπορεί να θεωρηθεί το θεμέλιο όλων των καλών σχεδιάσεων τυπωμένων κυκλωμάτων. Τα περισσότερα προβλήματα Η/Μ παρεμβολών μπορούν να επιλυθούν με τη χρησιμοποίηση πρακτικών και αποδοτικών μεθόδων γείωσης.

**Ο καθορισμός του θορύβου της γείωσης.** Η κατανόηση των μηχανισμών που παράγουν το θόρυβο της γείωσης είναι κρίσιμη στην ελαχιστοποίηση των παρεμβολών στη γείωση. Όλες οι γραμμές της γείωσης έχουν κάποια πεπερασμένη σύνθετη αντίσταση. Όπως με όλα τα κυκλώματα, το ρεύμα πρέπει να επιστρέψει στην πηγή του. Η ροή ρεύματος μέσω της πεπερασμένης σύνθετης αντίστασης στις γραμμές της γείωσης προκαλεί μια πτώση τάσης. Αυτές οι πτώσεις τάσης είναι η αιτία της παρεμβολής στο σύστημα της γείωσης. Δεδομένου ότι οι συχνότητες συστημάτων αυξάνονται συνεχώς, η προκύπτουσα παρεμβολή στο σύστημα της γείωσης αυξάνεται. Η στοιχειώδης θεωρία κυκλωμάτων λέει ότι μια αλλαγή στο ρεύμα ενός αγωγού πολλαπλασιαζόμενη με την αυτεπαγωγή του αγωγού παράγει μια τάση.

$$V = L \cdot \frac{di}{dt}$$

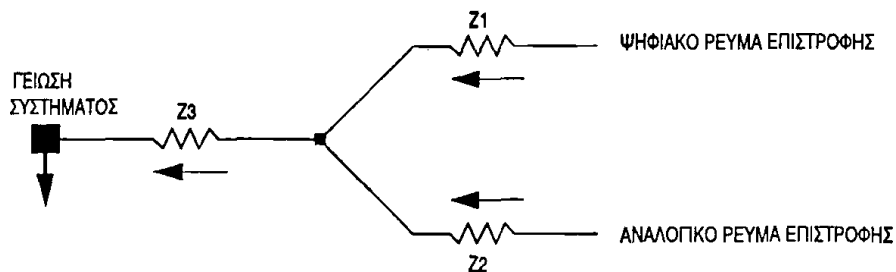
Τα υψηλής συχνότητας ψηφιακά συστήματα δημιουργούν κορυφές (spikes) ρεύματος κατά την μεταγωγή των transistors μεταξύ της on και off κατάστασης. Τα αναλογικά συστήματα δημιουργούν κορυφές ρεύματος με την μεταβολή των ρευμάτων φορτίου. Για παράδειγμα, εξετάζοντας μια πύλη που βρίσκεται σε κατάσταση "on" και σχηματίζεται ρεύμα 4 mA. Η πύλη μετάγεται ακαριαία σε κατάσταση "off" και τώρα σχηματίζεται ρεύμα 0.6 mA. Η πύλη μεταγάγει σε 4 ns, και ο αγωγός που μεταφέρει το σήμα έχει αυτεπαγωγή 450 nH. Η προκύπτουσα κορυφή τάσης (spike) θα είναι

$$L \cdot \frac{di}{dt} = 450 \text{ nH} \cdot \frac{(4 \text{ mA} - 0,6 \text{ mA})}{4 \text{ ns}} = 0,383 \text{ Vpeak}$$



Όπως ειπώθηκε προηγουμένως, όσο γρηγορότερα είναι τα συστήματα παράγουν τόσο γρηγορότερους χρόνους ανόδου. Εάν υποθέσουμε ότι η επόμενη σχεδίαση ενός συστήματος χρησιμοποιεί μια πιο νέα γρηγορότερη λογική. Εάν ο χρόνος ανόδου της νέας λογικής είναι δύο φορές γρηγορότερος από αυτόν της παλαιάς, ο θόρυβος στον επανασχεδιασμό έχει διπλάσιο μέγεθος.

Τα περισσότερα ψηφιακά συστήματα έχουν μια υψηλότερη ανοσία στο θόρυβο από τα αναλογικά. Τα χαμηλά επίπεδα θορύβου στο σύστημα της γείωσης μπορούν να επηρεάσουν σοβαρά στην απόδοση των αναλογικών ενισχυτών χαμηλών σημάτων, των μετατροπέων κλπ.



σχ. 112. Σύζευξη κοινής σύνθετης αντίστασης

Η σύζευξη του θορύβου μπορεί γίνει και σε άλλα κυκλώματα από τη κοινή σύνθετη αντίσταση. Το σχ. 112 επεξηγεί το πρόβλημα της σύζευξης. Η τάση στο σημείο άθροισης των δύο σημάτων οφείλεται στα ρεύματα και στις αυτεπαγωγές που βρίσκονται στα αναλογικά και ψηφιακά σήματα. Ο θόρυβος που δημιουργείται μοιράζεται τώρα λόγω της κοινής σύνθετης αντίστασης,  $Z_3$ , μεταξύ των δύο σημάτων. Μια απόκλιση DC δημιουργείται μεταξύ του σημείου γείωσης των συστημάτων και του σημείου άθροισης. Στα ψηφιακά συστήματα, αυτή η απόκλιση είναι δυναμικό και παράγει ένα υψηλής συχνότητας AC στοιχείο θορύβου που έχει επιπτώσεις στα αναλογικά κυκλώματα χαμηλών σημάτων.

Π 5

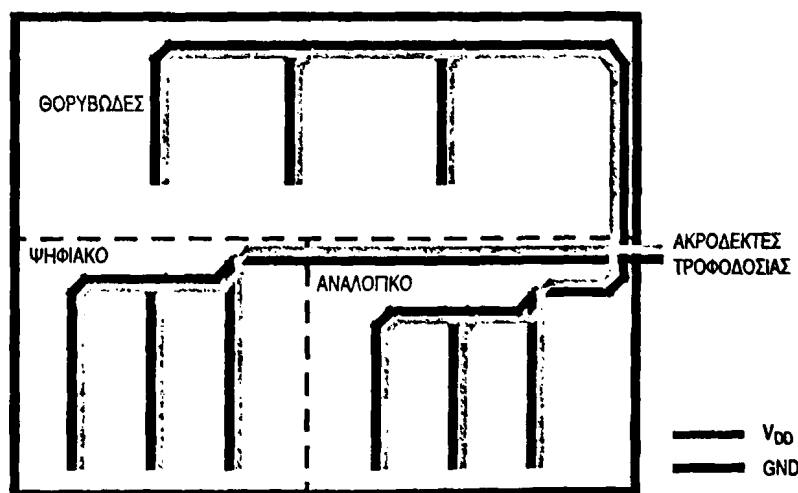
**Ελάττωση θορύβου της γείωσης.** Ένα πλεονέκτημα ενός καλά σχεδιασμένου συστήματος γείωσης είναι ότι παρέχει την προστασία ενάντια στην ανεπιθύμητη παρεμβολή χωρίς επιπρόσθετο κόστος στην πλακέτα εκτός από το χρόνο σχεδίασης από τον μηχανικό. Ο βασικός στόχος ενός καλού συστήματος γείωσης είναι να ελαχιστοποιήσει την τάση θορύβου από τα ρεύματα που διαρρέουν τις σύνθετες αντιστάσεις της γείωσης. Στο σχεδιασμό του συστήματος της γείωσης, τα βασικά ερωτήματα είναι: Πώς ρέει το ρεύμα στο σύστημα; Αναμιγνύονται θορυβώδεις και μη θορυβώδεις γραμμές γείωσης;

Θα πρέπει να δημιουργηθούν γειώσεις σημάτων που έχουν χαμηλή σύνθετη αντίσταση για την επιστροφή στην πηγή. Αυτό μπορεί να επιτευχθεί με τον καθορισμό του τύπου στοιχείων κυκλώματος που χρησιμοποιούνται και της συχνότητας λειτουργίας του συστήματος. Τα περισσότερα βασισμένα σε προγραμματιζόμενα ολοκληρωμένα συστήματα περιέχουν υψηλής συχνότητας ψηφιακή λογική και αναλογικά κυκλώματα χαμηλών σημάτων. Μερικά συστήματα μπορούν ακόμη να έχουν θορυβώδεις ηλεκτρονόμους και υψηλής τάσης

διακόπτες. Όπως αναφέρθηκε νωρίτερα, αυτά τα κυκλώματα πρέπει να χωριστούν και οι γραμμές επιστροφής της γείωσης δεν πρέπει να αναμιχθούν μαζί. Παρόμοια κυκλώματα πρέπει να τοποθετηθούν μαζί.

Τα υψηλής ταχύτητας ψηφιακά κυκλώματα πρέπει να παρέχουν χαμηλής σύνθετης αντίστασης γραμμές σε όλα τα σήματα επιστροφής. Θα πρέπει να σχεδιαστεί το σύστημα της γείωσης έτσι ώστε να περιλαμβάνει όσο το δυνατόν περισσότερες παράλληλες γραμμές γείωσης. Αυτό θα μειώσει την αυτεπαγωγή της επιστροφής της γείωσης. Εάν αυτό επεκταθεί θα δημιουργηθεί ένα πλάνο γείωσης. Αν και τα πλάνα γείωσης είναι κατάλληλα, η χρήση τους μπορεί να μην είναι επιθυμητή λόγω της προστιθέμενης δαπάνης που προκύπτει από την χρήση ενός τυπωμένου κυκλώματος πολλαπλών επιπέδων. Εάν ένα πλάνο γείωσης είναι αντικοινομικό, μπορεί να χρησιμοποιηθεί γείωση ενός σημείου. Η γείωση ενός σημείου ή η γείωση σε μορφή αστέρα συνδέει όλες τις γραμμές γείωσης στο τερματικό σημείο γείωσης. Αυτή η μέθοδος μειώνει τη κοινή σύζευξη σύνθετης αντίστασης μεταξύ των υποσυστημάτων. Αν και αυτό σημαίνει μεγαλύτερες απαιτήσεις σε χώρο, η μείωση στην κοινή αυτεπαγωγή και επομένως του συζευγμένου θορύβου είναι σημαντική.

Η αυτεπαγωγή ενός αγωγού είναι αντιστρόφως ανάλογη προς το λογάριθμο της διαμέτρου αγωγού ή του πλάτους αλλά ευθέως ανάλογη προς το μήκος του. Για μείωση της αυτεπαγωγής, χρησιμοποιούνται όσο το δυνατόν πιο σύντομοι και πλατιοί διάδρομοι. Χρησιμοποιούνται γωνίες των 45 μοιρών αντί των 90 μοιρών για την μείωση των αντανάκλασεων στη μετάδοση. Δεν πρέπει να αγνοηθεί ότι το ρεύμα επιστρέφει τελικά και πάλι πίσω στην πηγή του. Σε μερικές περιπτώσεις, η πορεία επιστροφής δημιουργεί έναν μεγάλο βρόχο που είναι ιδιαίτερα ευαίσθητος στην ηλεκτρομαγνητική ακτινοβολία και θα συζεύξει θόρυβο στο σύστημα της γείωσης. Κατά γενικό κανόνα, μειώνουμε το μέγεθος όλων των βρόχων της γείωσης όσο το δυνατόν περισσότερο. Το σχ. 113 παρουσιάζει ένα παράδειγμα ενός συστήματος γείωσης ενός σημείου σε ένα τυπωμένο κύκλωμα δύο επιπέδων.



σχ. 113. Διάταξη τροφοδοσίας ενός σημείου



## Η διάταξη της τροφοδοσίας του συστήματος και αποσύζευξη

Μετά την σωστή σχεδίαση ενός συστήματος γείωσης, θα να σχεδιαστεί το σύστημα τροφοδοσίας. Οι γραμμές τροφοδοσίας θα πρέπει να σχεδιαστούν παράλληλα με τις γραμμές γείωσης όπου αυτό είναι φυσικά δυνατόν. Αν αυτό δεν είναι δυνατόν δεν θα πρέπει να υποβιβαστεί η σχεδίαση της γείωσης χάριν της διάταξης τροφοδοσίας. Η αποσύζευξη του θορύβου της τροφοδοσίας του συστήματος μπορεί να γίνει με φίλτρα, αλλά για τη διάταξη της γείωσης αυτό δεν γίνεται. Ένα παράδειγμα της διάταξης τροφοδοσίας παρουσιάζεται στο σχ. 114.

**Αποσύζευξη τροφοδοσίας ολοκληρωμένων κυκλωμάτων.** Κατά την μεταγωγή μιας λογικής πύλης, δημιουργούνται μεταβατικά ρεύματα στις γραμμές τροφοδοσίας. Η σύνθετη αντίσταση στις τροφοδοσίες μαζί με την απότομη δημιουργία ροής ρεύματος δημιουργεί μια πτώση τάσης στο ακροδέκτη VDD. Η αυτεπαγωγή των γραμμών τροφοδοσίας μπορεί να μειωθεί με τη χρησιμοποίηση ενός πλάνου τροφοδοσίας πολλαπλών επιπέδων. Οι μεγάλες ταχύτητες μεταγωγής μπορούν να μειωθούν με τη χρησιμοποίηση πιο αργής λογικής. Συνήθως, τέτοιες οι λύσεις δεν είναι αποδεκτές στις προδιαγραφές των συστημάτων. Το ρεύμα που απαιτείται από ένα ολοκληρωμένο κύκλωμα μπορεί να ληφθεί από έναν κοντινό πυκνωτή αποσύζευξης. Αυτό μειώνει το φορτίο στις γραμμές τροφοδοσίας και απομακρύνει τις ανεπιθύμητες μεταβολές τάσης (glitches) στο σύστημα τροφοδοσίας.

Πρέπει να χρησιμοποιηθούν υψηλής-συχνότητας και χαμηλής-αυτεπαγωγής πυκνωτές γυαλιού ή κεραμικοί πυκνωτές multi-layer για την αποσύζευξη των ολοκληρωμένων κυκλωμάτων. Απαιτείται η χρήση ενός πυκνωτή 0.1μF για συχνότητες συστημάτων μέχρι και 15 MHz. Εάν η συχνότητα του συστήματος είναι μεγαλύτερη των 15 MHz, χρειάζονται πυκνωτές των 0.01μF. Η τοποθέτηση του πυκνωτή θα πρέπει να γίνει όσο το δυνατόν πιο κοντά στο ολοκληρωμένο κύκλωμα. Τα πρότυπα της τοποθέτησης των ακροδεκτών VDD και GND στις αντίθετες άκρες του ολοκληρωμένου δημιουργούν έναν βρόχο που είναι ευαίσθητος στις H/M παρεμβολές. Ο βρόχος είναι αρκετά μικρότερος εάν τα ολοκληρωμένα κυκλώματα έχουν τους ακροδέκτες τροφοδοσίας κοντά. Το σχ. 114 επεξηγεί την τοποθέτηση πυκνωτών για ένα τυπικό λογικό ολοκληρωμένο κύκλωμα. Εάν το τυπωμένο κύκλωμα περιέχει υλικά επιφανειακής στήριξης, θα πρέπει να τοποθετηθεί πυκνωτής στο μέσον της απόστασης μεταξύ των VDD και GND.

Π 5

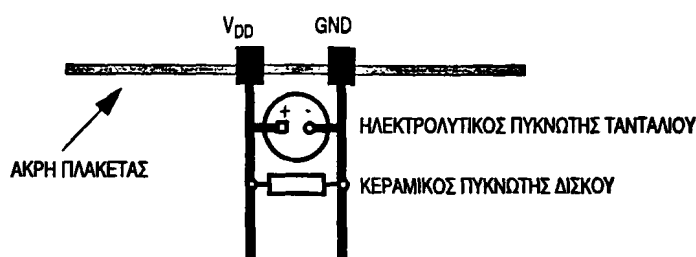


σχ. 114. Τοποθέτηση πυκνωτή αποσύζευξης

**Γενικός πυκνωτής αποσύζευξης.** Στους πυκνωτές αποσύζευξης ολοκληρωμένων κυκλωμάτων μειώνεται συχνά από ανεπιθύμητα ρευμάτα (glitches) η φόρτιση τους και θα πρέπει να επαναφορτιστούν. Αυτό γίνεται με τη χρήση ενός γενικού πυκνωτή. Η αξία του γενικού πυκνωτή δεν είναι κρίσιμη, αλλά πρέπει να είναι σε θέση να επαναφορτίσει 15 έως 20 ολοκληρωμένα κυκλώματα. Εάν είναι

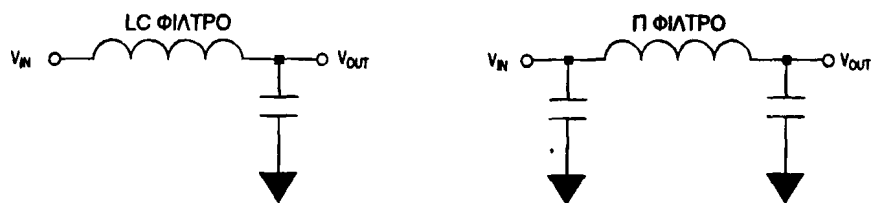
τοποθετημένα στο τυπωμένο κύκλωμα περισσότερα ολοκληρωμένα κυκλώματα, οι γενικοί πυκνωτές μπορούν να τοποθετηθούν γύρω από το τυπωμένο κύκλωμα για να παράσχουν την αναγκαία απαίτηση φόρτισης.

Για τα περισσότερα συστήματα που είναι βασισμένα σε προγραμματιζόμενα ολοκληρωμένα, ένας γενικός πυκνωτής είναι ικανοποιητικός. Ο πυκνωτής πρέπει να έχει μια μικρή αυτεπαγωγή σειράς. Θα πρέπει να χρησιμοποιηθεί ηλεκτρολυτικός πυκνωτής τανταλίου ή μεταλλικός πυκνωτής άνθρακα. Δεν πρέπει να χρησιμοποιούνται ηλεκτρολυτικοί πυκνωτές αλουμινίου. Η ισοδύναμη αυτεπαγωγή σειράς ενός ηλεκτρολυτικού πυκνωτή αλουμινίου είναι μια τάξη υψηλότερη από τους πυκνωτές τανταλίου. Ο γενικός πυκνωτής αποσύζευξης πρέπει να τοποθετηθεί όσο το δυνατόν πιο κοντά στους ακροδέκτες τροφοδοσίας του τυπωμένου κυκλώματος. Ένας μικρός 0.1μF πυκνωτής πρέπει επίσης να χρησιμοποιηθεί για την αποσύζευξη του θόρυβου υψηλής συχνότητας στους ακροδέκτες. Αυτός ο πυκνωτής πρέπει να τοποθετηθεί όσο το δυνατόν πιο κοντά στους ακροδέκτες τροφοδοσίας. Το σχ. 115 επεξηγεί την αποσύζευξη των ακροδεκτών τροφοδοσίας.



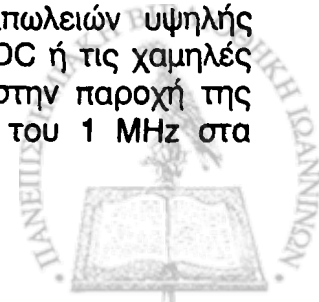
σχ. 115. Αποσύζευξη των ακροδεκτών τροφοδοσίας και με τοποθέτηση πυκνωτή αποσύζευξης

Απομόνωση των κυκλωμάτων από το θόρυβο τροφοδοσίας. Εάν απαιτείται περισσότερο φιλτράρισμα για την απομόνωση του θορύβου στις γραμμές τροφοδοσίας σε ένα κύκλωμα, θα πρέπει να χρησιμοποιηθούν φίλτρα LC ή φίλτρα τύπου π. Θα πρέπει να τοποθετηθούν φίλτρα όσο το δυνατόν πιο κοντά στα εξαρτήματα. Η διασύνδεση όλων των άλλων σημάτων θα πρέπει να γίνει γύρω από αυτά τα φίλτρα. Το σχ. 116 αναπαριστά τα σχηματικά διαγράμματα των φίλτρων.



σχ. 116. Φίλτρα θορύβου υψηλής συχνότητας

Μπορούν να χρησιμοποιηθούν επίσης χάνδρες φερρίτη (ferrite beads) για το φιλτράρισμα ανεπιθύμητων θορύβων του συστήματος. Παρέχουν ένα σχετικά ανέξοδο τρόπο με την προσθήκη απωλειών υψηλής συχνότητας χωρίς οποιαδήποτε απώλεια ισχύος σε DC ή τις χαμηλές συχνότητες. Είναι ο αποτελεσματικότερος τρόπος στην παροχή της εξασθένισης σε σήματα συχνότητας μεγαλύτερης του 1 MHz στα



κυκλώματα χαμηλής σύνθετης αντίστασης όπως τροφοδοτικά και δίαυλοι επικοινωνίας. Οι χάνδρες φερρίτη είναι κυλινδρικές και τοποθετούνται πάνω από έναν αγωγό. Η συνολική σύνθετη αντίσταση μιας χάντρας φερρίτη περιορίζεται περίπου στο 100. Όταν χρησιμοποιούνται στα τροφοδοτικά, θα πρέπει να τοποθετούνται κοντά στους ακροδέκτες τροφοδοσίας του τυπωμένου κυκλώματος.

## Η διάταξη σημάτων

Μετά τη σχεδίαση της διάταξης της τροφοδοσίας και της γείωσης ακολουθεί η σχεδίαση της διάταξης των σημάτων. Κατά την σχεδίαση πλακετών για μεικτά σήματα δεν θα πρέπει να αναμιγνύονται τα ψηφιακά και αναλογικά σήματα μαζί. Θα πρέπει να διασυνδεθούν πρώτα οι ευαίσθητες γραμμές και να κρατηθούν μακριά από πιθανές γραμμές σύζευξης.

**Τα ψηφιακά σήματα.** Τα πιο ευαίσθητα σήματα σε ένα σύστημα βασισμένο σε προγραμματιζόμενα ολοκληρωμένα είναι το ρολόι, το σήμα reset, και οι γραμμές interrupt. Ο ταλαντωτής είναι ιδιαίτερα ευαίσθητος κατά τη διάρκεια της εκκίνησης. Οι γραμμές του δεν θα πρέπει να βρίσκονται παράλληλα με γραμμές υψηλών ρευμάτων. Μπορούν να αλλοιωθούν από τα ηλεκτρομαγνητικά σήματα που παρεμβάλλονται. Η επίδραση θα μπορούσε εύκολα να "αναστατώσει" τα προγραμματιζόμενα ολοκληρωμένα με πιθανή αλλοίωση της λογικής ή με μια απροσδόκητη επαναφορά (reset) ή διακοπή (interrupt). Το ρολόι θα μπορούσε επίσης να σταματήσει ή να τεθεί εκτός φάσης και να αποσυγχρονιστεί ολόκληρο το σύστημα. Επειδή τα προγραμματιζόμενα ολοκληρωμένα ενεργοποιούν κατάλληλα χρονόμετρα και μετρητές που χρησιμοποιούν το ρολόι, δεν πρέπει να δίδεται βάση σε αυτά για την ανάνηψη του συστήματος από Η/Μ παρεμβολές. Εάν αυτά τα σήματα μεταφέρονται εκτός του τυπωμένου κυκλώματος, τα προγραμματιζόμενα ολοκληρωμένα θα πρέπει να τοποθετηθούν κοντά στους συνδετήρες εξόδου. Αν δεν είναι δυνατόν, τα προγραμματιζόμενα ολοκληρωμένα θα πρέπει να τοποθετηθούν σε αποστάσεις όπου τα μήκη των γραμμών είναι όσο το δυνατόν πιο κοντά.

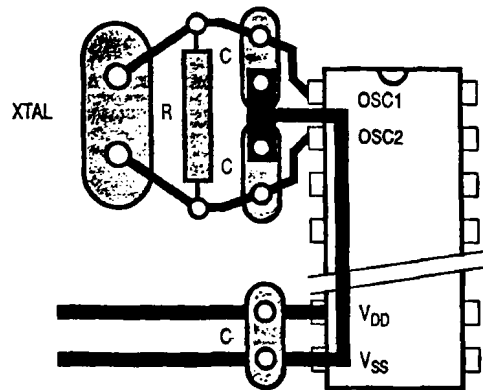
Το ρολόι είτε αποτελείται από κρύσταλλο είτε από κεραμικό ταλαντωτή είναι ένα κύκλωμα RF. Το ρολόι πρέπει να σχεδιαστεί έτσι ώστε να ελαττώσει τα επίπεδα εκπομπής και την ευαισθησία. Το σχ. 117 παρουσιάζει ένα παράδειγμα ενός κρυστάλλου ή ενός κεραμικού ταλαντωτή με ένα ολοκληρωμένο DIP. Θα πρέπει πάντα να τοποθετείται το κύκλωμα όσο το δυνατόν πιο κοντά στο προγραμματιζόμενο ολοκληρωμένο. Εάν ο κρύσταλλος ή ο κεραμικός ταλαντωτής έχει μακρύ σώμα, τότε θα πρέπει να ξαπλωθεί επάνω στην πλακέτα και να γειωθεί το κέλυφός του. Το σήμα γείωσης του κυκλώματος κρυστάλλου πρέπει να συνδεθεί με τον ακροδέκτη της γείωσης του εξαρτήματος

Π 5





χρησιμοποιώντας την πιο σύντομη διασύνδεση. Οι ακροδέκτες τροφοδοσίας και γείωσης θα πρέπει να διασυνδεθούν απευθείας στην πηγή τροφοδοσίας του τυπωμένου κυκλώματος.



σχ. 117. Κυκλωματική διάταξη κρυσταλλικού ή κεραμικού ταλαντωτή

**Αναλογικά σήματα.** Τα χαμηλού επιπέδου σήματα μπορούν να αλλοιωθούν εύκολα από τα ψηφιακά σήματα. Εάν πρέπει να αναμιχθούν τα αναλογικά και ψηφιακά σήματα, θα πρέπει να βεβαιωθεί ότι οι γραμμές διασταυρώνονται μεταξύ τους με γωνίες 90 μοιρών. Αυτό θα μειώσει τις επιδράσεις από τις συζεύξεις διασταυρώσεων. Η απόδοση των αναλογικών σε ψηφιακών μετατροπέων μπορεί να επηρεαστεί σοβαρά εάν οι ακροδέκτες αναφοράς τάσης του υποσυστήματος δεν διαχωρίζονται από τις γραμμές τροφοδοσίας. Οι γραμμές αναφοράς δεν πρέπει να τροφοδοτούνται από τους ακροδέκτες τροφοδοσίας και γείωσης του αναλογικού σε ψηφιακού μετατροπέα. Αυτοί οι ακροδέκτες πρέπει να έχουν τάσεις αναφοράς απευθείας διασυνδεδεμένες στις τροφοδοσίες της πλακέτας. Ο ακροδέκτης αναφοράς τάσης πρέπει να φιλτραριστεί με ένα κύκλωμα RC που αποτελείται από μία αντίσταση 1k και έναν πυκνωτή 1.0μF.

## Λίστα ελέγχου για την ελάττωση του θορύβου

Η παρακάτω λίστα περιέχει λεπτομέρειες που θα πρέπει να ελεγχθούν προτού ένα τυπωμένο κύκλωμα δοθεί στην παραγωγή. Αποτελείται από οδηγίες-κανόνες που μπορούν εύκολα και γρήγορα να ακολουθηθούν και να ελεγχθεί. Η λίστα αυτή έχει δημιουργηθεί από την εμπειρία που έχει συλλεχθεί στον τομέα της σχεδίασης.

## Καταστολή των πηγών θορύβου

- Χρήση ρολογιού χαμηλότερης συχνότητας με πιο αργό χρόνο ανόδου που ικανοποιεί τις προδιαγραφές του συστήματος.
- Τοποθέτηση του κυκλώματος ρολογιού κοντά στο συνδετήρα εάν το ρολόι μεταφέρεται εκτός της πλακέτας. Διαφορετικά, το κύκλωμα ρολογιού θα πρέπει να τοποθετηθεί στο κέντρο της πλακέτας.
- Τοποθέτηση των κρυστάλλων στο επίπεδο της πλακέτας για τη στήριξη και γείωσή τους.
- Μηδενισμός εφόσον αυτό είναι δυνατό των βρόγχων του σήματος ρολογιού.



- Τοποθέτηση των κυκλωμάτων οδήγησης εισόδων-εξόδων κοντά στα άκρα της πλακέτας.
- Φιλτράρισμα όλων των εισερχόμενων σήματα στην πλακέτα.
- Φιλτράρισμα όλων των σημάτων που διαπερνούν ένα θορυβώδες περιβάλλον.
- Τερματισμός μη χρησιμοποιούμενων τελεστικών ενισχυτών που βρίσκονται ανά δυάδες ή τετράδες σε ένα ολοκληρωμένο κύκλωμα με την γείωση της εισόδου + και διασύνδεση της - εισόδου στην έξοδο.
- Παροχή κάποιας μορφής απόσβεσης πλάτους ταλάντωσης στα πηνία των ηλεκτρονόμων
- Χρήση γωνιών 45 μοιρών αντί των 90 μοιρών στις γραμμές για μείωση της ακτινοβολίας.

### Ελάττωση θορύβου σύζευξης

- Διαχωρισμός των κυκλωμάτων στην πλακέτα σύμφωνα με τη συχνότητα και τα επίπεδα μεταγωγής των ρευμάτων
- Τοποθέτηση των ολοκληρωμένων για ελάχιστη διαδρομή των ρολογιών
- Περιορισμός λογικής υψηλής ταχύτητας στις ειδικευμένες λειτουργίες.
- Τοποθέτηση των ολοκληρωμένων εισόδου-εξόδου στα άκρα της πλακέτας και κοντά στους συνδετήρες.
- Εάν είναι οικονομικά δυνατό, χρήση πλακέτας πολλαπλών επιπέδων για ελαχιστοποίηση της αυτεπαγωγής τροφοδοσίας και γείωσης.
- Χρήση διάταξης τροφοδοσίας και γείωσης ενός σημείου για τις πλακέτες ενός και δύο επιπέδων.
- Χρήση πλατινών γραμμών για την τροφοδοσία και τη γείωση.
- Τοποθέτηση των γραμμών ρολογιού, διαύλων και σημάτων ενεργοποίησης ολοκληρωμένων μακριά από τις γραμμές εισόδου εξόδου και τους συνδετήρες.
- Τοποθέτηση των γραμμών ψηφιακών σημάτων και ειδικότερα του ρολογιού, όσο το δυνατόν πιο μακριά από τις αναλογικές εισόδους και τους ακροδέκτες αναφοράς τάσης.
- Εφόσον χρησιμοποιούνται μετατροπείς δεδομένων για μεικτά σήματα, δεν θα πρέπει να διασταυρώνονται ψηφιακές και αναλογικές γραμμές. Τα σήματα πρέπει να διασυνδεθούν το ένα μακριά από το άλλο.
- Διαχωρισμός των γραμμών σε θορυβώδεις και μη θορυβώδεις γραμμές.
- Τοποθέτηση των σημάτων ρολογιού και των ακροδέκτες μακριά από τα σήματα εισόδου - εξόδου.
- Χρήση του ελάχιστου δυνατού μήκους στους ευαίσθητους αγωγούς.
- Καθοδήγηση των κρίσιμων συνδέσεων με πλατιές γραμμές οι οποίες πλαισιώνονται με γείωση από κάθε πλευρά
- Αποφυγή σχεδίασης ευαίσθητων γραμμών παράλληλα γραμμές υψηλών ρευμάτων ή σήματα γρήγορης μεταγωγής

Π 5



- Ελαχιστοποίηση του μήκους των γραμμών στην αποσύζευξη των πυκνωτών.
- Διατήρηση σύντομου και ευθύ δρόμου στη σχεδίαση γραμμών υψηλής ταχύτητας.
- Ελαχιστοποίηση του μήκος γραμμών των ρολογιών και άλλων περιοδικών σημάτων. Αποφυγή τοποθέτησης γραμμών κάτω από τους κρυστάλλους και άλλα ιδιαίτερα ευαίσθητα στο θόρυβο κυκλώματα.
- Φιλτράρισμα οποιουδήποτε σημείου που περιέχει τα ευαίσθητα κυκλώματα με την τοποθέτηση προστατευτικού καλύμματος.
- Όταν σήματα χαμηλού επιπέδου οδηγούν και οι θορυβώδεις σήματα στον ίδιο συνδετήρα, όπως ένα καλώδιο τύπου ribbon, θα πρέπει να διαχωριστούν και να τοποθετηθούν γραμμές γείωσης μεταξύ τους.
- Αποφυγή δημιουργίας βρόγχων γείωσης στα χαμηλού επιπέδου, χαμηλής συχνότητας κυκλώματα. Δημιουργία καλωδίων συνεστραμμένου ζεύγους για αμοιβαία σύζευξη του θορύβου και ακύρωσή του.
- Χρησιμοποίηση όλων τους ακροδέκτες τροφοδοσίας και γείωσης σε ένα ολοκληρωμένο κύκλωμα.

### **Ελάττωση του λαμβανόμενου θορύβου**

- Αποφυγή δημιουργίας βρόγχων σημάτων οπουδήποτε είναι δυνατόν. Όπου δεν είναι δυνατόν, ελαχιστοποίηση της περιοχής βρόγχων.
- Χρησιμοποίηση υψηλής συχνότητας, χαμηλής-αυτεπαγωγής πυκνωτών κεραμικού δίσκου ή multilayer για την αποσύζευξη των ολοκληρωμένων κυκλωμάτων.
- Τοποθέτηση πυκνωτών αποσύζευξης δίπλα σε κάθε ολοκληρωμένο κύκλωμα στο σύστημα.
- Χρησιμοποίηση ενός γενικού πυκνωτή τανταλίου ή ηλεκτρολυτικού ή άνθρακα για την επαναφόρτιση των πυκνωτών αποσύζευξης των μεμονωμένων ολοκληρωμένων κυκλωμάτων.
- Παράκαμψη όλων των ηλεκτρολυτικών πυκνωτών με μικρούς πυκνωτές υψηλής συχνότητας.
- Εάν είναι απαραίτητο, συμπλήρωση της αποσύζευξης με χάνδρες φερρίτη σε σειρά.
- Διαχωρισμός σημάτων, τροφοδοσίας και γειώσεων.
- Χρήση επιλεκτικών φίλτρων συχνότητας όπου είναι εφαρμόσιμο.
- Σύνδεση του εξωτερικού ελάσματος σωληνοειδών πυκνωτών αλουμινίου με τη γείωση.
- Σύνδεση όλων των μη χρησιμοποιούμενων εισόδων στην τροφοδοσία ή τη γείωση ή τροποποίησή τους σε εξόδους.
- Παράκαμψη όλων των αναλογικών τάσεων αναφοράς.
- Χρησιμοποίηση τερματισμού σειράς να την εξασθένηση των αντανάκλασεων μετάδοσης.
- Αποφυγή χρήσης βάσεων τοποθέτησης για τα ολοκληρωμένα κυκλώματα υψηλής απόδοσης αναλογικά και μεικτών σημάτων.

