

ΒΙΒΛΙΟΘΗΚΗ
ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΙΩΑΝΝΙΝΩΝ



826000265547



**ΚΑΤΑΜΕΤΡΗΤΗΣ ΨΗΦΙΑΚΩΝ ΣΗΜΑΤΩΝ
ΒΑΣΙΖΟΜΕΝΟΣ ΣΕ ΟΛΟΚΛΗΡΩΜΕΝΟ
ΠΡΟΓΡΑΜΜΑΤΙΖΟΜΕΝΗΣ ΛΟΓΙΚΗΣ**

143
ΜΠΛΕ

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

ΜΛΕΤΣΑΣ ΔΗΜΗΤΡΙΟΣ-ΕΥΣΤΑΘΙΟΣ
Μηχανικός Βιοϊατρικής Τεχνολογίας

Επίβλεψη: Αναπληρωτής Καθηγητής Π. Κοκκας
Εργαστήριο Φυσικής Υψηλών Ενεργειών

ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ
ΣΤΙΣ ΣΥΓΧΡΟΝΕΣ ΗΛΕΚΤΡΟΝΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ

ΤΜΗΜΑ ΦΥΣΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

ΙΩΑΝΝΙΝΑ ΜΑΡΤΙΟΣ 2008



Περίληψη

Η παρούσα εργασία εκπονήθηκε στα πλαίσια του ΠΜΣ «Σύγχρονες Ηλεκτρονικές Τεχνολογίες» του Φυσικού Τμήματος του Πανεπιστημίου Ιωαννίνων, στο Εργαστήριο Φυσικής Υψηλών Ενεργειών. Αντικείμενο της εργασίας ήταν η ανάπτυξη αυτόνομης μονάδας καταμέτρησης παλμών (scaler), για χρήση σε πειράματα Πυρηνικής Φυσικής και Φυσικής Υψηλών Ενεργειών.

Η συσκευή που αναπτύχθηκε και κατασκευάστηκε στη συγκεκριμένη εργασία, αποτελείται από δύο καταμετρητές οκτώ ψηφίων. Η ψηφιακή λογική των καταμετρητών έχει υλοποιηθεί στο ολοκληρωμένο προγραμματιζόμενη λογικής XC2C64 της εταιρίας Xilinx. Επίσης έχει σχεδιαστεί και κατάλληλο κύκλωμα μετατροπής ψηφιακών σημάτων (LVDS, ECL και NIM) σε σήματα TTL. Για τις μετατροπές χρησιμοποιήθηκαν τα ολοκληρωμένα, MC10125 της εταιρίας ON semiconductors και 65LVDS32 της εταιρείας TEXAS INSTRUMENTS. Η απεικόνιση των μετρήσεων γίνεται σε ένα σύστημα βασισμένο στις οθόνες LED επτά ψηφίων (7segment LED Displays) LTS-4802BJR-H1 της εταιρίας LITE-ON.



ABSTRACT

This report describes the work that was undertaken for the title of MSc in "Modern Electronic Technologies" of the Physics Department of the University of Ioannina, at High Energy Physics Laboratory. The objective of this project was the development of an standalone scaler device based on a programmable logic integrated circuit (CPLD).

The device consists of two autonomous 8-digit scalars (digital counters). The digital logic of these counters has been implemented on the Xilinx's programmable logic integrated circuit, XC2C64. In addition, a translator circuit has been developed, to support counting of multiple types of logic signals (NIM, ECL, TTL and LVDS). The circuit of the translator is based on MC10125 integrated circuit manufactured by ON semiconductors and 65LVDS32 manufactured by TEXAS INSTRUMENTS. The results of the measurements are depicted on a block of 7segment LED Displays LTS-4802BJR-H1 manufactured by LITE-ON.



ΕΥΧΑΡΙΣΤΙΕΣ

Στο σημείο αυτό θα ήθελα να ευχαριστήσω τους ανθρώπους που συνέβαλλάν με διάφορους τρόπους στην πραγματοποίηση της παρούσας εργασίας.

Τον επιβλέποντα της διπλωματικής εργασίας Επίκουρο Καθηγητή κ. Παναγιώτη Κόκκα, μέλος του Εργαστηρίου Φυσικής Υψηλών Ενεργειών. Η καθοδήγηση του στην εκπόνηση της εργασίας ήταν αρκετά σημαντική για την πραγματοποίηση της.

Τα μέλη της εξεταστικής επιτροπής κ. Ιωάννη Ευαγγέλου και κ. Ιωάννη Παπαδόπουλο για την συμβολή τους. Καθώς και όλο το υπόλοιπο προσωπικό του εργαστηρίου Φυσικής Υψηλών Ενεργειών.

Το φίλο, και «μέντορα» μου σε θέματα ηλεκτρονικών κατασκευών Γεώργιο Σιδηρόπουλο, καθώς επίσης και τον συνάδερφο, Αθανάσιο Αναστασίου για τις πολύτιμες συμβουλές του.

Τέλος θα ήθελα να ευχαριστήσω θερμά τη Λένα, την οικογένεια μου και του φίλους μου για την ηθική συμπαράσταση τους καθ' όλη τη διάρκεια των σπουδών μου.



2.2.3.4. Ο μετρητής επιλογής ψηφίου	37
2.2.3.5. Η μνήμη οδήγησης	38
2.2.3.6. Ο κωδικοποιητής BCD σε 7-segment	39
2.3. ΤΟ ΣΥΣΤΗΜΑ ΑΠΕΙΚΟΝΙΣΗΣ ΕΙΣΑΓΩΓΗ	40
2.3.2. Τα LED	41
2.3.3. Οι οθόνες LED 7 ψηφίων	41
2.3.3.1. Οι οθόνες LTS-4802BJR-H1	42
2.3.4. Το κύκλωμα οδήγησης	43
3. ΜΕΤΡΗΣΕΙΣ	45
3.1. Τμήμα Μετατροπής Παλμών	45
3.1.1. Μετατροπή NIM σε TTL	45
3.1.2. Μετατροπή ECL σε TTL	47
3.1.3. Μετατροπή LVDS σε TTL	48
3.2. Γεννήτρια Παλμών	50
3.3. Μέτρηση Επαναληψιμότητας Καταμετρητή	50
3.4. Μετρήσεις Ακτινοβολίας Στρόντιου-90 (Sr)	53
4. ΑΠΟΤΙΜΗΣΗ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ	54
4.1 Λειτουργία του συστήματος.	54
4.2 Αποτίμηση του συστήματος.	55
4.3 Μελλοντική εξέλιξη του συστήματος.	55
ΒΙΒΛΙΟΓΡΑΦΙΑ-ΑΝΑΦΟΡΕΣ	59
ΠΑΡΑΡΗΜΑΤΑ	61
A. Ο κώδικας της VHDL.	61
B. Το θεωρητικό κύκλωμα της κατασκευής.	63
Γ Τα τυπωμένα κυκλώματα της κατασκευής.	65
Δ. Φωτογραφίες της κατασκευής.	67



A. ΕΙΣΑΓΩΓΗ-ΒΑΣΙΚΕΣ ΕΝΟΙΕΣ

1.1. Καταμετρητές παλμών

Στη Σύγχρονη Φυσική, οι πειραματικές μετρήσεις βασίζονται κυρίως στη μελέτη ηλεκτρικών παλμών που προέρχονται από αλληλεπιδράσεις σωματιδίων με ανιχνευτές. Η μελέτη αυτή άλλοτε αρκείται στην απλή καταμέτρηση των παλμών και άλλοτε στην περαιτέρω λεπτομερή ανάλυση τους.

Όσων αφορά την καταμέτρηση παλμών, στις μετρήσεις ακτινοβολίας συναντώνται δύο τύποι καταμετρητών που περιγράφονται παρακάτω.

i. Οι αναλογικοί καταμετρητές (*Ratemeters*)

Οι αναλογικοί καταμετρητές «ολοκληρώνουν» τους εισερχόμενους παλμούς και παρέχουν στο χρήστη ένδειξη για το στιγμιαίο ρυθμό των εισερχόμενων παλμών. Στην ορολογία NIM (Nuclear Instrumentation Modules) ονομάζονται ρυθμόμετρα (RATEMETERS) και συνήθως δίνουν μετρήσεις σε CPM (counts per minute). Οι RATEMETERS χρησιμοποιούνται όταν θέλουμε να έχουμε μέτρηση της στιγμιαίας ακτινοβολίας πχ στο μετρητή Geiger.

ii. Οι ψηφιακοί καταμετρητές (*Scalers*)

Οι scalers είναι καθαρά ψηφιακά συστήματα, κάθε παλμός καταμετρείται και αυξάνει κατά ένα την τιμή ενός ψηφιακού μετρητή (counter). Η τιμή του counter εμφανίζεται σε κάποιο απεικονιστικό σύστημα και κάθε στιγμή μπορούμε να δούμε πόσα «γεγονότα» έχουν συμβεί. Οι scalers χρησιμοποιούνται στη καταμέτρηση σωματιδίων, ακτινοβολίας υποβάθρου κ.α.

Στη παρούσα εργασία που εκπονήθηκε στο Εργαστήριο Υψηλών Σωματιδίων του Πανεπιστημίου Ιωαννίνων, αναπτύχθηκε μια αυτόνομη συσκευή scaler για χρήση στα πειράματα του εργαστηρίου. Η πρωτοτυπία της κατασκευής, έγκειται στις πολλαπλές διαφορετικές εισόδους που έχει, καθώς επίσης και στην αυτονομία της.

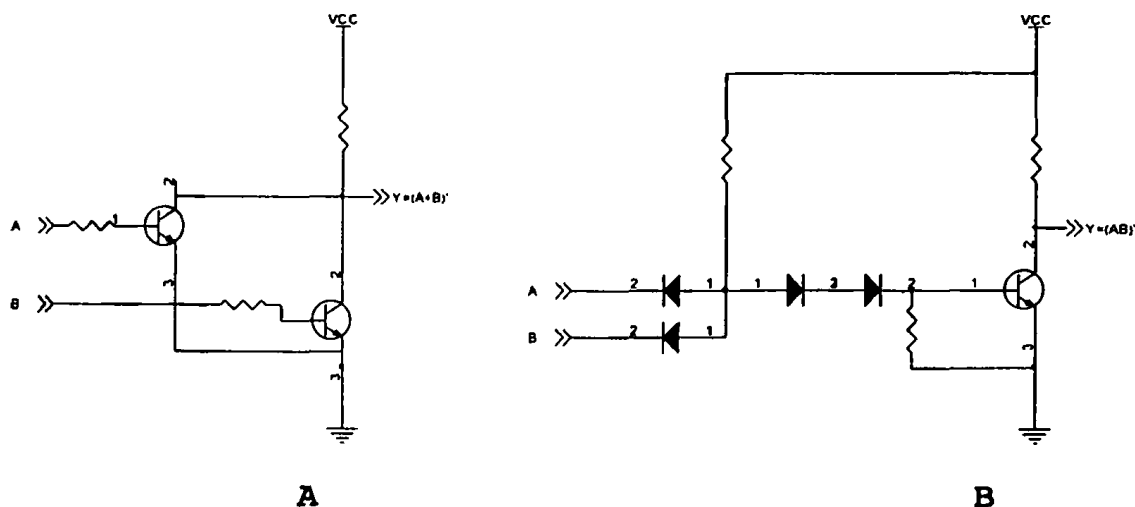


1.2. Ψηφιακά σήματα NIM,ECL,TTL,LVDS

Κατά γενική ομολογία, η ψηφιακή σχεδίαση είναι πιο διαδεδομένη και λιγότερο επώδυνη από την αναλογική σχεδίαση. Δυστυχώς το παραπάνω συμπέρασμα ισχύει μόνο για τη πρώτη προσέγγιση της σχεδίασης ενός ψηφιακού συστήματος, οπότε ο σχεδιαστής ασχολείται μόνο με τη λογική του συστήματος και όχι με την υλοποίηση του. Πιο συγκεκριμένα, το λογικό '1' και το λογικό '0' δεν είναι σταθερά (ως προς τις στάθμες δυναμικού) αλλά εξαρτώνται από τις οικογένειες των ολοκληρωμένων κυκλωμάτων που χρησιμοποιούνται. Στο συγκεκριμένο κεφάλαιο θα γίνει μια αναδρομή στις πιο διαδεδομένες οικογένειες ψηφιακών κυκλωμάτων μιας και αποτελούν βασικό τμήμα στη σύνθεση του καταμετρητή παλμών.

1.2.1. Οι πύλες RTL και DTL.

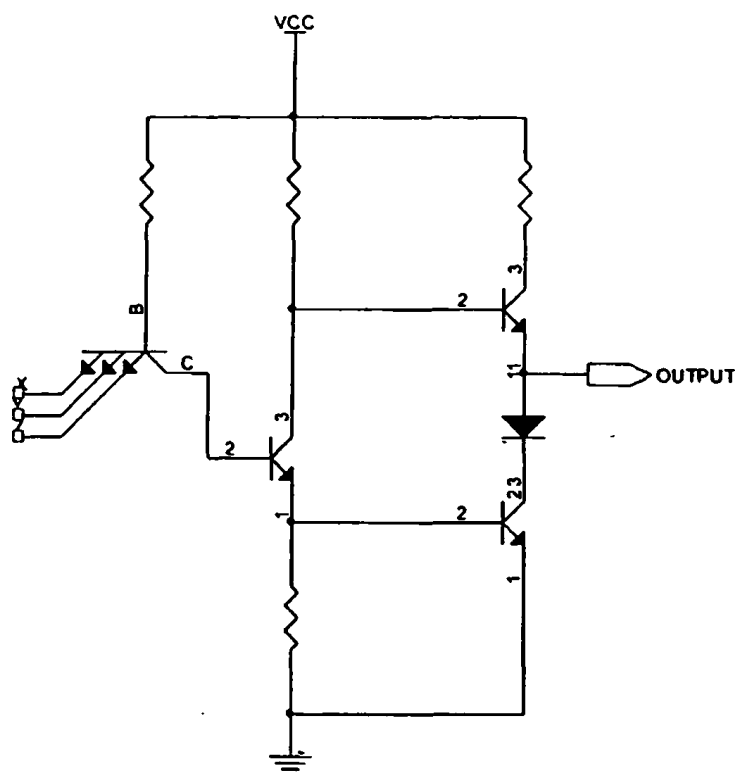
Μέχρι σήμερα έχουν εμφανιστεί αρκετές οικογένειες ψηφιακών κυκλωμάτων, με διαφορετικά χαρακτηριστικά. Μια από τις πρώτες οικογένειες που εμφανίστηκαν ήταν τα RTL(Resistor-Transistor Logic) κυκλώματα, στα οποία η σχεδίαση ήταν βασισμένη σε αντιστάσεις και transistor BJT (Bipolar Junction Transistor). Στη συνέχεια κατασκευάστηκαν τα DTL (Diode-Transistor Logic) ολοκληρωμένα που σαν βάση τους είχαν διόδους και transistor. Οι οικογένειες αυτές έχουν μόνο ιστορική σημασία μιας και δεν χρησιμοποιούνται πλέον. Στο Σχήμα 1.2 φαίνονται απλά παραδείγματα λογικών πυλών αυτών των οικογενειών.



Σχήμα 1.2 Χαρακτηριστικές λογικές πύλες RTL (α) και DTL(β)

1.2.1.2. Οι πύλες TTL

Η εξέλιξη των DTL κυκλωμάτων ήταν τα κυκλώματα TTL (Transistor-Transistor – Logic) που αποτελούν τη πιο διαδεδομένη ψηφιακή οικογένεια. Στο Σχήμα 1.3 φαίνεται μια κλασική πύλη TTL με έξοδο τύπου “τοτέμ”.



Σχήμα 1.3 . Πύλη TTL

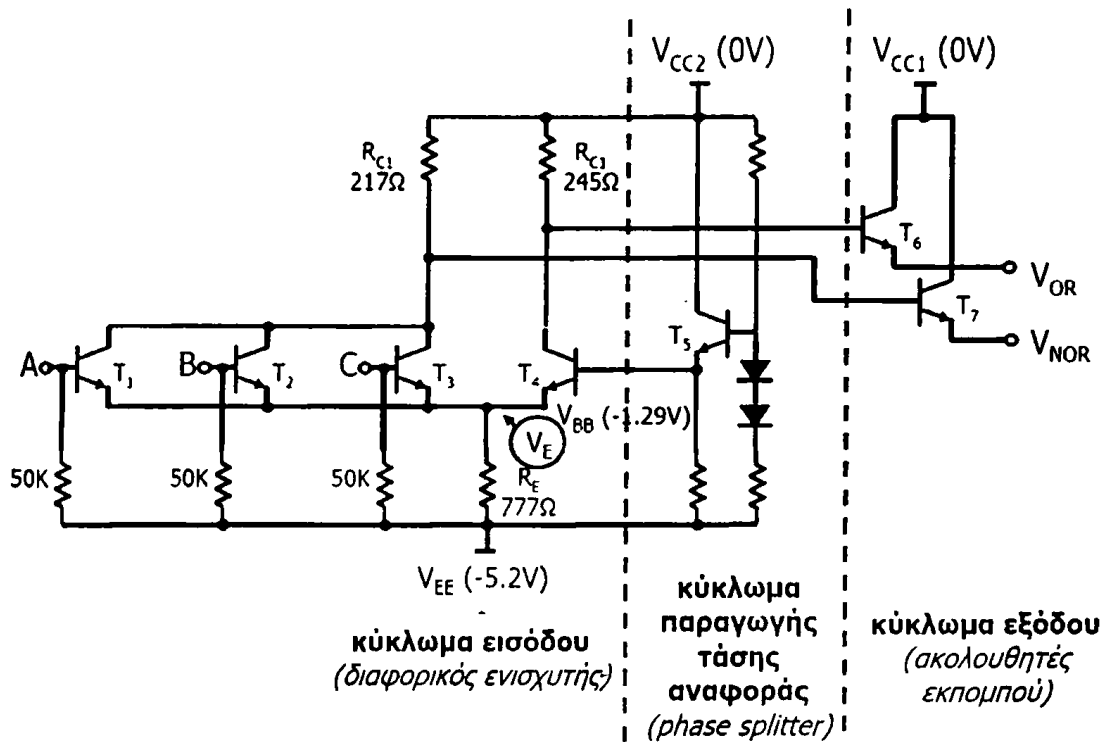
Η λειτουργία των TTL ολοκληρωμένων βασίζεται αποκλειστικά, σε transistors που λειτουργούν είτε σε αποκοπή είτε στο κόρο. Ο χρόνος ανόδου και η καθυστέρηση των κυκλωμάτων αυτών είναι της τάξης των 10ns και για το λόγο αυτό τα TTL δεν ενδείκνυνται για σχεδίαση πολύ υψηλών συχνοτήτων. Οι λογικές στάθμες είναι ‘0’ για τάσεις μέχρι 0.8 volt και ‘1’ για τάσεις μεγαλύτερες των 2 volt.

1.2.1.3. Οι πύλες ECL (Emitter-coupled logic)

Τα ολοκληρωμένα της οικογένειας αυτής εμφανίστηκαν το 1958 στην εταιρία IBM. Το κύριο χαρακτηριστικό τους είναι ότι τα transistor τους,



λειτουργούν πάντοτε στην ενεργό περιοχή και όχι στην αποκοπή ή στον κόρο (όπως οι προαναφερθείσες οικογένειες). Τα ECL περιέχουν έναν διαφορικό ενισχυτή στην είσοδο τους (κύκλωμα εισόδου). Ο ενισχυτής αυτός πολώνεται με μία τάση περίπου στο μέσο της μέγιστης και ελάχιστης τάσης (κύκλωμα παραγωγής τάσης αναφοράς), έτσι η κατάλληλη συνάρτηση εισόδου ελέγχει τον ενισχυτή και την βάση του transistor εξόδου (κύκλωμα εξόδου). Μέσω της διαδικασίας αυτής ο χρόνος διάδοσης μπορεί να φτάσει μέχρι και κάτω από 1ns. Στο σχήμα 1.4 φαίνεται το βασικό κύκλωμα μίας πύλης ECL OR/NOR [1].

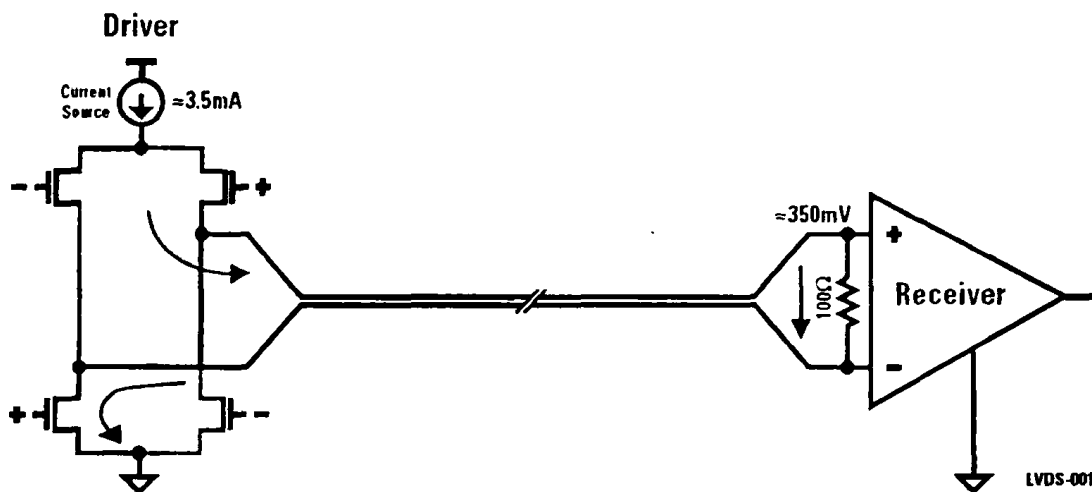


Σχήμα 1.4 . Βασικό κύκλωμα πύλης ECL OR/NOR

Τα κυκλώματα ECL τροφοδοτούνται με αρνητική τάση 5.2 volt και η έξοδος τους είναι -0.8volt για λογικό '1' και -1.6 volt για λογικό '0'. Η μετάδοση των ECL σημάτων γίνεται διαφορικά (με ζεύγη συνεστραμμένων καλωδίων) και για το λόγω αυτό έχουν υψηλή ανοχή στις ηλεκτρομαγνητικές παρεμβολές. Τα κυκλώματα ECL αποτελούν τη καλύτερή (εμπορική) λύση για ψηφιακές μεταδόσεις με μεγάλες ταχύτητες και σε μεγάλες αποστάσεις [2].

1.2.1.4. Οι πύλες LVDS

Η τεχνολογία LVDS εμφανίστηκε το 1994 (ως πρότυπο ANSI/TIA/EIA-644-A) φιλοδοξώντας να συνδυάσει τα πλεονεκτήματα των ECL κυκλωμάτων χωρίς την ανάγκη για αρνητική τροφοδοσία και υψηλή κατανάλωση. Πρόκειται για διαφορικά σήματα με πολύ χαμηλό πλάτος που κυμαίνεται από 250 έως 450 mV. Αποτελούν μια ακόμη πολύ καλή λύση για μεταδόσεις σε μεγάλη απόσταση και με μικρό θόρυβο. Η μετάδοση των σημάτων αυτών γίνεται μέσω ζευγών συνεστραμμένων καλωδίων, τα οποία τερματίζονται σε αντιστάσεις 100Ω. Στο σχήμα 1.5 φαίνεται η λειτουργία τους [3].



Σχήμα 1.5. Απλοποιημένο διάγραμμα συστήματος μετάδοσης με LVDS

Η έξοδος των LVDS αποτελείται από μία πηγή ρεύματος (περίπου 3.5mA) η οποία οδηγεί τις δύο διαφορικές γραμμές σήματος. Ο βασικός δέκτης έχει υψηλή DC αντίσταση εισόδου οπότε το περισσότερο ρεύμα ρέει διαμέσου της αντίστασης τερματισμού (100Ω). Ως αποτέλεσμα εμφανίζεται τάση 350 mV στην είσοδο του δέκτη. Όταν η λογική μεταβάλλεται από '0' σε '1' (switching) αλλάζει η φορά του ρεύματος που διαρρέει την αντίσταση τερματισμού και εμφανίζεται η συμπληρωματική λογική. Η κοινή τάση του ζεύγους των σημάτων LVDS (common-mode voltage) είναι 1.25 V δίνοντάς έτσι την δυνατότητα να λειτουργούν και με χαμηλές τροφοδοσίες (2.5 Volt και μικρότερες). Τα LVDS συνήθως χρησιμοποιούνται για σειριακή μετάδοση και συναντώνται στους δίαυλους δεδομένων FireWire και SCSI [4].

1.2.1.5. Τα σήματα NIM (Nuclear Instrumentation Methods)

Το πρότυπο NIM (DOE/ER-0457) δημιουργήθηκε το 1964 για την υλοποίηση πειραμάτων πυρηνικής φυσικής και φυσικής υψηλών ενεργειών. Ο στόχος του ήταν η δημιουργία συσκευών που να εξυπηρετούν τις ειδικές προδιαγραφές των πειραμάτων αυτών. Σε όλα τα σύγχρονα πειράματα (στα πεδία που αναφέρθηκαν) χρησιμοποιούνται μονάδες NIM. Το πρότυπο NIM περιλαμβάνει προδιαγραφές τόσο για τις φυσικές διαστάσεις των συσκευών όσο και τις ηλεκτρικές απαιτήσεις (τροφοδοσία, λογικές στάθμες).

Οι συσκευές NIM πρέπει να έχουν ύψος 8,75" και πλάτος πολλαπλάσιο των 1.35". Όλες οι συσκευές εφαρμόζουν σε μεγαλύτερες μονάδες (NIM-bin) οι οποίες παρέχουν τις απαραίτητες τάσεις τροφοδοσίας (6,-6,12,-12,24 και -24 volt). Τα NIM-bin έχουν σχεδιασθεί ώστε να τοποθετούνται σε κριώματα (racks) του προτύπου EIA 19".

Στο πρότυπο NIM επίσης προβλέπονται οι λογικές στάθμες των ψηφιακών σημάτων που χρησιμοποιούνται. Το λογικό '0' για τα σήματα NIM κυμαίνεται από 0 έως -2 mA ενώ το λογικό '1' από -12 έως -32 mA. Λόγω του ότι οι γραμμές μεταφοράς των σημάτων NIM τερματίζονται πάντα από αντιστάσεις 50 Ω, οι παραπάνω στάθμες ρεύματος αντιστοιχούν σε 0 volt για λογικό '0' και -0.8 volt για λογικό '1'.



2. ΠΕΡΙΓΡΑΦΗ ΣΥΣΤΗΜΑΤΟΣ

ΕΙΣΑΓΩΓΗ

Ο αντικειμενικός στόχος της παρούσας εργασίας είναι η κατασκευή ενός συστήματος καταμέτρησης ψηφιακών σημάτων διαφόρων «οικογενειών» (LVTTL, NIM, ECL, LVDS) και η απεικόνιση τους σε οκτώ (8) ψηφιακές LED 7-τμημάτων (7-segment LED displays). Για την απεικόνιση, οι οθόνες «οδηγούνται» από κατάλληλο κύκλωμα πολυπλεξίας για να ελαττωθούν οι απαιτήσεις σε ρεύμα και αγωγούς.

Το σύστημα βασίζεται στο ολοκληρωμένο προγραμματιζόμενη λογική της εταιρίας XILINX XC2C64, στο οποίο υλοποιήθηκε όλη η ψηφιακή λογική ελέγχου, καταμέτρησης και απεικόνισης των αποτελεσμάτων. Εν συντομία η λειτουργία του ψηφιακού συστήματος είναι η εξής:

Τα σήματα εισέρχονται σε ένα συνδυαστικό κύκλωμα επιλογής, στο οποίο επιλέγεται (από τον χρήστη) το προς μέτρηση σήμα. Το σήμα στη συνέχεια εισέρχεται σε ένα σύστημα οκτώ (8) ασύγχρονων μετρητών BCD (μέτρηση από 0000 έως 0101). Οι 32 έξοδοι του συστήματος των μετρητών συνδέονται σε ένα πολυπλέκτη 32-σε-4 και οι 4 έξοδοι του πολυπλέκτη σε έναν κωδικοποιητή δυαδικού συστήματος σε σύστημα οθόνης LED 7 τμημάτων (binary to 7-segment encoder). Παράλληλα μια μνήμη οκτώ (8) bit ελέγχει το κύκλωμα οδήγησης των ανόδων των οθονών LED. Ο πολυπλέκτης και η μνήμη ελέγχονται από ένα ασύγχρονο μετρητή τριών bit, ο οποίος λαμβάνει σήμα χρονισμού από μια γεννήτρια (TTL) τετραγωνικών παλμών, με συχνότητα περίπου 875Hz.

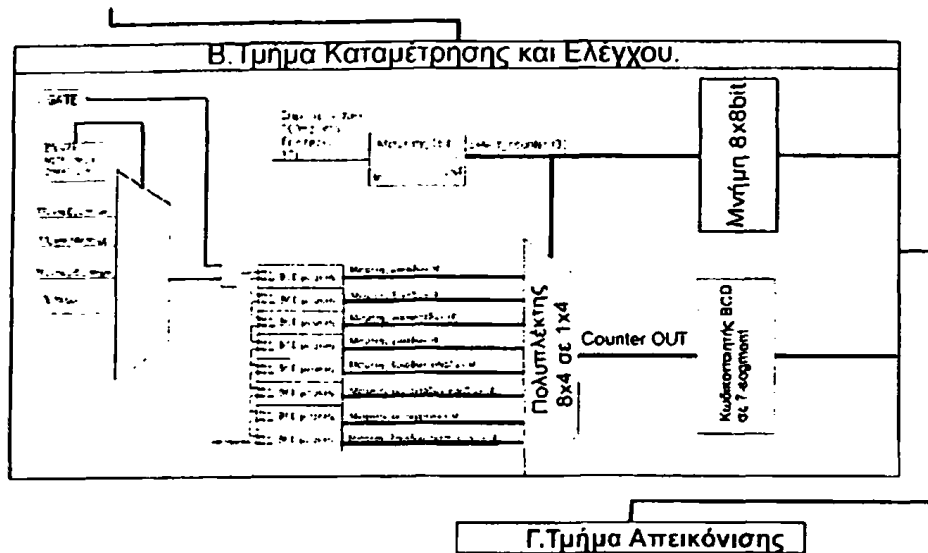
Το συνολικό αποτέλεσμα είναι να μετράνε οι καταμετρητές τα εισερχόμενα σήματα συνεχώς, και το σύστημα πολυπλεξίας να «μεταφέρει» τη τιμή του κάθε μετρητή στο αντίστοιχο ψηφίο-οθόνη LED με συχνότητα εναλλαγής ίδια με της γεννήτριας παλμών. Έτσι η σειριακή αυτή σάρωση των ψηφίων δίνει την εντύπωση συνεχούς παρακολούθησης της κατάστασης των μετρητών χωρίς μεγάλες απαιτήσεις σε ρεύμα.

Λόγω του ότι απαιτείται το σύστημα να υποστηρίζει διαφορετικές ψηφιακές οικογένειες σημάτων (LVTTL, NIM, ECL, LVDS) και το CPLD XC2C64 υποστηρίζει μόνο LVTTL, αναπτύχθηκε πριν από την είσοδο στο CPLD ένα κατάλληλο αναλογικό σύστημα μετατροπής ψηφιακών σημάτων.

Στη συνέχεια παρατίθεται ένα διάγραμμα του συστήματος (Σχήμα 2.1), ενώ λεπτομερής ανάλυση των επιμέρους τμημάτων τα δοθεί στα επόμενα κεφάλαια.



Α. Τμήμα Μετατροπής Παλμών
 Μετατροπή NIM σε TTL
 Μετατροπή ECL σε TTL
 Μετατροπή LVDS σε TTL



Σχήμα 2.1. Το συνολικό διάγραμμα του συστήματος

2.1 ΤΜΗΜΑ ΜΕΤΑΤΡΟΠΗΣ ΣΗΜΑΤΩΝ

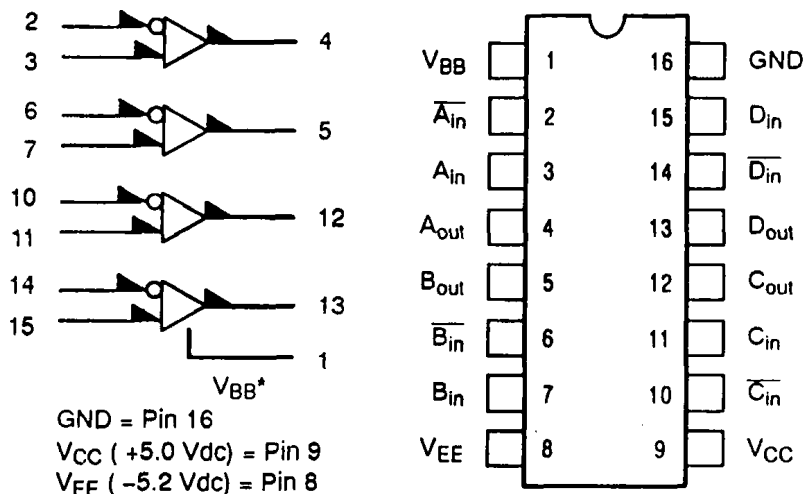
Μετατροπές ψηφιακών σημάτων

Πολλές φορές κατά τη σχεδίαση ενός ηλεκτρονικού συστήματος, απαιτείται η χρησιμοποίηση διαφορετικών οικογενειών ψηφιακών σημάτων. Η εναλλαγή αυτή γίνεται ώστε να χρησιμοποιείται η κάθε οικογένεια στις συνθήκες που έχει τη καλύτερη απόδοση.

Για παράδειγμα, είναι γνωστό ότι τα διαφορεικά σήματα (ECL και LVDS) έχουν καλύτερη συμπεριφορά στον ηλεκτρονικό θόρυβο και ότι μπορούν να μεταδοθούν αρκετά μακριά μέσω της γραμμής μεταφοράς, σε αντίθεση με τα σήματα TTL όπου δεν μπορούν να φτάσουν πολύ μακριά, αλλά είναι περισσότερο διαδεδομένα και συνεπώς πιο οικονομικά. Όποτε αν χρειάζεται να σχεδιαστεί ένα σύστημα χαμηλού κόστους με μεγάλη ανοχή στο θόρυβο, θα πρέπει να χρησιμοποιηθεί TTL λογική στα τμήματα λογικής (επεξεργασίας) και ECL, NIM (για τα πειράματα φυσικής) ή LVDS στο τμήμα μετάδοσης. Η μετατροπή των σημάτων μπορεί να γίνει με τα ολοκληρωμένα MC10125 και 65LVDS32, με τον τρόπο που θα περιγραφεί στο επόμενο κεφάλαιο.

2.1.2. Το ολοκληρωμένο κύκλωμα MC10125

Όπως έχει αναφερθεί και παραπάνω, για τη μετατροπή των σημάτων ECL και NIM σε TTL έχει χρησιμοποιηθεί το ολοκληρωμένο MC10125 της εταιρίας ON Semiconductors. Το λογικό διάγραμμα του ολοκληρωμένου καθώς και οι ακροδέκτες του φαίνονται στο Σχήμα 2.2.



Σχήμα 2.2. Το λογικό διάγραμμα και οι ακροδέκτες του MC10125

Το MC10125 είναι ένας τετραπλός μετατροπέας MECL σε TTL (quad-MECL-to-TTL-translator). Το ολοκληρωμένο περιέχει διαφορικές εισόδους και εξόδους Schottky TTL τύπου τοτέμ (totem-pole). Χρησιμοποιείται η συγκεκριμένη συνδεσμολογία εξόδου τοτέμ για επίτευξη καλύτερων χαρακτηριστικών μεταγωγής (switching) και συνεπώς πιο γρήγορων ολοκληρωμένων κυκλωμάτων.

Η τάση αναφοράς V_{bb} εφαρμόζεται στον ακροδέκτη ένα (1) του ολοκληρωμένου, για την πόλωση όταν η είσοδος δεν είναι διαφορική (single-ended input). Οι εξοδοί του MC10125 οδηγούνται σε χαμηλό δυναμικό (λογικό 0) όταν οι εισοδοί είναι ασύνδετες, ενώ για να επιτευχθεί υψηλό δυναμικό (λογικό 1) απαιτείται ελάχιστο διαφορικό σήμα εισόδου 150 mVp-p. Στη συνέχεια παρατίθενται οι πίνακες με τα ηλεκτρικά χαρακτηριστικά του ολοκληρωμένου (Πίνακés 2.1 και 2.2) [5].

Symbol	Characteristic	Rating	Unit	
V _{EE}	Power Supply (V _{CC} = 5.0 V)	-8.0 to 0	V _{dc}	
V _{CC}	Power Supply (V _{EE} = -5.2 V)	0 to +7.0	V _{dc}	
V _I	Input Voltage (V _{CC} = 5.0 V)	0 to V _{EE}	V _{dc}	
T _A	Operating Temperature Range	0 to +75	°C	
T _{stg}	Storage Temperature Range	- Plastic - Ceramic	-55 to +150 -55 to +165	°C

Πίνακας 2.1. Παράμετροι λειτουργίας του MC10125

Symbol	Characteristic	0		25°		75		Unit
		Min	Max	Min	Max	Min	Max	
I _E	Negative Power Supply Drain Current	-	44	-	40	-	44	mA
I _{OCH}	Positive Power Supply Drain Current	-	63	-	63	-	63	mA
I _{OCL}		-	40	-	40	-	40	mA
I _{ih}	Input Current	-	225	-	145	-	145	μA
I _{CSO}	Input Leakage Current	-	1.5	-	1.0	-	1.0	μA
V _{OH}	High Output Voltage I _{OH} = -1.0 mA	2.5	-	2.5	-	2.5	-	V _{dc}
V _{OL}	Low Output Voltage I _{OL} = -20 mA	-	0.5	-	0.5	-	0.5	V _{dc}
V _{IH}	High Input Voltage (Note 1)	-1.17	-0.84	-1.13	-0.81	-1.07	-0.735	V _{dc}
V _{IL}	Low Input Voltage (Note 1)	-1.95	-1.48	-1.95	-1.48	-1.95	-1.45	V _{dc}
I _{CS}	Short Circuit Current	60	150	60	150	50	150	mA
V _{BB}	Reference Voltage	-1.38	-1.27	-1.35	-1.25	-1.31	-1.19	V _{dc}
V _{CMR}	Common Mode Range (Note 3)	-	-	-2.85 to +0.3				V
		Typical						
V _{EP}	Input Sensitivity (Note 4)	150						mV

Πίνακας 2.2. Τα ηλεκτρικά χαρακτηριστικά του MC10125
2.1.2.1. Κύκλωμα ECL σε TTL

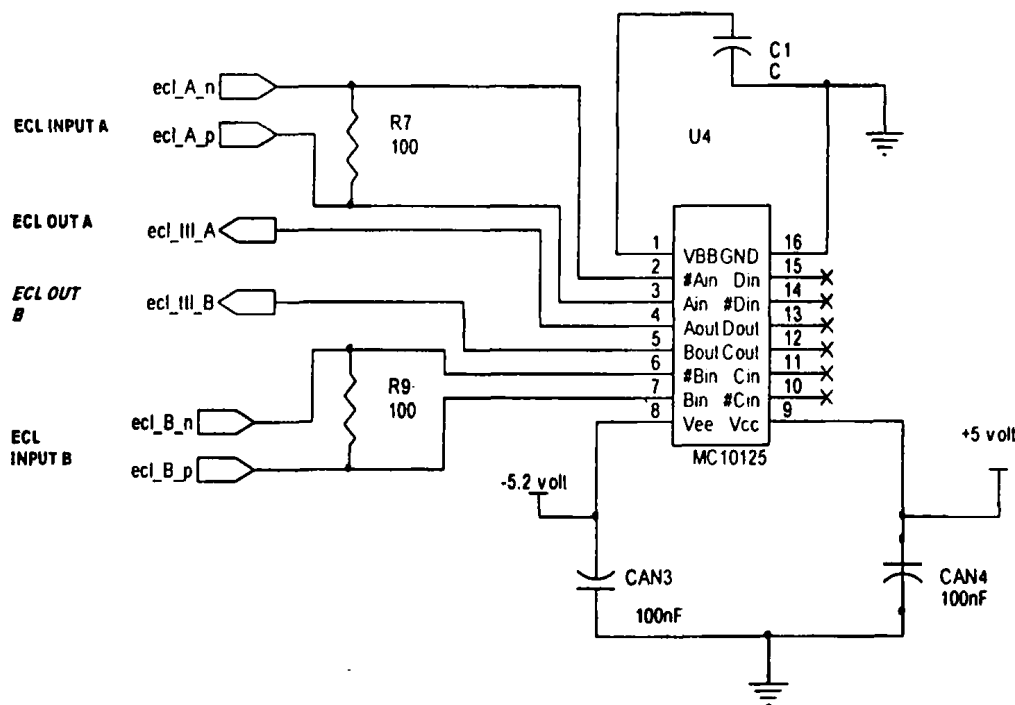
Η μετατροπή σημάτων ECL σε TTL είναι αρκετά εύκολη διότι το ολοκληρωμένο MC10125 είναι σχεδιασμένο για αυτή τη μετατροπή.

Στη παρούσα εργασία χρησιμοποιούνται δύο (2) από τους τέσσερις μετατροπείς του ολοκληρωμένου. Ο ακροδέκτης 1 (τάση αναφοράς V_{bb}) συνδέεται στην γείωση του συστήματος (GND) μέσω ενός πυκνωτή παράκαμψης (bypass capacitor) 100nF. Επίσης ανάμεσα σε κάθε τροφοδοσία (V_{cc} και V_{ee}) και τη γείωση τοποθετούνται ανάλογοι πυκνωτές παράκαμψης. Η χρήση των πυκνωτών αυτών προσφέρει στο σύστημα καλύτερη συμπεριφορά στην επίδραση του ηλεκτρονικού θορύβου.



Για τον τερματισμό του διαφορικού σήματος ECL έχει επιλεγεί παράλληλος τερματισμός στα 100Ω. Στο σχήμα 2.3 φαίνεται το κύκλωμα μετατροπής παλμών ECL σε TTL που χρησιμοποιήθηκε.

Τα δύο διαφορικά ECL σήματα συνδέονται μέσω των αντιστάσεων τερματισμού στους ακροδέκτες δυο-τρία (2-3) και έξι-επτά (6-7) του MC10125 ενώ οι έξοδοι TTL είναι στους ακροδέκτες τέσσερα (4) και πέντε (5) αντίστοιχα.



Σχήμα 2.3. Το κύκλωμα μετατροπής παλμών ECL σε TTL

2.1.2.2. Κύκλωμα NIM σε TTL

Η μετατροπή παλμών NIM σε TTL, στην παρούσα εργασία, επιτυγχάνεται με τη χρήση του ολοκληρωμένου MC10125. Η διαφοροποίηση από τη βασική συνδεσμολογία (μετατροπή των ECL σε TTL), έγκειται στην εφαρμογή των NIM παλμών στη συμπληρωματική είσοδο, εφαρμόζοντας παράλληλα και ένα σταθερό αρνητικό δυναμικό στην άλλη είσοδο.

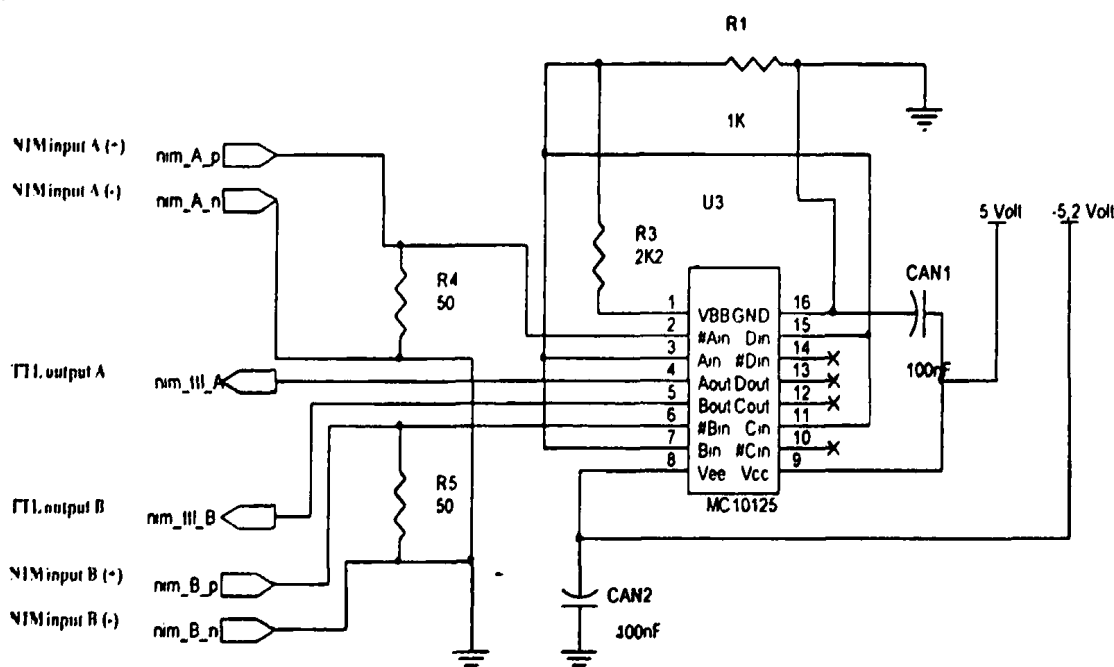
Το ολοκληρωμένο MC10125 δίνει υψηλή έξοδο (TTL -λογικό 1) όταν η συμπληρωματική είσοδος είναι μικρότερη από την απλή. Εάν εφαρμοστεί στην συμπληρωματική είσοδο ο παλμός NIM και στην απλή είσοδο αρνητικό δυναμικό (-0,4 volt) τότε συμβαίνουν τα εξής:



A) στο NIM λογικό-1 (-0,8 volt), η συμπληρωματική είσοδος θα είναι μικρότερη της απλής εισόδου, οπότε η έξοδος του MC10125 θα είναι TTL λογικό-1 και

B) στο NIM-λογικό-0 (0volt) η συμπληρωματική είσοδος θα είναι μεγαλύτερη της απλής εισόδου, οπότε η έξοδος του MC10125 θα είναι TTL λογικό-0.

Έτσι επιτυγχάνεται η μετατροπή NIM παλμών σε TTL. Το αρνητικό δυναμικό των (-0,4 volt) δημιουργείται μέσω του διαιρέτη της τάσης αναφοράς VBB του ακροδέκτη 1 του MC10125. Η τάση αυτή είναι -1,2 volts οπότε με αντιστάσεις 1K και 2K υλοποιείται η επιθυμητή τάση των -0,4 volts.



Σχήμα 2.4. Το κύκλωμα μετατροπής παλμών NIM σε TTL

Όπως φαίνεται και στο Σχήμα 2.4, στο κύκλωμα μετατροπής NIM σε TTL χρησιμοποιούνται δύο πυκνωτές παράκαμψης των 100nF, ενώ τα NIM σήματα τερματίζονται σε αντιστάσεις 50Ω. Τα δύο NIM σήματα συνδέονται μέσω των αντιστάσεων τερματισμού στους ακροδέκτες δύο και έξι του MC10125 ενώ το δυναμικό των -0,4 volt, στους ακροδέκτες τρία και επτά. Οι έξοδοι TTL είναι στους ακροδέκτες τέσσερα και πέντε αντίστοιχα .

2.1.3. Το ολοκληρωμένο κύκλωμα 65LVDS32

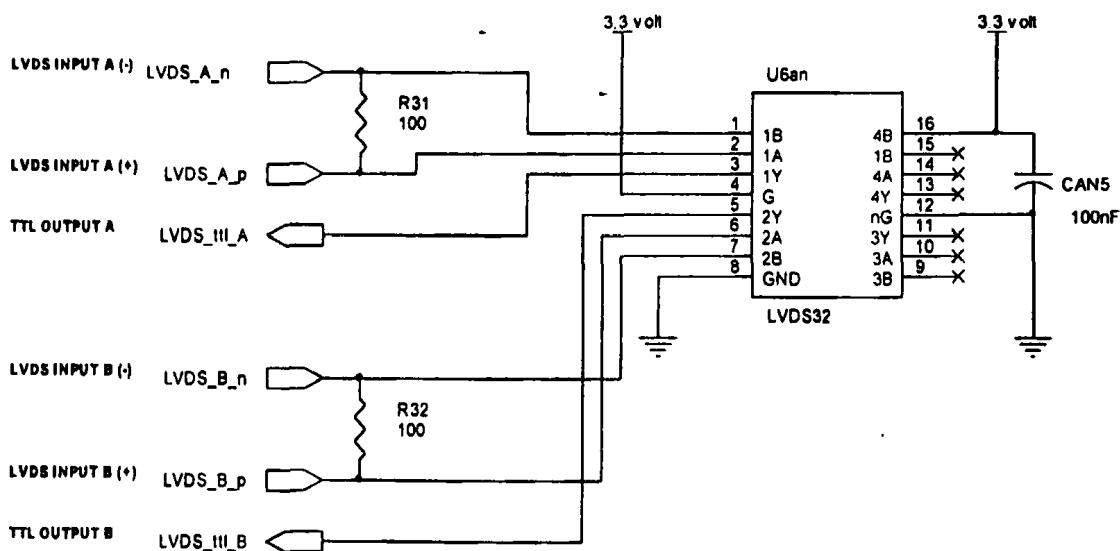


Το ολοκληρωμένο 65LVDS32 κατασκευάζεται από την εταιρεία TEXAS INSTRUMENTS και είναι ένας τετραπλός δέκτης-γραμμής (quad line receiver). Ουσιαστικά είναι ένας μετατροπέας διαφορικών σημάτων LVDS σε σήματα TTL. Ονομάζεται όμως δέκτης-γραμμής γιατί συνήθως χρησιμοποιείται σε κυκλώματα εναλλαγής (Interchange Circuits), στο τέλος της γραμμής μεταφοράς.

Τα κυκλώματα εναλλαγής όπως αναφέρθηκε και παραπάνω είναι κυκλώματα που χρησιμοποιούνται όταν ένα σήμα πρέπει να διανύσει απόσταση τέτοια που τα συμβατικά σήματα (TTL, CMOS) δεν το επιτρέπουν. Στις περιπτώσεις αυτές χρησιμοποιείται ένας μετατροπέας TTL (ή CMOS) σε LVDS, στην αρχή της γραμμής μεταφοράς και ο οποίος ονομάζεται οδηγός-γραμμής (line driver) καθώς και ένας δέκτης-γραμμής μετά τη γραμμή μεταφοράς [6].

2.1.3.1. Κύκλωμα LVDS σε TTL

Το τελευταίο κύκλωμα μετατροπής ψηφιακών παλμών που υλοποιείται στη παρούσα εργασία είναι της μετατροπής LVDS σε TTL. Για την μετατροπή αυτή χρησιμοποιήθηκε το ολοκληρωμένο 65LVDS32 που αναφέρεται σε προηγούμενο σημείο του κειμένου. Το κύκλωμα (Σχήμα 2.5) αποτελείται από το ολοκληρωμένο 65LVDS32, τις αντιστάσεις τερματισμού και ένα πυκνωτή παράκαμψης (100 nF).

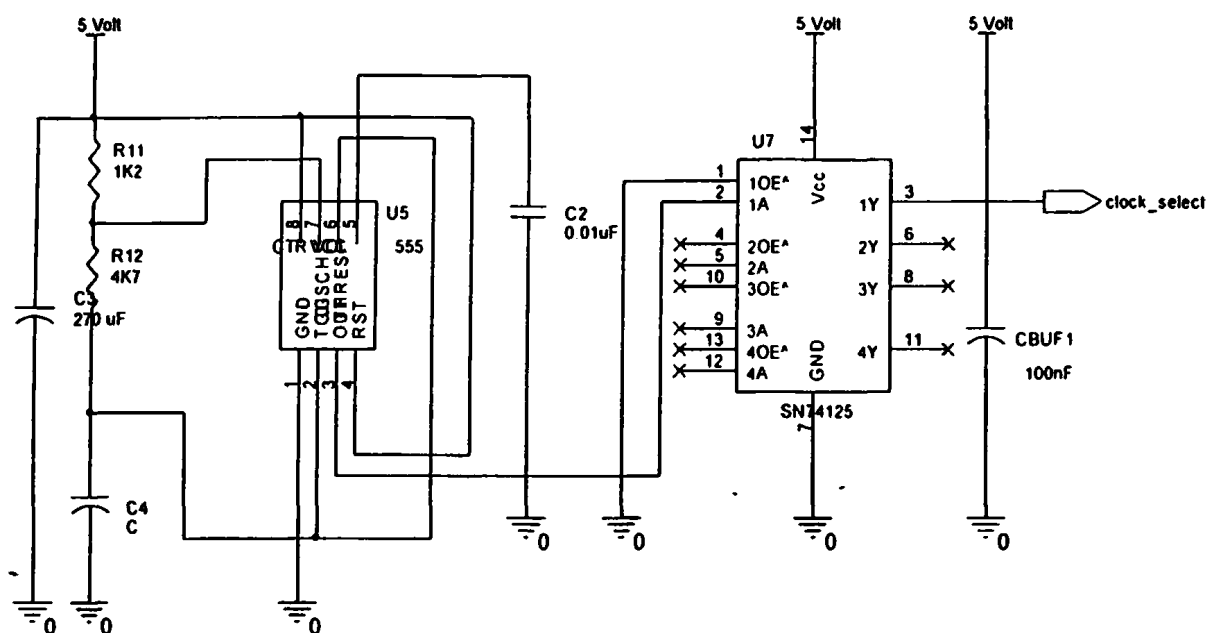


Σχήμα 2.5 . Το κύκλωμα μετατροπής παλμών LVDS σε TTL

2.1.4 Γεννήτρια τετραγωνικών παλμών TTL.

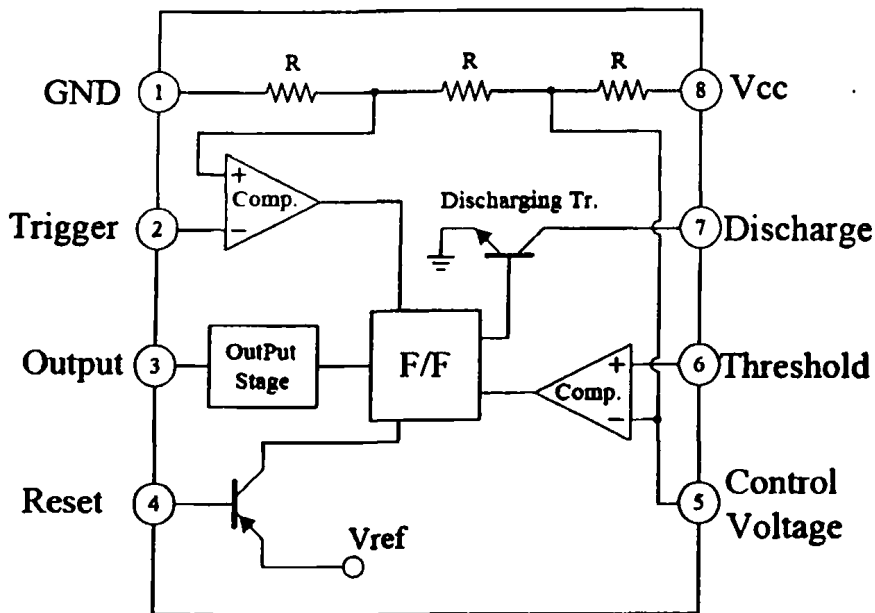


Ένα ακόμα αναλογικό τμήμα στο κύκλωμα του καταμετρητή παλμών είναι η γεννήτρια τετραγωνικών παλμών TTL. Το συνολικό κύκλωμα της γεννήτριας φαίνεται στο σχήμα 2.6.



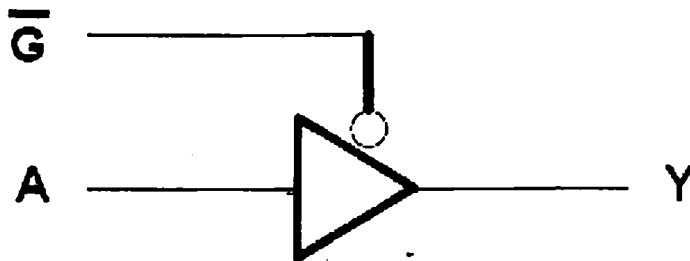
Σχήμα 2.6. Η γεννήτρια τετραγωνικών παλμών

Το κύκλωμα βασίζεται στο αρκετά διαδεδομένο ολοκληρωμένο κύκλωμα 555 και στη συνδεσμολογία «Ασταθούς πολυδονητή». Η λειτουργία του 555 δε θα αναλυθεί, διότι πρόκειται για ένα πολύ συνηθισμένο ολοκληρωμένο κύκλωμα. Στο Σχήμα 2.7 φαίνεται η εσωτερική δομή του NE555 της εταιρίας FAIRCHILD που χρησιμοποιήθηκε. Για καλύτερη σύζευξη και σταθερότητα, προστέθηκε στο κύκλωμα της γεννήτριας ένας απομονωτής (buffer). Το ολοκληρωμένο SN74125, που χρησιμοποιήθηκε περιέχει τέσσερις buffers τριών καταστάσεων (tri-state) όμοιους με αυτόν του Σχήματος 2.8.



Σχήμα 2.7. Ο απλός χρονιστής NE555 της εταιρίας FAIRCHILD.

'125, 'LS125A



Σχήμα 2.8. Το λογικό διάγραμμα κάθε πύλης του buffer SN74125

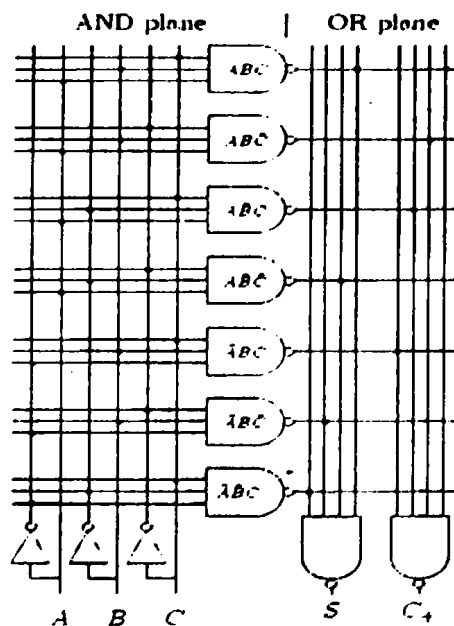
2.2. Τμήμα Καταμέτρησης και Ελέγχου

2.2.1. Συστήματα προγραμματιζόμενης λογικής (PLDs)

Μέχρι τα τέλη της δεκαετίας του 70 όλα τα ψηφιακά κυκλώματα αποτελούνταν από συνδυασμό συγκεκριμένων ολοκληρωμένων εκ των οποίων το κάθε ένα πραγματοποιούσε μια συγκεκριμένη λογική πράξη (πχ το 7400 που έχει 4 πύλες NAND). Το μειονέκτημα αυτού του τύπου σχεδίασης ήταν ότι αν κάποιος ήθελε να σχεδιάσει ένα λογικό κύκλωμα που

περιείχε μία μόνο πύλη NAND θα έπρεπε να χρησιμοποιήσει ολόκληρο το ολοκληρωμένο 7400.

Για την αντιμετώπιση του προαναφερθέντος προβλήματος, της άσκοπης κατανάλωσης χώρου και ενέργειας στα ψηφιακά κυκλώματα, κατασκευάστηκαν οικογένειες ολοκληρωμένων (PLA, PAL και GAL). Τα ολοκληρωμένα αυτά αποτελούνται από προκαθορισμένα πλέγματα-επίπεδα (planes) από λογικές πύλες (AND, OR και άλλες), συγκεκριμένες εισόδους και εξόδους και ένα σύστημα το οποίο συνδυάζει τις διασυνδέσεις των πυλών για τη υλοποίηση συγκεκριμένων λογικών πράξεων. Αρχικά ο συνδυασμός των πυλών γινόταν (κατά μόνιμο τρόπο) με ένα σύστημα ηλεκτρικών ασφαλειών, ενώ στα πιο σύγχρονα συστήματα με άλλους τρόπους με σκοπό τη δυνατότητα επαναπρογραμματισμού της διάταξης. Μια ενδεικτική διάταξη προγραμματιζόμενης λογική φαίνεται στο Σχήμα 2.9.



Σχήμα 2.9 .Ενδεικτικό σχέδιο συστήματος PLA.

Τα συστήματα που αναφέρθηκαν παραπάνω, δεν χρησιμοποιούνται πλέον ευρέως από τους μηχανικούς, και έχουν αντικατασταθεί από τις διατάξεις CPLD (Complex Programmable Logic Device) και FPGA (Field Programmable Logic Arrays).

2.2.1.1. Οι διατάξεις CPLD (Complex Programmable Logic Device)

Οι διατάξεις αυτές, γενικά, αποτελούνται από μακροκύτταρα (macrocell) και τμήματα λογικής PLD τα οποία συνδέονται μεταξύ τους

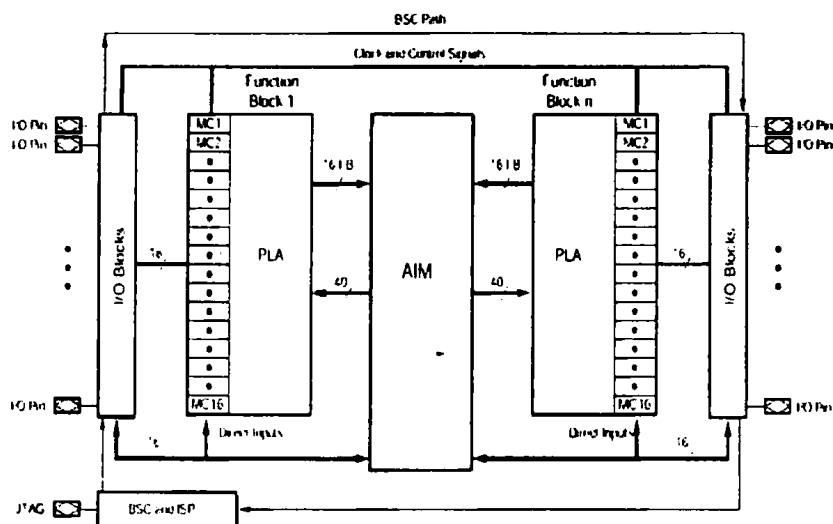


μέσω κατάλληλου συστήματος διασυνδέσεων (interconnection matrix). Οι παραπάνω όροι θα αναλυθούν στη συνέχεια του κειμένου.

2.2.1.1.1. Η οικογένεια CPLD COOLRUNNER-II της εταιρίας XILINX

Τα ολοκληρωμένα της οικογένειας αυτής αποτελούνται από λειτουργικά τμήματα (Function blocks) τα οποία με τη σειρά τους αποτελούνται από μακροκύτταρα (macrocells). Τα λειτουργικά τμήματα συνδέονται μεταξύ τους με το σύστημα AIM (Advanced Interconnect Matrix) και έχουν κατάλληλο σχεδιασμό ώστε κάθε δομικό στοιχείο (p-term) να συνδέεται με κάθε μακροκύτταρο.

Το λογισμικό που χρησιμοποιείται για το προγραμματισμό του CPLD (ISE της XILINX), συνθέτει και ελέγχει κατάλληλα το σύστημα AIM ώστε να μην απαιτείται εις βάθος κατανόηση της αρχιτεκτονικής του συστήματος για μία αποτελεσματική σχεδίαση. Στο Σχήμα 2.10 φαίνεται η αρχιτεκτονική των CPLDS COOLRUNNER-II της εταιρίας XILINX.



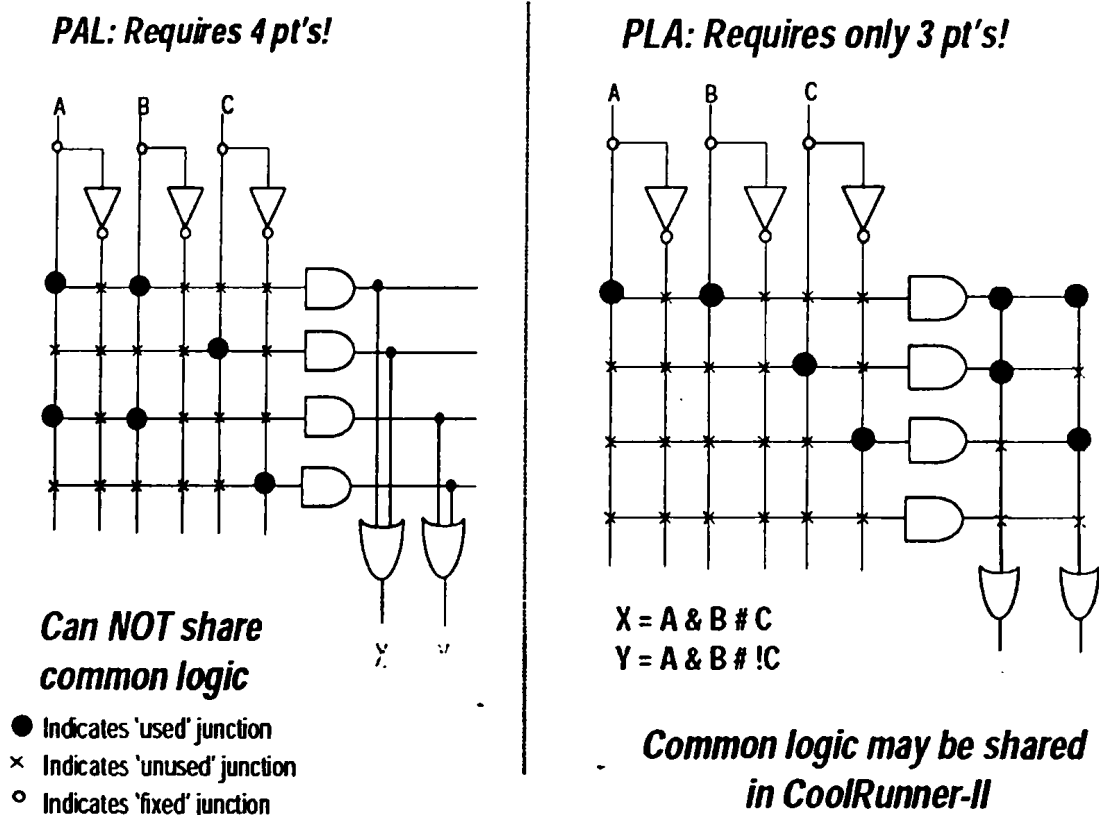
Σχήμα 2.10. Η αρχιτεκτονική των COOLRUNNER-II της XILINX.

2.2.1.1.2. Τα Λειτουργικά Τμήματα (FUNCTION BLOCKS) των COOLRUNNER-II.

Τα λειτουργικά τμήματα των CPLDs της οικογένειας CoolRunner-II περιέχουν 16 μακροκύτταρα, με 40 σημεία εισαγωγής σημάτων για διασύνδεση και επεξεργασία. Η εσωτερική λογική μονάδα είναι ένα PLA με 56 δομικά στοιχεία μνήμης (p-terms). Τα p-terms, μπορούν να προσάπτονται, σε οποιαδήποτε πύλη OR στα μακροκύτταρα ενός λειτουργικού τμήματος.



Το χαρακτηριστικό αυτό, δίνει τη δυνατότητα της χρήσης του ίδιου στοιχείου μνήμης μέχρι και 16 φορές (16 macrocells/ Function block), με αποτέλεσμα πιο αποδοτική σχεδίαση και υλοποίηση ψηφιακών συστημάτων. Στο παρακάτω σχήμα (2.11) γίνεται εμφανής η δυνατότητα αυτή των CPLDs CoolRunner-II. Στο δεξιό τμήμα του σχήματος παρουσιάζεται ένα PLA των CoolRunner-II, ενώ στο αριστερό ένα PAL σε κάποιο συμβατικό CPLD.



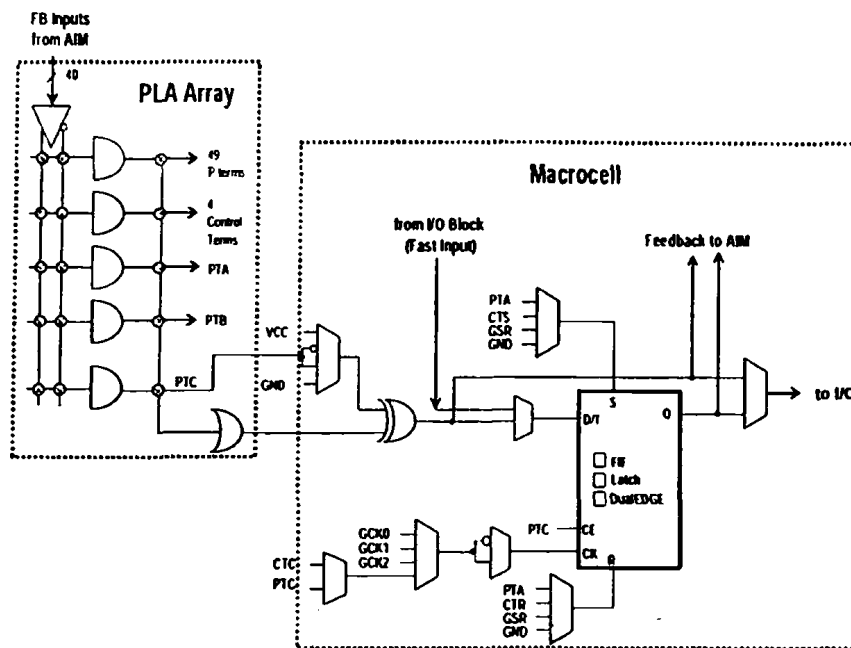
Σχήμα 2.11. Η κατανομή των λογικών μονάδων σε ένα συμβατικό PAL (αριστερά) και στο PLD των CoolRunner-II (δεξιά).

2.2.1.1.3. Τα μακροκύτταρα (macrocells) των CoolRunner-II

Τα μακροκύτταρα των διατάξεων CoolRunner-II αποτελούν το δομικό λίθο της λογικής των CPLD. Κάθε μακροκύτταρο μπορεί να λειτουργήσει ως ένα FLIP-FLOP και μπορεί να συγχρονιστεί είτε με τοπικό χρονισμό είτε με τον γενικό χρονισμό του συστήματος. Στο Σχήμα 2.12 φαίνεται ένα μακροκύτταρο του CoolRunner-II, καθώς και η τοπολογία της σύνδεσής του με το τμήμα των PLA. Όταν ορισθεί σαν D-flip-flop, κάθε μακροκύτταρο έχει ένα προαιρετικό σήμα ενεργοποίησης χρονισμού (clock enable) το



οποίο επιτρέπει τη συγκράτηση της παρούσας κατάστασης ενώ το σήμα χρονισμού λειτουργεί κανονικά.



Σχήμα 2.12. Το μακροκύτταρο (macrocell) στα CPLD COOLRUNNER

2.2.1.1.4. Το Σύστημα AIM

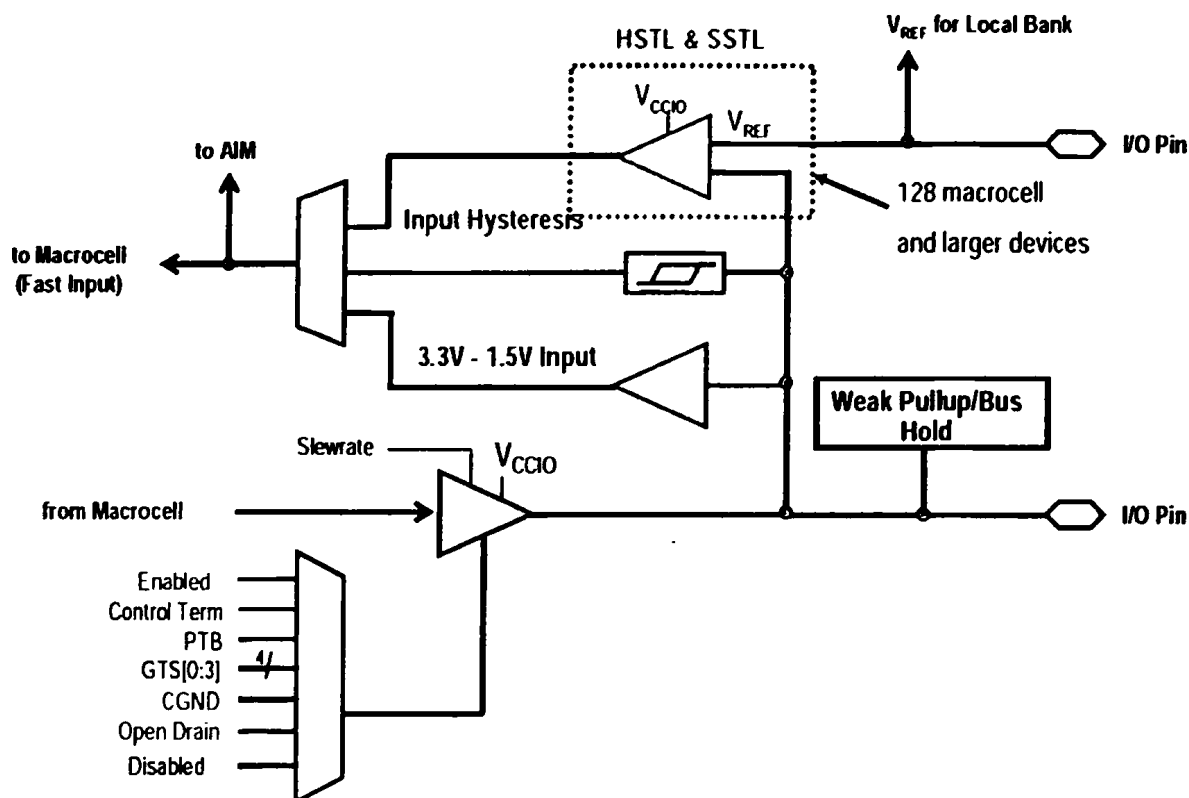
Το AIM (ADVANCED INTERCONNECT MATRIX) είναι ένα σύστημα διακοπών (switch) χαμηλής ισχύος, το οποίο ελέγχεται από το λογισμικό. Το AIM μπορεί να διαχειριστεί μέχρι και 40 σήματα σε κάθε λειτουργικό τμήμα για τη δημιουργία της επιθυμητής λογικής. Αποτελεί ουσιαστικά το προγραμματιζόμενο κομμάτι του CPLD. Τα σήματα εξόδου των μακροκυττάρων καθώς και οι ακροδέκτες εισόδου ενός λειτουργικού τμήματος ανακυκλώνονται μέσω του AIM, και έτσι μπορούν να συνδεθούν και σε άλλα λειτουργικά τμήματα. Με αυτή τη διαδικασία μειώνεται τόσο η κατανάλωση όσο και οι χρονικές καθυστερήσεις στο σύστημα.

2.2.1.1.5. Το Μπλοκ εισόδων-εξόδων (I/O block).

Το μπλοκ εισόδου συντελεί στη επικοινωνία του CPLD με το εξωτερικό περιβάλλον. Τα εξερχόμενα ή εισερχόμενα σήματα μπορεί να έχουν καθορισμένο εύρος (1.5, 1.8, 2.5, 3.3 TTL και CMOS λογικές στάθμες) ή να διαδοθούν μέσα από εισόδους τύπου Schmitt-trigger. Η επιλογή γίνεται από το λογισμικό και στη περίπτωση που επιλεγθεί τύπος Schmitt-trigger,



έχουμε αύξηση του χρόνου διάδοσης αλλά ελάττωση του θορύβου. Στο Σχήμα 2.13 φαίνεται το τμήμα εισόδου-εξόδου του CPLD [7]



Σχήμα 2.13. Το Τμήμα Εισόδου-Εξόδου των COOLRUNNER-II.

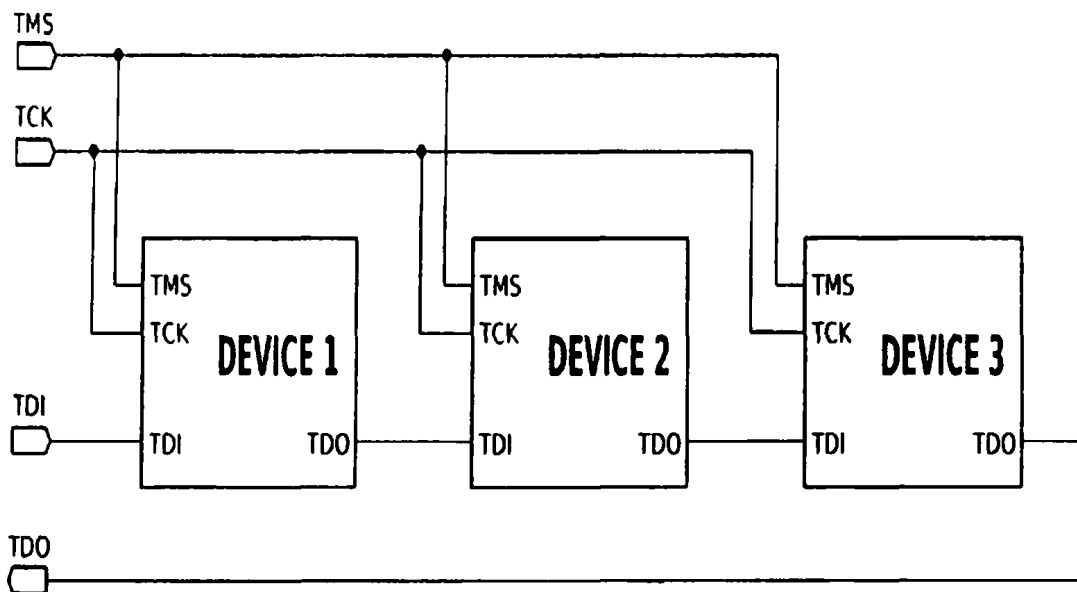
2.2.1.1.6. Ο προγραμματισμός των CPLD.

Η διαμόρφωση των διασυνδέσεων του AIM και κατ' επέκταση ο προγραμματισμός των CPLD, γίνεται από εξειδικευμένα πακέτα λογισμικού που παρέχουν οι κατασκευάστριες εταιρίες. Στην παρούσα εργασία το CPLD προγραμματίστηκε από το λογισμικό ISE 7.1 της εταιρίας XILINX. Ο προγραμματισμός υλοποιείται μέσω του πρωτοκόλλου JTAG.

Το JTAG είναι ουσιαστικά το πρωτόκολλο 1149.1 της IEEE (Institute of Electrical and Electronics Engineers), που σχεδιάστηκε το 1985 για τον έλεγχο και τον προγραμματισμό ολοκληρωμένων (IC) αλλά και τυπωμένων κυκλωμάτων. Η διαδικασία βασίζεται σε 4 σήματα (TDI, TDO, TCK, TMS) τα οποία διαδίδονται κατάλληλα στην προς έλεγχο ή προγραμματισμό συσκευή, δημιουργώντας ένα είδος αλυσίδας ανάμεσα στις λειτουργικές μονάδες του κυκλώματος. Στο Σχήμα 2.14 φαίνεται η τοπολογία της



αλυσίδας JTAG. Το βασικό πλεονέκτημα της διαδικασίας αυτής είναι η δυνατότητα προγραμματισμού του ολοκληρωμένου επάνω στη πλακέτα και όχι σε κάποιο άλλο κύκλωμα προγραμματισμού (on-board programming).



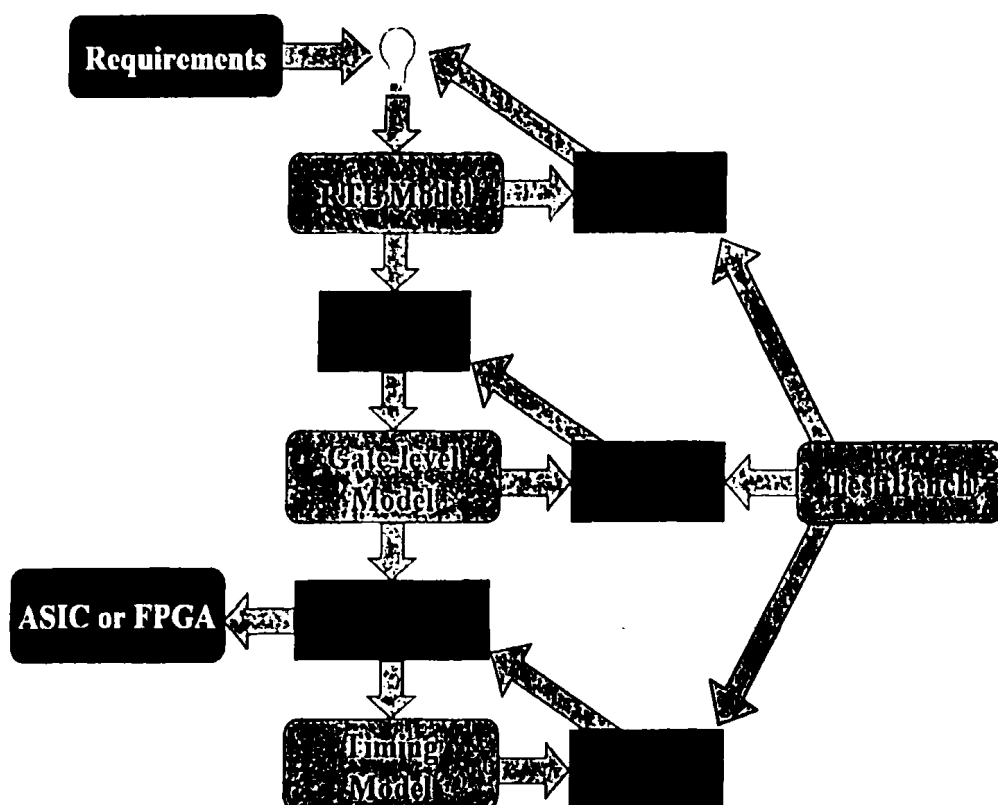
Σχήμα 2.14. Η υλοποίηση του πρωτοκόλλου JTAG.

2.2.2. Οι Γλώσσες Περιγραφής Υλικού (HDL Hardware Description Languages)-VHDL

Η ψηφιακή λογική του συστήματος καταμέτρησης παλμών σχεδιάστηκε σε γλώσσα VHDL. Η τελευταία ανήκει στις γλώσσες περιγραφής Υλικού (HDL), όπως και η Verilog. Η VHDL σχεδιάστηκε το 1987 από το Υπουργείο Άμυνας της Αμερικής με αρχικό σκοπό την περιγραφή της συμπεριφοράς συστημάτων ASIC (Application Specific Integrated Circuit), και αποτελεί πρότυπο της IEEE με τελευταία ενημέρωση το 2006. Η βασική δομή της βασίζεται στη γλώσσα προγραμματισμού ADA που σχεδιάστηκε και αυτή από το Υπουργείο Άμυνας της Αμερικής. Η ADA πήρε το όνομα της από την Ada Lovelace που ήταν κόρη του φιλέλληνα Λόρδου Βύρωνα και ήταν αυτή που κατέγραψε και επεξεργάστηκε τα σχέδια της Αναλυτικής Μηχανής του Babbage [8].

Πλέον η VHDL χρησιμοποιείται για το σχεδιασμό και την εξομοίωση συστημάτων ψηφιακής λογικής αλλά και αναλογικών κυκλωμάτων (IEEE

1076-2006). Η βασική μεθοδολογία της σχεδίασης ενός ψηφιακού συστήματος αποτυπώνεται στο Σχήμα 2.15.



© 1998, Peter J. Ashenden

VHDL Quick Start

Σχήμα 2.15. Η βασική μεθοδολογία σχεδίασης [9].

Η διαδικασία της σχεδίασης αποτελείται από επιμέρους στάδια, στα οποία η VHDL χρησιμοποιείται είτε για τη περιγραφή του συστήματος (RTL Design) είτε για το έλεγχο του συστήματος (Test Bench, Timing Model). Στη συνέχεια το λογισμικό (στην παρούσα εργασία το ISE 7.1) ελέγχει τον κώδικα για τυχόν λάθη (code check). Συνδυάζοντας τα χαρακτηριστικά του CPLD με την επιθυμητή λογική, συνθέτει τη βέλτιστη τοπολογία συνδέσεων του AIM (Synthesize).

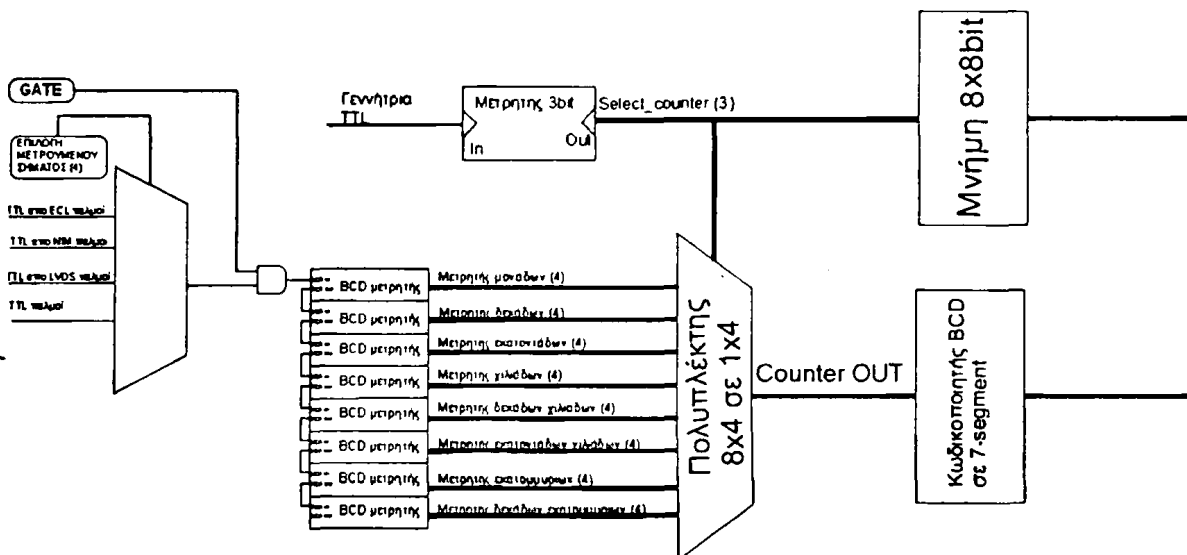
Τέλος το λογισμικό δημιουργεί το κώδικα χαμηλού επιπέδου (ASM) που μεταφέρεται μέσω του JTAG στην προς προγραμματισμό συσκευή (CPLD).

Με το πέρας τις διαδικασίας το CPLD είναι σε θέση να λειτουργήσει αυτόνομα ως ένα διακριτό ολοκληρωμένο κύκλωμα με όλη την επιθυμητή ψηφιακή λογική.

2.2.3. Η ψηφιακή λογική του καταμετρητή παλμών.

5

Για την υλοποίηση της ψηφιακής λογικής της παρούσας εργασίας χρησιμοποιήθηκε το CPLD XC2C64 της οικογένειας COOLRUNNER-II, της εταιρείας XILINX. Το συγκεκριμένο ολοκληρωμένο, αποτελείται από 64 μακροκύτταρα και στη συγκεκριμένη συσκευασία που χρησιμοποιήθηκε (PLCC44 package) 33 ακροδέκτες εισόδου-εξόδου. Το συνολικό διάγραμμα του ψηφιακού κυκλώματος που υλοποιήθηκε στο XC2C64 φαίνεται στο Σχήμα 2.16, ενώ στα επόμενα κεφάλαια περιγράφονται πιο αναλυτικά τα επιμέρους τμήματα του.



Σχήμα 2.16. Το συνολικό διάγραμμα του καταμετρητή παλμών.

Τα TTL σήματα από τις επιμέρους μονάδες μετατροπής (από ECL, NIM και LVDS) εισέρχονται στο πολυπλέκτη εισόδου όπου ο χρήστης μπορεί να επιλέξει (μέσω εξωτερικού διακόπτη dipswitch) το παλμό που θέλει να μετρήσει. Στη συνέχεια ο επιλεγμένος παλμός συνδέεται σε ένα σύστημα δυαδικών μετρητών (BCD Binary code Decimal) όπου καταμετρείται. Μέσω ενός συστήματος μετρητή, πολυπλέκτη και κωδικοποιητή απεικονίζεται η μέτρηση στις οθόνες 7-τμημάτων.

2.2.3.1. Το τμήμα επιλογής του προς μέτρηση παλμού

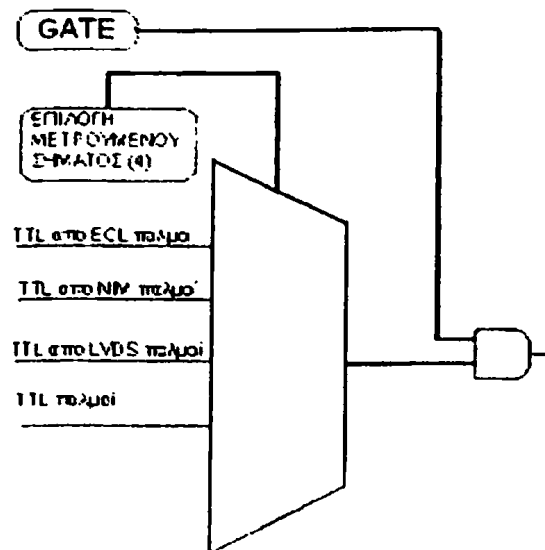
Ο στόχος της παρούσας εργασίας είναι η κατασκευή ενός συστήματος καταμέτρησης διαφόρων τύπων παλμών και η δυνατότητα στο χρήστη να



επιλέγει. Για το λόγο αυτό έχει τοποθετηθεί στην είσοδο του ψηφιακού κυκλώματος ένας πολυπλέκτης επιλογής. Στην είσοδό του εισέρχονται τα διάφορα ψηφιακά σήματα (αφού πρώτα έχουν μετατραπεί σε σήματα TTL). Στο Σχήμα 2.17 φαίνεται ο πολυπλέκτης επιλογής παλμών. Η δυνατότητα επιλογής δίνεται στο χρήστη μέσω ενός συστήματος διακοπών (dip switch) που είναι τοποθετημένο στην εμπρόσθια όψη της κατασκευής. Η δομή του CPLD επιτρέπει τη λειτουργία αυτή χωρίς να προκύπτουν παρεμβολές μεταξύ των εισερχόμενων σημάτων και του τελικά επιλεγθέντος. Στο σημείο αυτό δίνεται και στο χρήστη η επιπλέον δυνατότητα χρήσης σήματος GATE. Με το σήμα GATE, το οποίο συνδέεται μαζί με την έξοδο του πολυπλέκτη σε μια πύλη AND, μπορεί ρυθμιστεί ο καταμετρητής να μετράει μόνο όταν το σήμα GATE είναι λογικό '1'. Η είσοδος του GATE δίνεται από Iemo connector στην προσόψη της συσκευής.

Το σύστημα του πολυπλέκτη επιλογής περιγράφεται από τη γλώσσα VHDL με την παρακάτω διαδικασία (process).

```
process
(clock_controls, ECL_clk, TTL_clk, NIM_clk, LVDS_clk)
begin
  case clock_controls is
    when "0001" => clock_input <= TTL_clk;
    when "0010" => clock_input <= ECL_clk;
    when "0100" => clock_input <= NIM_clk;
    when "1000" => clock_input <= LVDS_clk;
    when others => clock_input <= '0';
  end case;
end process;
Clock_input_GATED<= clock_input AND GATE;
Clockn<= Clock_input_GATED;
```



Σχήμα 2.17. Ο πολυπλέκτης επιλογής παλμών

2.2.3.2. Το σύστημα των μετρητών BCD

Η μέτρηση των παλμών επιτυγχάνεται με τη χρήση μιας συστάδας 8 μετρητών (BCD counters). Κάθε μετρητής πραγματοποιεί μέτρηση από 0000 έως 1001 (δεκαδικό 9) με σκανδαλισμό κατά την άνοδο του παλμού. Όταν η μέτρηση φτάσει στο 1001, η έξοδος υπερχείλισης (over floating) του μετρητή γίνεται '1'. Ο πρώτος μετρητής (μονάδων) σκανδαλίζεται από την έξοδο του πολυπλέκτη επιλογής ενώ οι υπόλοιποι από το σήμα υπερχείλισης του προηγούμενου τους μετρητή. Το σήμα υπερχείλισης του τελευταίου μετρητή συνδέεται με μία ενδεικτική λυχνία LED στην εμπρόσθια όψη της κατασκευής. Συνολικά το σύστημα των μετρητών φαίνεται στο Σχήμα 2.18.

Η περιγραφή του συστήματος των μετρητών σε γλώσσα VHDL φαίνεται παρακάτω.

```

---unit counter
  elsif clockn='1' and clockn'event then
    unit_cnt <= unit_cnt + 1;
---dec_counter
  if unit_cnt= "1001" then
    dec_cnt<=dec_cnt+1;
    unit_cnt<="0000";
  end if;
---hunt_counter

```



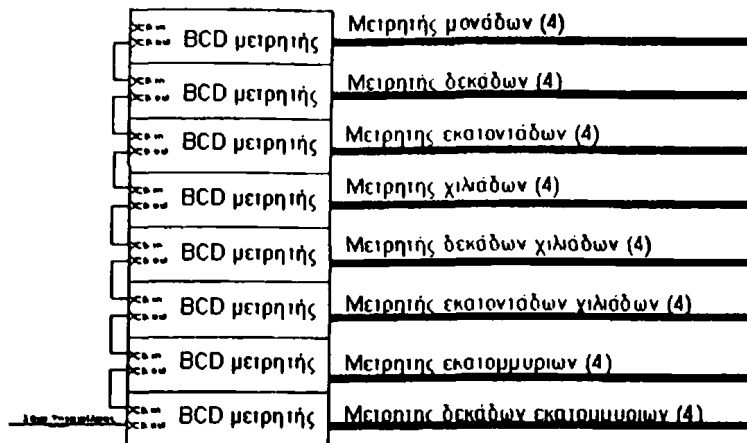
```

if dec_cnt="1001" and unit_cnt= "1001" then
    dec_cnt<="0000";
    hunt_cnt <= hunt_cnt+1;
end if;
---mil_unit counter
if hunt_cnt="1001" and dec_cnt="1001" and
unit_cnt= "1001" then
    hunt_cnt<="0000";
    mil_units_cnt <= mil_units_cnt+1;
end if;
---mil_dec counter
if mil_units_cnt="1001" and hunt_cnt="1001"
and dec_cnt="1001" and unit_cnt= "1001" then
    mil_dec_cnt <= mil_dec_cnt+1;
    mil_units_cnt<="0000";
end if;
---mil_hunt counter
if mil_dec_cnt="1001" and mil_units_cnt="1001"
and hunt_cnt="1001" and dec_cnt="1001" and
unit_cnt= "1001" then
    mil_hunt_cnt <= mil_hunt_cnt+1;
    mil_dec_cnt<="0000";
end if;
---milion_units counter
if mil_hunt_cnt="1001" and mil_dec_cnt="1001"
and mil_units_cnt="1001" and hunt_cnt="1001" and
dec_cnt="1001" and unit_cnt= "1001" then
    milion_units_cnt <= milion_units_cnt +1;
    mil_hunt_cnt<="0000";
end if;
---milion_dec counter
if milion_units_cnt="1001" and
mil_hunt_cnt="1001" and mil_dec_cnt="1001" and
mil_units_cnt="1001" and hunt_cnt="1001" and
dec_cnt="1001" and unit_cnt= "1001" then
    milion_dec_cnt <= milion_dec_cnt +1;
    milion_units_cnt<="0000";
end if;
end if;
end if;
end if;

```



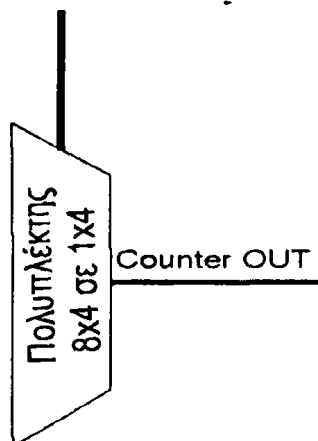
end process;



Σχήμα 2.18. Το σύστημα των μετρητών BCD.

2.1.1.1 Ο πολυπλέκτης εξόδου

Για να μειωθεί ο αριθμός των σημάτων εξόδου των μετρητών, οι έξοδοι επεξεργάζονται κατάλληλα μέσω ενός σταδίου πολυπλεξίας. Η διαδικασία της πολυπλεξίας γίνεται με έναν πολυπλέκτη διαύλων 8 σε 1. Η έξοδος του πολυπλέκτη (Σχήμα 2.19) είναι ένας διάυλος τεσσάρων γραμμών στον οποίο μεταφέρεται η τιμή κάθε μετρητή ανάλογα με το σήμα επιλογής. Το σήμα επιλογής του πολυπλέκτη παρέχεται από έναν μετρητή τριών bit που περιγράφεται στο επόμενο κεφάλαιο.



Σχήμα 2.19. Ο πολυπλέκτης εξόδου των μετρητών.

Ο πολυπλέκτης εξόδου του κυκλώματος περιγράφεται σε γλώσσα VHDL από τα παρακάτω.



```

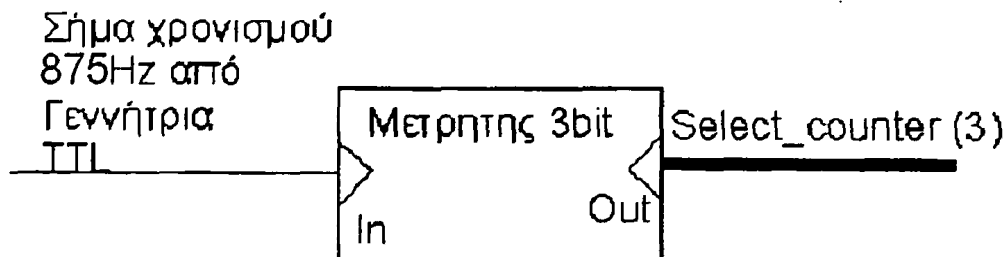
COUNTER_OUT <= unit_ct  when SELECT_COUNTER= "000"
else
    dec_ct  when SELECT_COUNTER= "001"
else
    hunt_ct  when SELECT_COUNTER= "010"
else
    mil_units_ct  when
SELECT_COUNTER="011" else
    mil_dec_ct  when SELECT_COUNTER= "100"
    else
    mil_h_ct  when SELECT_COUNTER= "101"
    else
    milion_ct  when SELECT_COUNTER=
"110" else
    miln_dec_ct  when SELECT_COUNTER=
"111" else
    "0000";

```

Όπως φαίνεται και στον κώδικα για κάθε τιμή του διανύσματος (vector) SELECT_COUNTER εμφανίζεται στην έξοδο (COUNTER_OUT) η τιμή του αντίστοιχου μετρητή.

2.2.3.4. Ο μετρητής επιλογής ψηφίου.

Ο πολυπλέκτης που περιγράφηκε στην παράγραφο 2.2.3.3 ελέγχεται από έναν μετρητή τριών bit. Ο μετρητής σκανδαλίζεται από την έξοδο της γεννήτριας παλμών. Η γεννήτρια παράγει τετραγωνικούς παλμούς με συχνότητα 875 Hz. Ο μετρητής αρχίζει να μετράει από το 000 και τότε εμφανίζεται στη έξοδο του πολυπλέκτη η τιμή του πρώτου μετρητή (unit counter), μετά από χρόνο 1,14 msec (1/875 Hz) η τιμή του μετρητή γίνεται 001 και στην έξοδο του πολυπλέκτη εμφανίζεται το περιεχόμενο του δεύτερου μετρητή (dec counter). Ο μετρητής μηδενίζεται μετά την τιμή 0100 και αφού έχουν μεταφερθεί όλες οι τιμές των μετρητών στην έξοδο του πολυπλέκτη. Το κύκλωμα του μετρητή φαίνεται στο σχήμα 2.20.



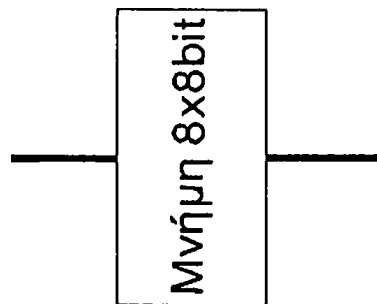
Σχήμα 2.20. Ο μετρητής επιλογής ψηφίου.

Ο κώδικας σε VHDL που περιγράφει τη λειτουργία του μετρητή επιλογής ψηφίου είναι ο εξής:

```
counter_selection: process ( CLOCK_select)
begin
  if CLOCK_select='1' and CLOCK_select'event then
    count_int <="000" ;
    if count_int = "111" then
      count_int <="000" ;
    else
      count_int <= count_int + 1;
    end if;
  end if;
end process;
```

2.2.3.5. Η μνήμη οδήγησης.

Στο σύστημα έχει ενσωματωθεί και μία μνήμη 8x8bit (Σχήμα 2.21) για την ενεργοποίηση των οθονών 7-τμημάτων (7segment display). Η μνήμη ελέγχεται και τρόπο όμοιο με τον πολυπλέκτη και εμφανίζει σε κάθε παλμό μια διαφορετική «λέξη» των 8 bit. Κάθε λέξη αποτελείται από επτά άσσους (λογικό 1) και ένα μηδενικό (λογικό 0). Το λογικό 0 στην ουσία ενεργοποιεί την κατάλληλη οθόνη, 7-τμημάτων, που αντιστοιχεί κάθε στιγμή στους μετρητές. Περισσότερες λεπτομέρειες θα αναλυθούν στη περιγραφή του τμήματος απεικόνισης του καταμετρητή παλμών.



Σχήμα 2.21. Η μνήμη οδήγησης των 7-seg οθονών.

Ο κώδικας σε γλώσσα VHDL που περιγράφει το παραπάνω τμήμα φαίνεται παρακάτω.

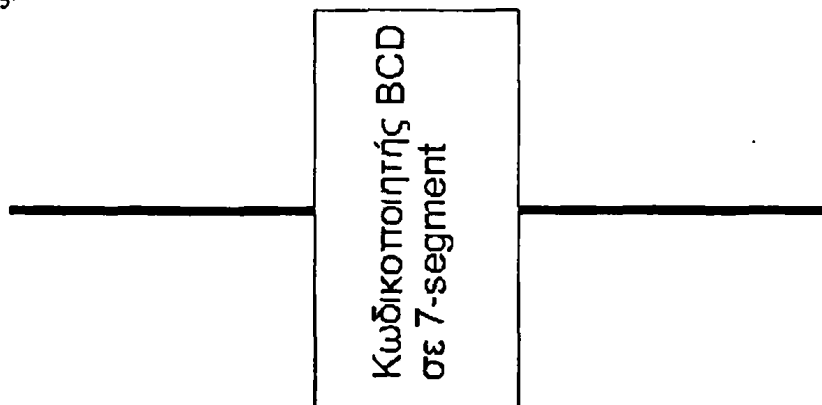
```

ANODE_DRIVER <="11111110"   when SELECT_COUNTER=
"000" else
        "11111101"   when SELECT_COUNTER=
"001" else
        "11111011"   when SELECT_COUNTER=
"010" else
        "11110111"   when SELECT_COUNTER=
"011" else
        "11101111"   when SELECT_COUNTER=
"100" else
        "11011111"   when SELECT_COUNTER=
"101" else
        "10111111"   when SELECT_COUNTER=
"110" else
        "01111111"   when SELECT_COUNTER=
"111" else
        "11111111";

```

2.2.3.6. Ο κωδικοποιητής BCD σε 7-segment

Το τελευταίο τμήμα του ψηφιακού κυκλώματος του καταμετρητή παλμών είναι ένας κωδικοποιητής δυαδικού συστήματος σε κώδικα οθόνης 7-τμημάτων. Στο τμήμα αυτό (Σχήμα 2.22), η έξοδος του πολυπλέκτη εισέρχεται σε μία μνήμη 11*7 bit και μετατρέπεται σε μια λέξη 7 bit κατάλληλη για την απεικόνιση σε οθόνη LED επτά τμημάτων. Περισσότερες πληροφορίες παρατίθενται στη περιγραφή του συστήματος απεικόνισης.



Σχήμα 2.22. Ο κωδικοποιητής BCD σε 7-segment.



Ο κώδικας VHDL που περιγράφει των κωδικοποιητή παρουσιάζεται παρακάτω. Είναι εμφανές ότι για κάθε τιμή του διανύσματος COUNTER_OUT αντιστοιχεί μια κωδικοποιημένη ψηφιακή λέξη των 7 bit. Αξίζει να αναφερθεί ότι σε κάθε λέξη των 7 bit, τα μηδενικά αντιστοιχούν σε τμήμα LED (της οθόνης) που φωτοβολεί, ενώ οι άσσοι 1 αντιστοιχούν σε «σβησμένα» τμήματα.

```
OUT_7SEG <= "0000001" when COUNTER_OUT= "0000"
else
    "1111001" when COUNTER_OUT= "0001"
else
    "0100100" when COUNTER_OUT= "0010"
else
    "0110000" when COUNTER_OUT= "0011"
else
    "1011000" when COUNTER_OUT= "0100"
else
    "0010010" when COUNTER_OUT= "0101"
else
    "1000010" when COUNTER_OUT= "0110"
else
    "0111001" when COUNTER_OUT= "0111"
else
    "0000000" when COUNTER_OUT= "1000"
else
    "0010000" when COUNTER_OUT= "1001"
else
    "1111111";
```

2.3. ΤΟ ΣΥΣΤΗΜΑ ΑΠΕΙΚΟΝΙΣΗΣ

2.3.1. ΕΙΣΑΓΩΓΗ.

Το τελικό τμήμα του καταμετρητή παλμών είναι το απεικονιστικό σύστημα. Στο τμήμα αυτό επιτυγχάνεται η παρουσίαση των αποτελεσμάτων των μετρήσεων στο χρήστη. Για την απεικόνιση χρησιμοποιήθηκε ένα σύστημα οθονών LED 7 τμημάτων της εταιρίας LITE-ON ELECTRONICS, σε συνδυασμό με ένα κύκλωμα οδήγησης από NPN Transistors BC857. Ο τρόπος αυτός απεικόνισης είναι ο πρώτος που χρησιμοποιήθηκε για



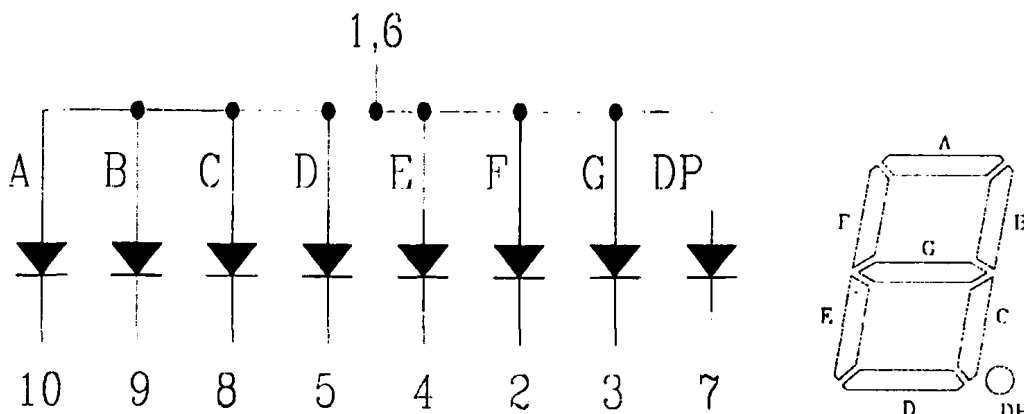
ψηφιακά συστήματα και ίσως κάπως απαρχαιωμένος μιας και έχουν εμφανιστεί νέες τεχνολογίες στο τομέα αυτό (οθόνες LCD, TFT, κλπ). Παρόλα αυτά, χρησιμοποιείται ευρέως στα πειραματικά συστήματα γιατί προσφέρει υψηλή αντίθεση και ευκρίνεια. Τα επιμέρους «συστατικά» του συστήματος θα αναλυθούν στη συνέχεια.

2.3.2. Τα LED.

Τα LED είναι ημιαγωγικές διατάξεις που χρησιμοποιούνται τόσο για λόγους απεικόνισης (LED ορατού φωτός) όσο και για έλεγχο (LED αόρατου φάσματος), σε ηλεκτρονικά κυκλώματα. Η λειτουργία τους βασίζεται σε μια επαφή P-N η οποία κατά την ορθή πόλωση της φωτοβολεί σε μήκος κύματος που εξαρτάται από το ενεργειακό χάσμα της επαφής. Η απαιτούμενη τάση είναι περίπου (2-3 volt ανάλογα με το μήκος κύματος του εκπεμπόμενου φωτός) ενώ το ρεύμα είναι περίπου 20-30 mA.

2.3.3. Οι οθόνες LED 7 ψηφίων.

Τα πρώτα απεικονιστικά συστήματα που εμφανίστηκαν στα χώρο των ηλεκτρονικών συσκευών είναι οι οθόνες LED. Οι οθόνες LED 7 τμημάτων, αποτελούνται από 7 (μπορεί και 8) LED ορατού φωτός. Τα LED συνδέονται μεταξύ τους είτε σε συνδεσμολογία κοινής ανόδου είτε καθόδου. Στο σχήμα 2.23 φαίνεται η δομή των οθονών καθώς και η συνδεσμολογία των LED.



Σχήμα 2.23 . Το κύκλωμα της οθόνης LED.

Όπως φαίνεται από το παραπάνω σχήμα η κοινή κάθοδος πρέπει να είναι σε υψηλό δυναμικό και οι άνοδοι σε χαμηλό δυναμικό για να φωτοβολούν τα αντίστοιχα LED.

2.3.3.1. Οι οθόνες LTS-4802BJR-H1.

Στη παρούσα εργασία χρησιμοποιήθηκαν οι οθόνες 7 τμημάτων LTS-4802BJR-H1 LITE-ON. Πρόκειται για οθόνες με ύψος ψηφίων 10mm οι οποίες κατασκευάζονται από ημιαγωγικό υλικό AlInGaP πάνω σε αδιαφανές υπόστρωμα GaAs. Τα ηλεκτρικά χαρακτηριστικά των οθονών φαίνονται στο Σχήμα 2.23 [10].

ΠΙΝΑΚΑΣ

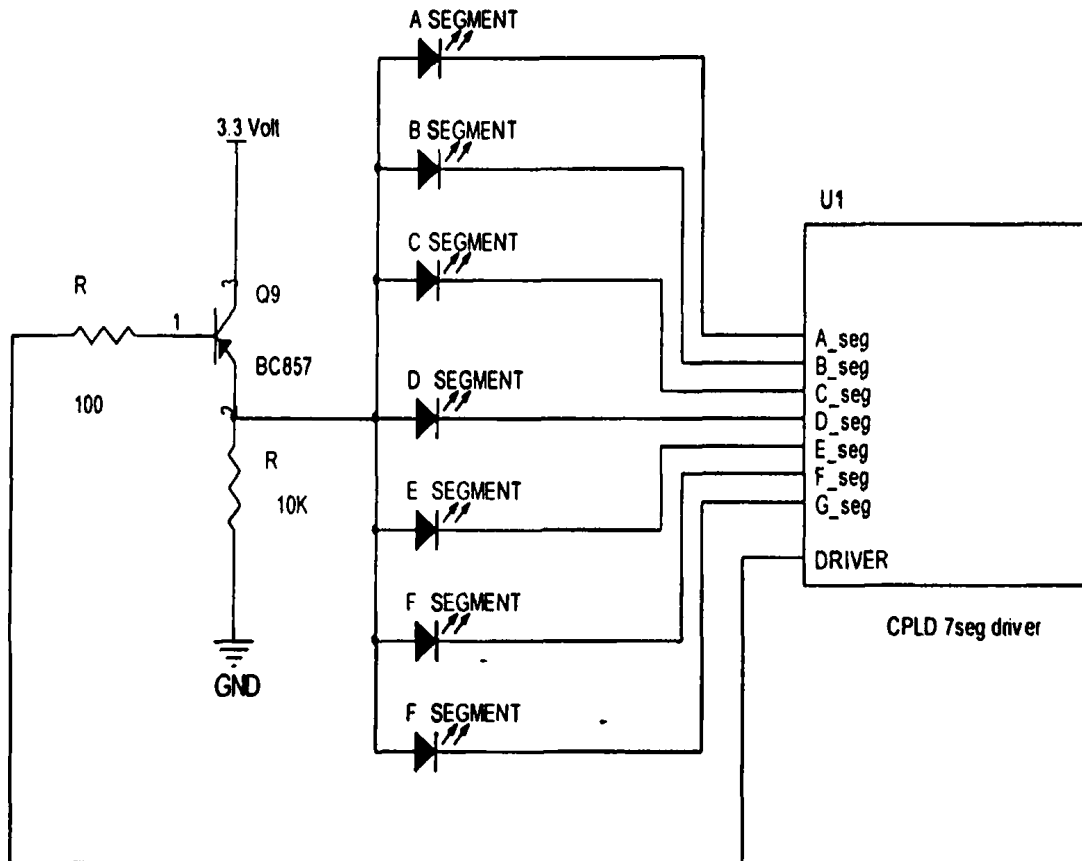
PARAMETER	MAXIMUM RATING				UNIT	
Power Dissipation Per Segment	70				mW	
Peak Forward Current Per Segment (1/10 Duty Cycle, 0.1ms Pulse Width)	90				mA	
Continuous Forward Current Per Segment	25				mA	
Derating Linear From 25°C Per Segment	0.28				mA/°C	
Reverse Voltage Per Segment	5				V	
Operating Temperature Range	-35°C to +105°C					
Storage Temperature Range	-35°C to +105°C					
Solder Temperature 1/16 inch Below Seating Plane for 3 Seconds at 260°C						
PARAMETER	SYMBOL	MIN.	TYP.	MAX.	UNIT	TEST CONDITION
Average Luminous Intensity	I _v	200	650		μcd	I _F =1mA
Peak Emission Wavelength	λ _p		639		nm	I _F =20mA
Spectral Line Half-Width	Δλ		20		nm	I _F =20mA
Dominant Wavelength	λ _d		631		nm	I _F =20mA
Forward Voltage Per Segment	V _F		2.0	2.6	V	I _F =20mA
Reverse Current Per Segment	I _R			100	μA	V _R =5V
Luminous Intensity Matching Ratio	I _v -m			2:1		I _F =1mA

Σχήμα 2.23. Τα χαρακτηριστικά της οθόνης LTS-4802BJR-H1



2.3.4. Το κύκλωμα οδήγησης.

Οι έξοδοι του CPLD xc2c64 που χρησιμοποιήθηκε δεν παρέχουν αρκετό ρεύμα για να λειτουργήσουν σωστά οι οθόνες LED 7-τμημάτων. Για το λόγο αυτό οι έξοδοι του CPLD συνδέονται σε κύκλωμα ενισχυτών ρεύματος αποτελούμενων από transistors. Στο Σχήμα 2.24 παρουσιάζεται το κύκλωμα οδήγησης για μια οθόνη LED συμπεριλαμβανόμενου και του κωδικοποιητή (παρ. 2.2.3.6.).

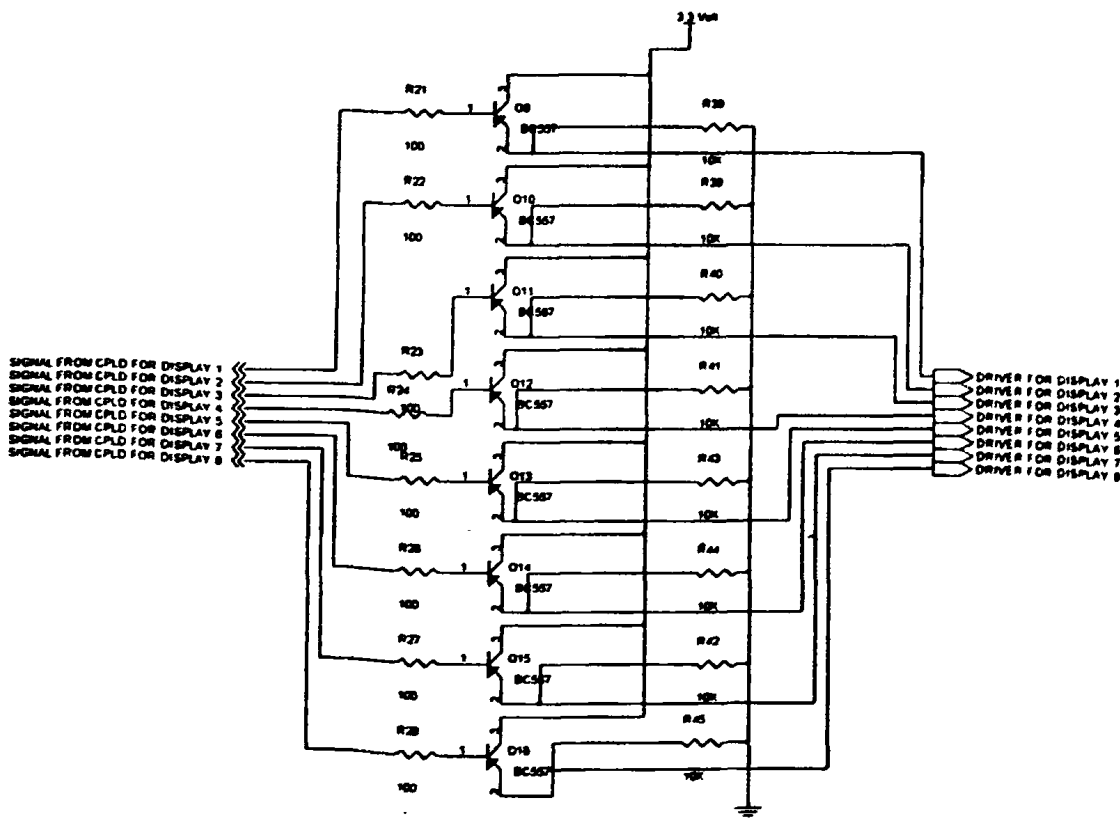


Σχήμα 2.24. Το κύκλωμα οδήγησης μίας οθόνης.

Όταν απαιτείται η εμφάνιση του περιεχόμενου κάθε ενός μετρητή στην αντίστοιχη οθόνη, η μνήμη οδήγησης εφαρμόζει χαμηλό δυναμικό στη βάση του transistor του σχήματος. Τότε αυτό οδηγείται σε κατάσταση κόρου και στη έξοδο του (εκπομπός) εμφανίζεται υψηλό δυναμικό. Την ίδια στιγμή ο κωδικοποιητής εφαρμόζει χαμηλό δυναμικό στα τμήματα (segments) που πρέπει να φωτίζουν και υψηλό στα σκοτεινά τμήματα (πχ για την εμφάνιση του 1 στην οθόνη όλες οι έξοδοι είναι '1' εκτός από τα τμήματα B και C). Έτσι διαρρέει ρεύμα μόνο τα τμήματα που πρέπει να φωτοβολήσουν.



Στο Σχήμα 2.25 φαίνεται το κύκλωμα οδήγησης και για τις οκτώ οθόνες του κυκλώματος του καταμετρητή παλμών. Οι έξοδοι του κωδικοποιητή BCD συνδέονται σε όλες τις οθόνες ταυτόχρονα αλλά ουσιαστικά εφαρμόζονται μόνο στην οθόνη που έχει οδηγηθεί από τη μνήμη.



Σχήμα 2.25. Το κύκλωμα οδήγησης των 8 οθονών.



3. ΜΕΤΡΗΣΕΙΣ

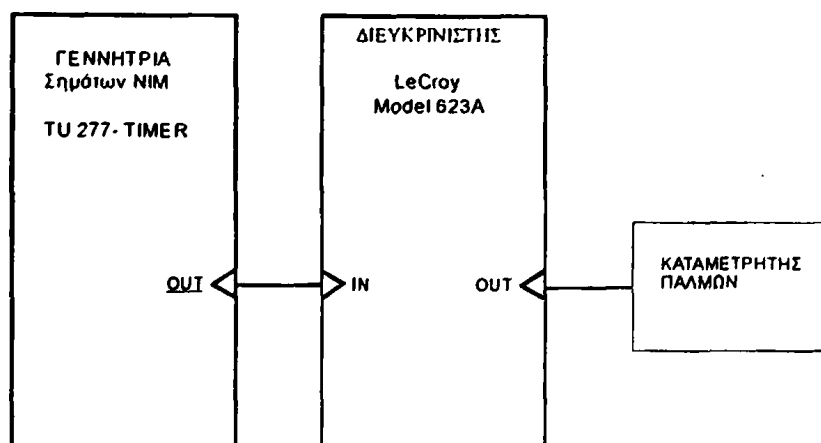
Μετά το πέρας της διαδικασίας του σχεδιασμού και της κατασκευής του καταμετρητή παλμών, πραγματοποιήθηκε μια σειρά μετρήσεων με σκοπό τον ποιοτικό έλεγχο της συσκευής. Οι μετρήσεις στοχεύουν στον έλεγχο της ακρίβειας, επαναληψιμότητας και της σωστής εφαρμογής του καταμετρητή παλμών σε πειράματα φυσικής Υψηλών Ενεργειών. Όλες οι διαδικασίες έλαβαν χώρα στο Εργαστήριο Φυσικής Υψηλών Ενεργειών του Φυσικού Τμήματος του πανεπιστημίου Ιωαννίνων [11].

Αρχικά με τη χρήση ψηφιακού παλμογράφου TECTRONICS και μιας διάταξης παραγωγής και διαμόρφωσης διαφόρων παλμών (από μονάδες NIM) ελέγχθηκε το τμήμα μετατροπής παλμών και της γεννήτριας του καταμετρητή. Στη συνέχεια χρησιμοποιώντας τη λειτουργία GATE του καταμετρητή έγιναν ορισμένες μετρήσεις ελέγχου της επαναληψιμότητας, ενώ τέλος πραγματοποιήθηκε διάταξη για τη μέτρηση της ακτινοβολίας από ραδιενεργή πηγή ηλεκτρονίων (Στρόντιο ^{90}Sr). Τα αποτελέσματα των μετρήσεων παρουσιάζονται στη συνέχεια του κεφαλαίου.

3.1. Τμήμα Μετατροπής Παλμών

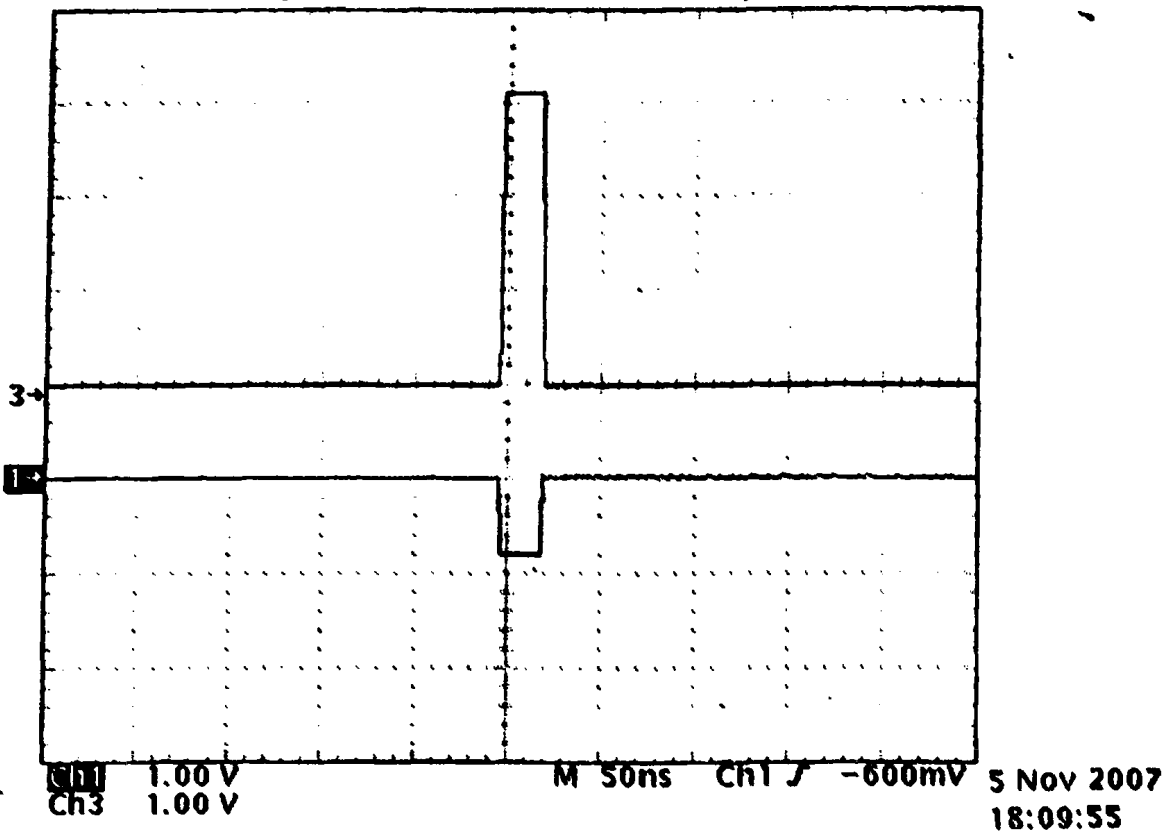
3.1.1. Μετατροπή NIM σε TTL .

Για τη συγκεκριμένη μέτρηση χρησιμοποιήθηκε η μονάδα TU-277 timer σε συνδεσμολογία παραγωγής παλμών NIM. Οι παραγόμενοι NIM παλμοί οδηγήθηκαν στον καταμετρητή, ενώ οι παλμοί TTL εξάχθηκαν μέσω των probes του παλμογράφου TECTRONICS απευθείας από το τυπωμένο κύκλωμα της κατασκευής. Στο Σχήμα 3.1 φαίνεται η συνδεσμολογία της γεννήτριας και του διεκρινιστή (Discriminator) για την παραγωγή NIM παλμών , ενώ στο Σχήμα 3.2 το γράφημα από τον παλμογράφο.



Σχήμα 3.1. Η πειραματική διάταξη ελέγχου NIM-TTL

Tek Run: 100MS/s Average

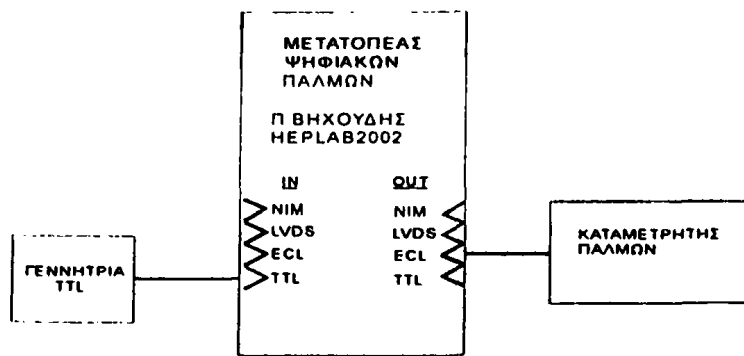


Σχήμα 3.2. Η μετατροπή παλμών NIM σε TTL

Στο παραπάνω σχήμα φαίνεται στο κανάλι 1 του παλμογράφου ο εισερχόμενος NIM παλμός, ενώ στο κανάλι 3 η έξοδος του τμήματος μετατροπής NIM σε TTL του καταμετρητή πριν οδηγηθεί στο CPLD (παράγραφος 2.1.2.2). Όπως φαίνεται και στο σχήμα η μετατροπή είναι αρκετά ικανοποιητική.

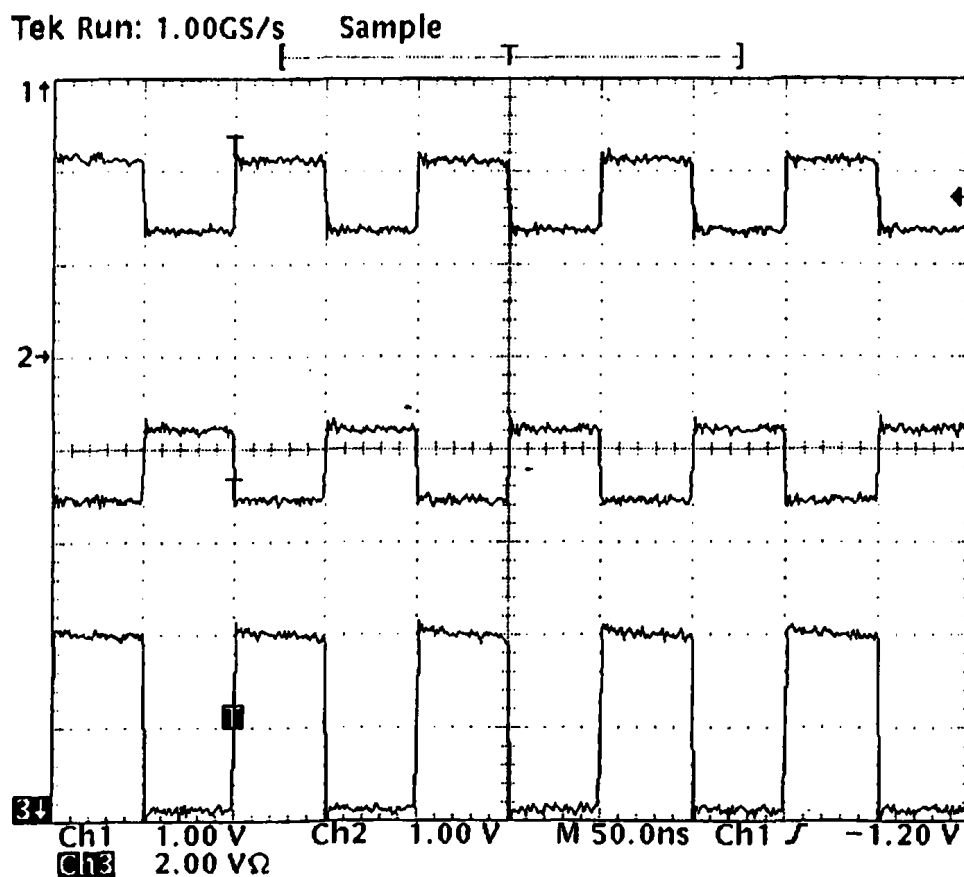
3.1.2. Μετατροπή ECL σε TTL .

Για το συγκεκριμένο χρησιμοποιήθηκε κατάλληλη μονάδα μετατροπής ψηφιακών σημάτων που έχει κατασκευαστεί στο Εργαστήριο Φυσικής Υψηλών Ενεργειών. Μια γεννήτρια TTL παλμών συνδέθηκε με το μετατροπέα και η ECL έξοδος του οδηγήθηκε στο καταμετρητή. Στο Σχήμα 3.3 φαίνεται η πειραματική διάταξη που χρησιμοποιήθηκε [2].



Σχήμα 3.3. Η πειραματική διάταξη ελέγχου ECL -TTL

Στο σχήμα 3.4 φαίνεται η απεικόνιση του παλμογράφου για το τμήμα μετατροπής ECL σε TTL του καταμετρητή. Στο κανάλι 3 του παλμογράφου φαίνεται το αποτέλεσμα της μετατροπής (TTL) ενώ στα κανάλια 1 και 2 το εισερχόμενο, στον καταμετρητή, σήμα.

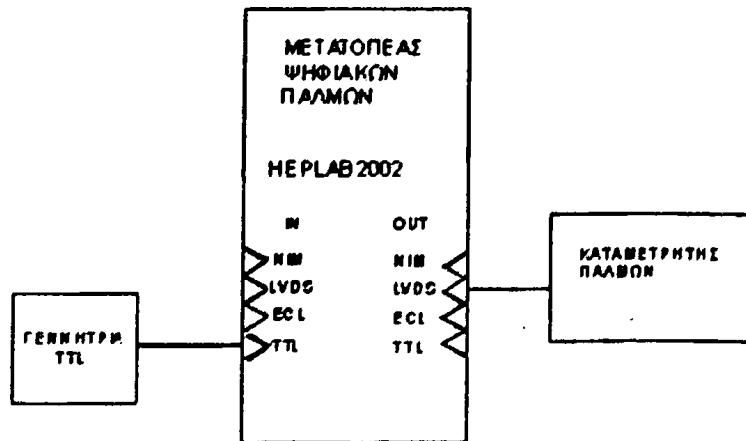


Σχήμα 3.4. Η μετατροπή παλμών ECL σε TTL

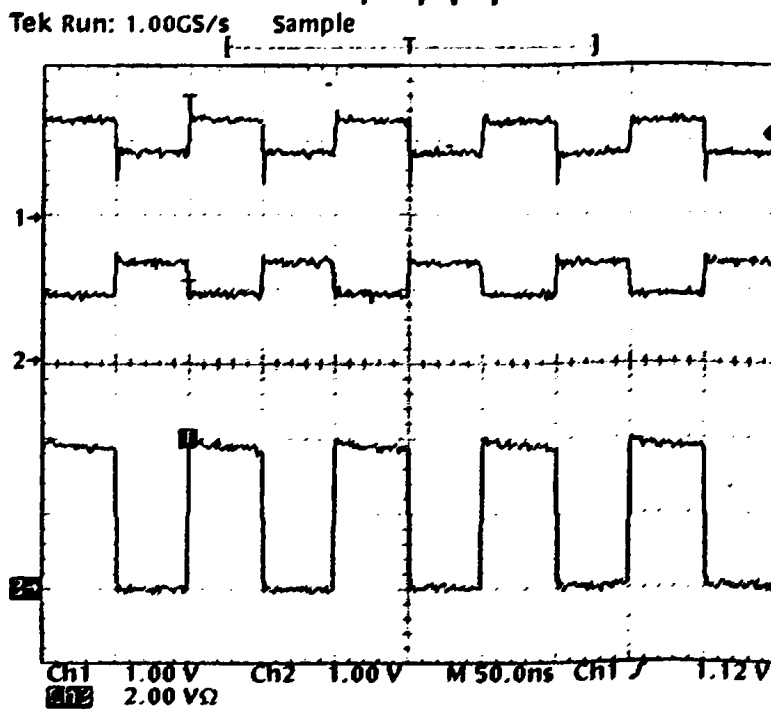
Από το παραπάνω σχήμα φαίνεται ότι η μετατροπή των σημάτων ECL σε TTL γίνεται με ορθό τρόπο.

3.1.3. Μετατροπή LVDS σε TTL .

Για τη μετατροπή των LVDS σημάτων σε TTL χρησιμοποιήθηκε ανάλογη διάταξη με τη προηγούμενη (Σχήμα 3.3). Η διαφορά στη περίπτωση των LVDS σημάτων είναι ότι το σήμα που εισέρχεται στον καταμετρητή προέρχεται από την έξοδο LVDS του μετατροπέα. Στο Σχήμα 3.5 φαίνεται η διάταξη που χρησιμοποιήθηκε για τον συγκεκριμένο έλεγχο ενώ στο Σχήμα 3.6 τα αποτελέσματα στον παλμογράφο. Τα αποτελέσματα των μετρήσεων ήταν ικανοποιητικά.



Σχήμα 3.5. Η διάταξη ελέγχου της μετατροπής LVDS σε TTL του καταμετρητή.



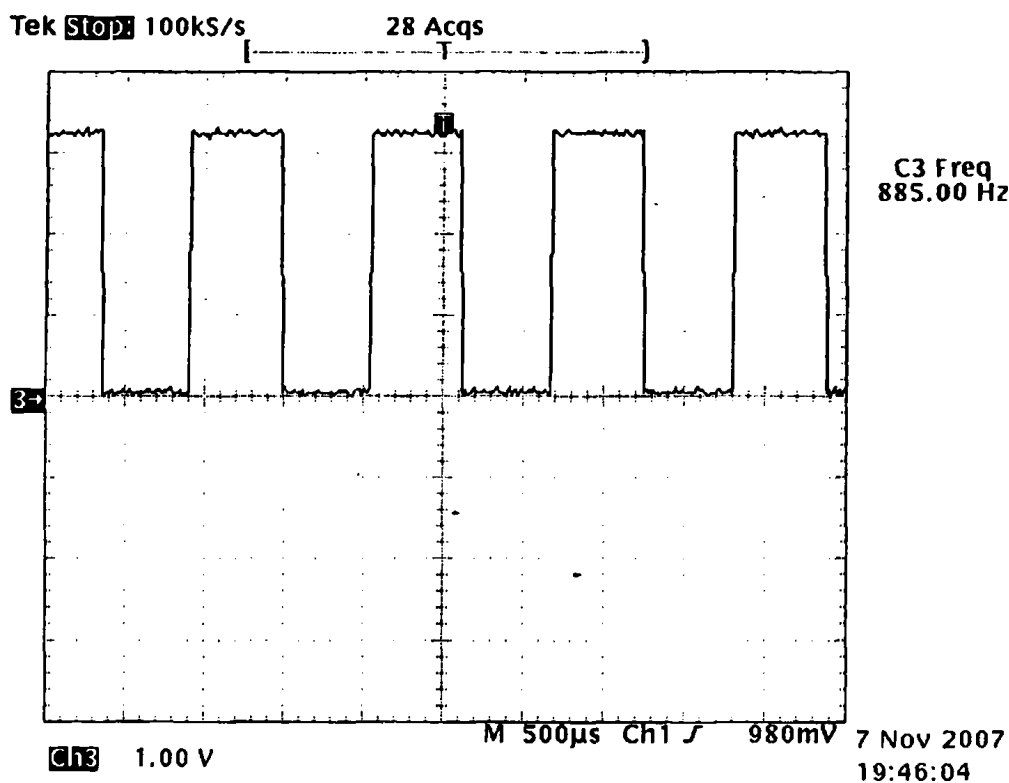
Σχήμα 3.6. Η μετατροπή παλμών LVDS σε TTL



Οι κυματομορφές όπως αποτυπώθηκαν στον παλμογράφο TECTRONICS. Στα κανάλια 1 και 2 φαίνεται το σήμα LVDS που οδηγείται στον καταμετρητή, ενώ στο κανάλι 3 φαίνεται το αποτέλεσμα της μετατροπής που οδηγείται τελικά στο ολοκληρωμένο XC2C64.

3.2. Γεννήτρια Παλμών

Κατά την διάρκεια του έλεγχου των εσωτερικών σημάτων του καταμετρητή έγινε έλεγχος και στη γεννήτρια παλμών (παρ. 2.1.4). Τα αποτελέσματα των μετρήσεων όπως καταγράφηκαν στον παλμογράφο φαίνονται στο Σχήμα 3.7.



Σχήμα 3.7. Η έξοδος της γεννήτριας TTL παλμών.

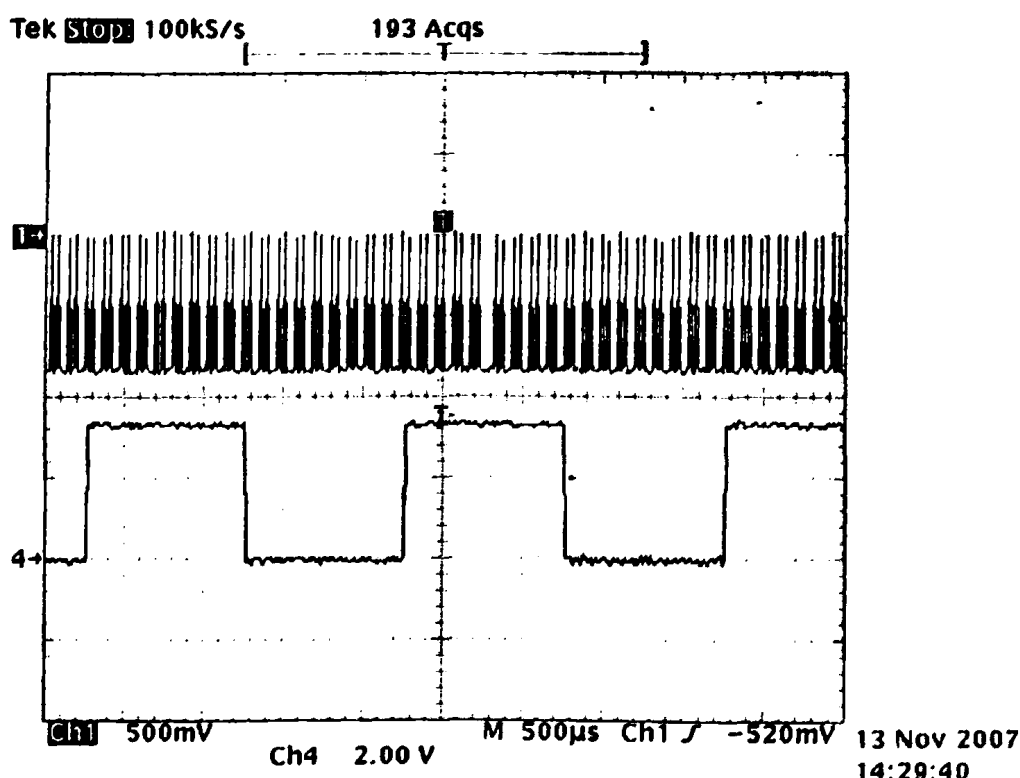
3.3. Μέτρηση Επαναληψιμότητας Καταμετρητή

Ο έλεγχος επαναληψιμότητας πραγματοποιήθηκε στο εργαστήριο Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων. Για τον έλεγχο εφαρμόστηκε η λειτουργία του καταμετρητή ως ρυθμομέτρου (Ratemeter παρ. 2.2.3.2). Συγκεκριμένα συνδέθηκε η γεννήτρια παλμών NIM (Timer TU 277) στον διευκρινιστή (LeCroy 623A) και ο τελευταίος στον



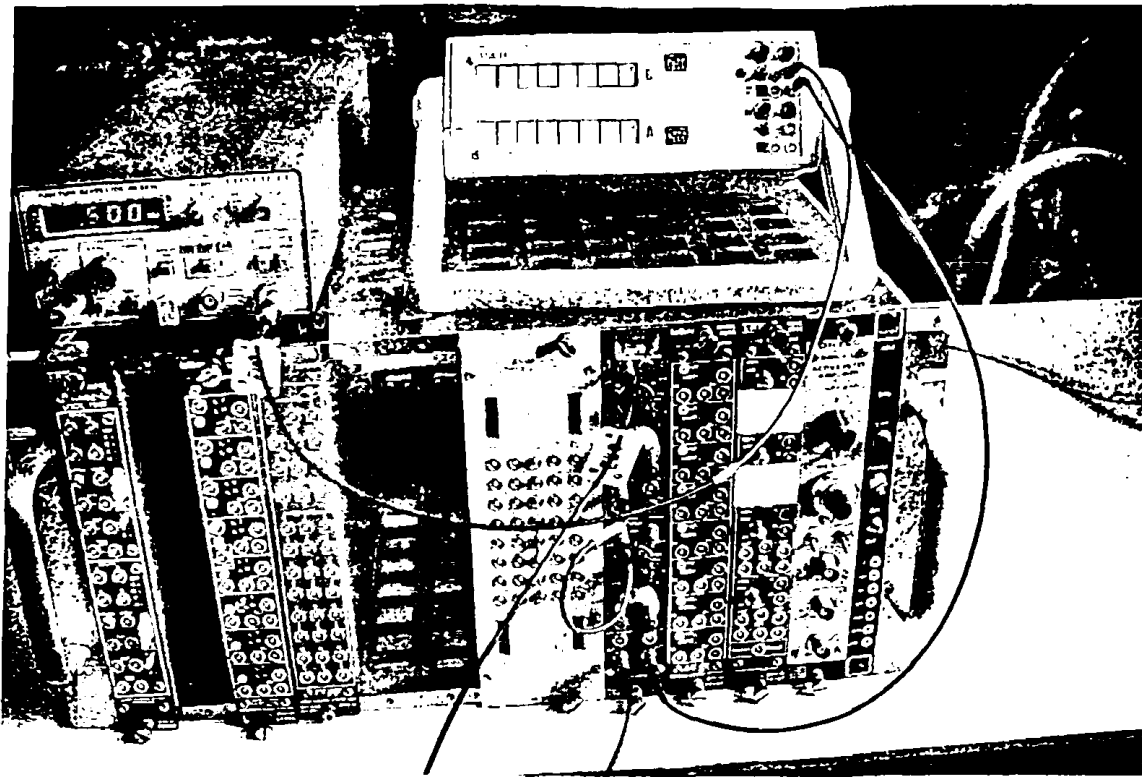
καταμετρητή (είσοδος NIM). Ο διευκρινιστής ρυθμίστηκε ώστε να αποδίδει παλμό NIM πλάτους 5ns (το ελάχιστο δυνατό). Στην είσοδο GATE συνδέθηκε τετραγωνικός παλμός συχνότητας 0.5 Hz (2sec περίοδο) από τη γεννήτρια παλμών HAMEG. Με την παραπάνω συνδεσμολογία ο καταμετρητής λειτουργεί μόνο κατά το χρόνο που το TTL σήμα είναι '1' δηλαδή για 1 sec ενώ σταματάει να μετρά για άλλο 1 sec. Έτσι μπορεί να ελεγχθεί αν ο καταμετρητής μετράει σωστά τους εισερχόμενους παλμούς.

Συγκεκριμένα, ο καταμετρητής λειτούργησε με τους παλμούς που φαίνονται στο σχήμα 3.8 και τη συνδεσμολογία του σχήματος 3.9. Έγιναν αρκετές διαδοχικές μετρήσεις, μηδενίζοντας την ένδειξη του καταμετρητή κάθε φορά (κατά τη διάρκεια που το GATE ήταν '0'). Τα αποτελέσματα των μετρήσεων ήταν ικανοποιητικά και υπήρξε απόλυτη συμφωνία με τις αρχικές προβλέψεις.



Σχήμα 3.8. Κυματομορφές για τον έλεγχο του καταμετρητή.

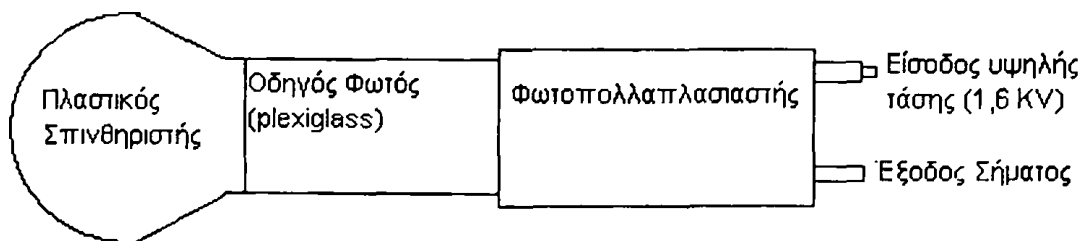




Σχήμα 3.9. Διάταξη για τον έλεγχο του καταμετρητή.

3.4. Μετρήσεις Ακτινοβολίας με πηγή ηλεκτρονίων Στρόντιου (^{90}Sr)

Στο εργαστήριο Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων, στα πλαίσια του ελέγχου λειτουργίας του καταμετρητή παλμών πραγματοποιήθηκαν και μετρήσεις με ραδιενεργό Στρόντιο (^{90}Sr). Για τις μετρήσεις χρησιμοποιήθηκε ο ανιχνευτής σωματιδίων που φαίνεται στο Σχήμα 3.10.

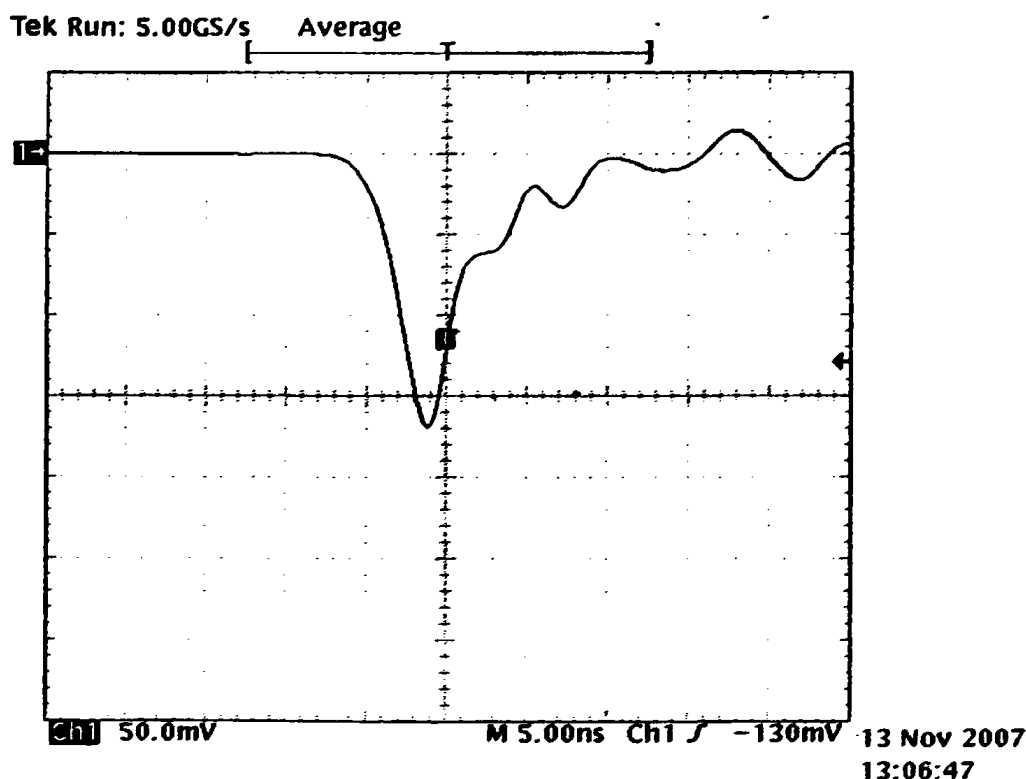


Σχήμα 3.10 Ο ανιχνευτής σωματιδίων.

Ο ανιχνευτής αποτελείται από τρία τμήματα, τον πλαστικό σπινθηριστή, τον οδηγό φωτός και το φωτοπολλαπλασιαστή. Τα ηλεκτρόνια της πηγής

^{90}Sr κινούμενα μέσα στον πλαστικό σπινθηριστή διεγείρουν τα μόρια του. Αυτά αποδιεγειρόμενα εκπέμπουν ορατά φωτόνια (στη περιοχή του ιώδους). Τα φωτόνια διαδίδονται μέσω του οδηγού φωτός και προσπίπτουν στη φωτοκάθοδο του φωτοπολλαπλασιαστή. Στη συνέχεια στη φωτοκάθοδο, λόγω του φωτοηλεκτρικού φαινομένου, παράγονται ηλεκτρόνια τα οποία έλκονται και επιταχύνονται προς τις δυνόδους του φωτοπολλαπλασιαστή. Το αποτέλεσμα της διαδικασίας αυτής είναι η εμφάνιση ενός ηλεκτρικού παλμού, στην έξοδο του φωτοπολλαπλασιαστή, για κάθε σωματίδιο που προσπίπτει στον πλαστικό σπινθηριστή.

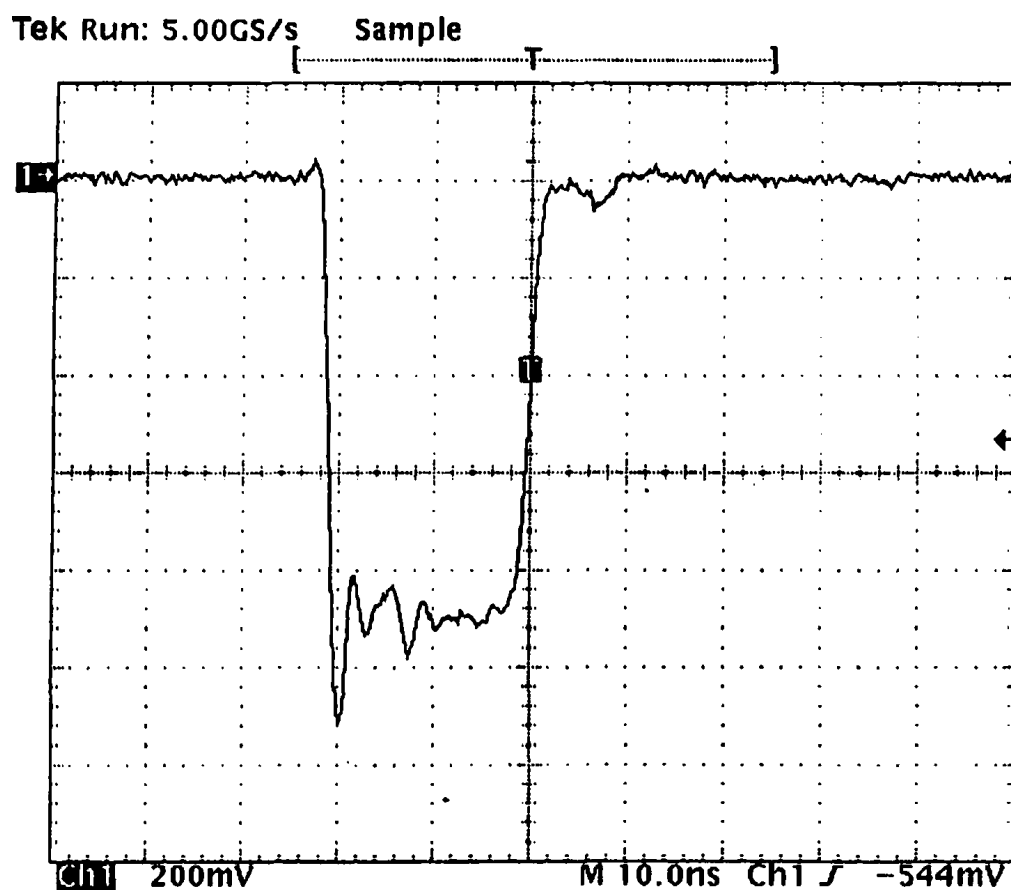
Όπως φαίνεται και στο Σχήμα 3.11, ο ηλεκτρικός παλμός που δημιουργείται στην έξοδο του φωτοπολλαπλασιαστή είναι αρκετά ασθενής. Το ύψος του παλμού είναι μόλις 170mV και έτσι εάν οδηγηθεί απευθείας στον καταμετρητή θα θεωρηθεί θόρυβος και δε θα μετρηθεί. Για την αποφυγή της απόρριψης του παλμού, η έξοδος του φωτοπολλαπλασιαστή οδηγείται στην είσοδο του διευκρινιστή LeCroy 623A.



Σχήμα 3.11. Η έξοδος του φωτοπολλαπλασιαστή.

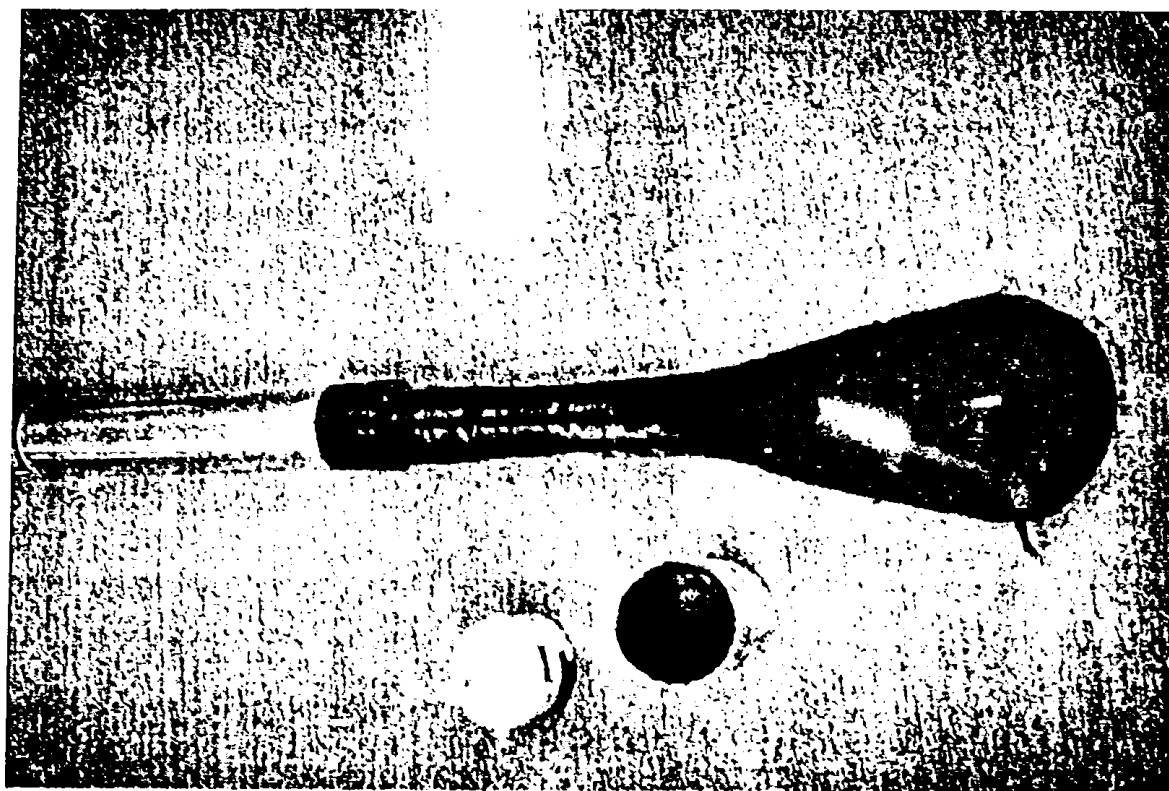
Ο LeCroy 623A είναι ένας οκταπλός διευκρινιστής με κατώφλι (threshold) -30mV έως -1 Volt. Ο διευκρινιστής παράγει στην έξοδο έναν παλμό NIM μόνο εάν ο αρχικός παλμός είναι μεγαλύτερος της τάσης

κατωφλίου. Στη συγκεκριμένη εφαρμογή έχει επιλεγθεί τάση κατωφλίου -30 mVolt και πλάτος παλμού εξόδου 20ns. Μετά την έξοδο από τον διευκρινιστή ο αρχικός παλμός έχει μετατραπεί σε ένα «καθαρό» NIM σήμα το οποίο μπορεί να οδηγηθεί στον καταμετρητή για περαιτέρω επεξεργασία. Στο Σχήμα 3.12 φαίνεται η έξοδος του διευκρινιστή

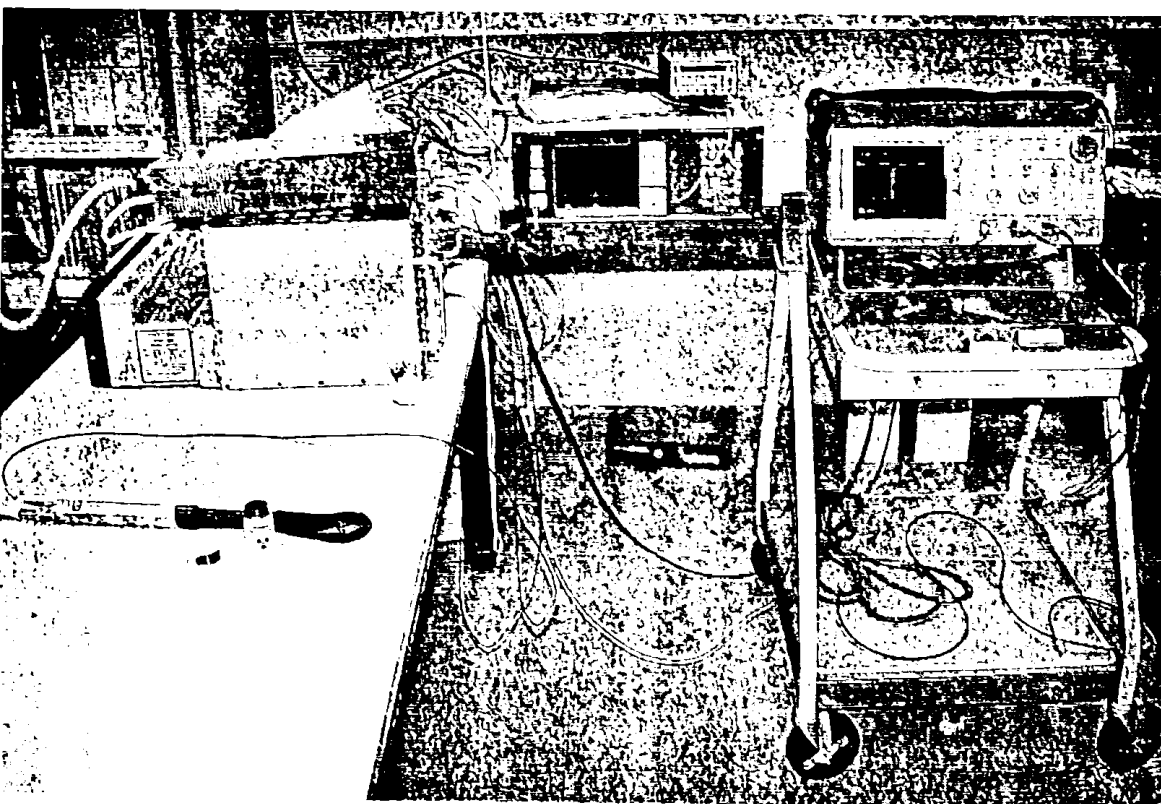


Σχήμα 3.12. Η είσοδος του καταμετρητή.

Τα αποτελέσματα των μετρήσεων προσέγγισαν ικανοποιητικά τις αναμενόμενες τιμές ενεργότητας της πηγής για τις συγκεκριμένες συνθήκες του πειράματος. Στο Σχήμα 3.13 φαίνεται ο ανιχνευτής με την ραδιενεργό πηγή Στροντίου (^{90}Sr) ενώ στο Σχήμα 3.14 φαίνεται η συνολική διάταξη του πειράματος.



Σχήμα 3.13. Ο ανιχνευτής και η πηγή Στροντίου-90



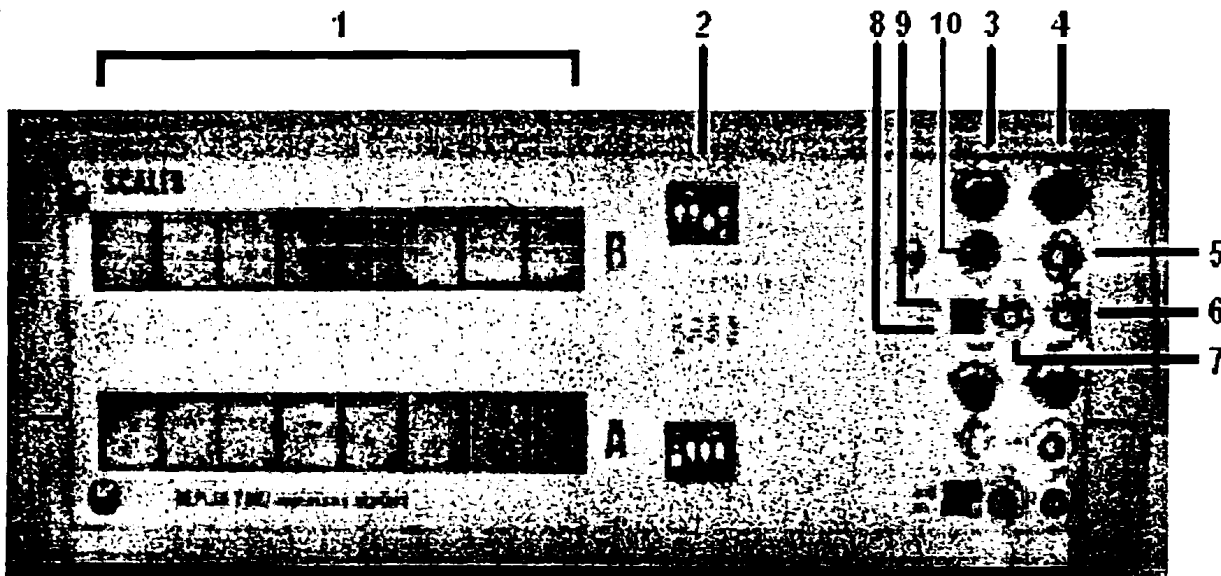
Σχήμα 3.14. Η συνολική διάταξη του πειράματος.

4. Αποτίμηση, λειτουργία και μελλοντική εξέλιξη του συστήματος.

4.1 Λειτουργία του συστήματος.

Η συσκευή που αναπτύχθηκε στα πλαίσια της παρούσας εργασίας αποτελείται από δύο ανεξάρτητους καταμετρητές ψηφιακών παλμών. Στη συνέχεια γίνεται η περιγραφή των λειτουργιών κάθε καταμετρητή.

Τα ψηφιακά σήματα (NIM, TTL, ECL και LVDS) εισέρχονται στο σύστημα μέσω των αντίστοιχων υποδοχέων (LEMO connectors) που υπάρχουν στην πρόσοψη της κατασκευής. Ο έλεγχος της λειτουργίας του καταμετρητή γίνεται από τους αντίστοιχους διακόπτες RESET (για την επανεκκίνηση της μέτρησης) και PAUSE (για την παύση της μέτρησης). Στην πρόσοψη της κατασκευής υπάρχει ένας διακόπτης και ένας υποδοχέας για τον έλεγχο του σήματος GATE καθώς επίσης και ένας τετραπλός διακόπτης (dipswitch) για την επιλογή του είδους των εισερχομένων παλμών. Ο χρήστης εφαρμόζοντας κατάλληλο TTL παλμό στην είσοδο GATE, μπορεί να θέτει το καταμετρητή σε κατάσταση μέτρησης όταν το σήμα είναι '1'. Η θέση κάθε λειτουργικού τμήματος φαίνεται στο σχήμα 4.1.



Σχήμα 4.1. Η πρόσοψη της συσκευής

Αναλυτικά

- | | |
|---------------------------------|-----------------|
| 1. Απεικόνιση του καταμετρητή | 8. Είσοδος ECL |
| 2. Έλεγχος εισερχόμενου σήματος | 9. Είσοδος LVDS |
| 3. PAUSE | 10. START |
| 4. RESET | |

5. GATE
6. Είσοδος NIM
7. Είσοδος TTL

4.2 Αποτίμηση του συστήματος.

Ο καταμετρητής παλμών που πραγματοποιήθηκε στη παρούσα εργασία, αποτελεί ένα εύχρηστο και αξιόπιστο όργανο, με σημαντική λειτουργική αξία σε πειράματα Πυρηνικής Φυσικής και Φυσικής Υψηλών ενεργειών. Από τις μετρήσεις που έγιναν (και περιγράφονται στο κεφάλαιο 3) είναι εμφανές ότι οι αντικειμενικοί στόχοι (αυτονομία συσκευής και ελάχιστος μετρούμενος παλμός 5ns) επετεύχθησαν. Ένα ακόμα σημαντικό σημείο είναι το κόστος της συσκευής που κατασκευάστηκε, το οποίο είναι αρκετά μικρότερο από το κόστος αγοράς μιας εμπορικής συσκευής ανάλογων δυνατοτήτων.

4.3 Μελλοντική εξέλιξη του συστήματος.

Παρόλο που, όπως αναφέρθηκε και στο προηγούμενο κεφάλαιο, η συσκευή που κατασκευάστηκε έχει ικανοποιητική απόδοση, υπάρχουν δυνατότητες για μελλοντική εξέλιξη.

Μία πιθανή αναβάθμιση της συσκευής θα ήταν η ανάπτυξη λογισμικού και συστήματος διασύνδεσής της με υπολογιστικό σύστημα. Έτσι θα μπορεί το σύστημα, είτε να ελέγχεται από κάποιο υπολογιστή, είτε να αποστέλλει τα αποτελέσματα σε κάποιο απομακρυσμένο σημείο μέσω δικτύου. Στην ήδη υπάρχουσα συσκευή έχει προβλεφθεί χώρος για την τοποθέτηση κάποιου ανάλογου υποκυκλώματος διασύνδεσης.

Επίσης θα μπορούσε να γίνει κάποιος νέος σχεδιασμός της συσκευής με διαφορετικά ολοκληρωμένα κυκλώματα για την επίτευξη είτε χαμηλότερου κόστους είτε ακόμη καλύτερης απόδοσης.



[1] Δ. Λιούπης : «Ψηφιακά Ηλεκτρονικά, Μάθημα 4^ο».
<http://aiolos.cti.gr/gr/faculty/psifil/M4-ecl.pdf>

[2] Βηχουδης Πασχαλης : «Λογισμικό οδήγησης κάρτας PCI διαυλου I2C και μετατροπέας ψηφιακών σημάτων TTL-NIM-ECL-LVDS για πειράματα Φυσικής Υψηλών Ενεργειών.»

[3] National Instruments : "Introduction to LVDS".
http://www.national.com/appinfo/lvds/files/lvds_ch1.pdf

[4] wikipedia : "Low-voltage differential signaling".
<http://en.wikipedia.org/wiki/LVDS>

[5] On Semiconductor : "MC10H125, Datasheet".
<http://www.onsemi.com/pub/Collateral/MC10H125-D.PDF>

[6] Texas Instruments : "SNLVDS32, Datasheet".
<http://focus.ti.com/lit/ds/symlink/sn65lvds32.pdf>

[7] Xilinx Co. : "Programmable Logic Design, Quick Start Handbook".
www.xilinx.com

[8] Wικιπεδια : "VHDL Definition".
<http://en.wikipedia.org/wiki/VHDL>

[9] Peter J. Ashenden : "VHDL, Quick Start".
<http://www.ashenden.com.au/designers-guide/VHDL-quick-start.pdf>

[10] LITE-ON Co. : "LTS-4802BJR-H1, Datasheet".
<http://www.us.liteon.com/opto.index.html>

[11] Εργαστήριο Φυσικής Υψηλών Ενεργειών. Πανεπιστήμιο Ιωαννίνων.



ΠΑΡΑΡΗΜΑΤΑ

61

A. Ο κωδικας της VHDL

61

```
-- Company:
-- Engineer:
--
-- Create Date: 16:19:30 05/22/06
-- Design Name:
-- Module Name: counter_me_TC - Behavioral
-- Project Name:
-- Target Device:
-- Tool versions:
-- Description:
--
-- Dependencies:
--
-- Revision:
-- Revision 0.01 - File Created
-- Additional Comments:
--
```

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
use IEEE.STD_LOGIC_ARITH.ALL;
use IEEE.STD_LOGIC_UNSIGNED.ALL;

---- Uncomment the following library declaration if instantiating
---- any Xilinx primitives in this code.
--library UNISIM;
--use UNISIM.VComponents.all;

entity counter_me_TC is
  Port (ECL_clk,TTL_clk,NIM_clk,LVDS_clk: in std_logic;
        clock_controls : in std_logic_vector(3 downto 0);
        CLEARn,PAUSE: in std_logic;
        GATE : in std_logic;
        CLOCK_select : in std_logic;
        ANODE_DRIVER : out std_logic_vector(7 downto 0);
        OUT_7SEG : out std_logic_vector(6 downto 0));
```



```
end counter_me_TC;
```

```
architecture Behavioral of counter_me_TC is
```

```
signal unit_tc,unit_inhibit: std_logic;
signal clockn,clock_input : std_logic;
signal unit_cnt,dec_cnt,hunt_cnt: std_logic_vector(3 downto 0) ;
signal mil_units_cnt,mil_dec_cnt,mil_hunt_cnt: std_logic_vector(3 downto 0):="0000" ;
signal milion_units_cnt,milion_dec_cnt: std_logic_vector(3 downto 0):="0000" ;
--signal SELECT_COUNTER: std_logic_vector(3 downto 0);
--signal count_int : std_logic_vector(2 downto 0);
signal SELECT_COUNTER,count_int : std_logic_vector(2 downto 0);
signal COUNTER_OUT : std_logic_vector(3 downto 0);
begin
```

```
-----
process (clock_controls,ECL_clk,TTL_clk,NIM_clk,LVDS_clk)
```

```
begin
```

```
  case clock_controls is
```

```
    when "0001" => clock_input <= TTL_clk;
    when "0010" => clock_input <= ECL_clk;
    when "0100" => clock_input <= NIM_clk;
    when "1000" => clock_input <= LVDS_clk;
    when others => clock_input <= '0';
```

```
  end case;
```

```
end process;
```

```
  clockn <= GATE and clock_input;
```

```
  counter: process ( clockn)
```

```
  begin
```

```
    if PAUSE='1' then
```

```
      null ;
```

```
    else
```

```
      if CLEARn = '0' then
```

```
        unit_cnt <= "0000";
        dec_cnt <= "0000";
        hunt_cnt <= "0000";
        mil_units_cnt <= "0000";
        mil_dec_cnt <= "0000";
        mil_hunt_cnt <= "0000";
        milion_units_cnt <= "0000";
        milion_dec_cnt <= "0000";
```



```

elseif clockn='1' and clockn'event then

    unit_cnt <= unit_cnt + 1;
    if unit_cnt= "1001" then
        dec_cnt<=dec_cnt+1;
        unit_cnt<="0000";
    end if;
---hunt_counter
    if dec_cnt="1001" and unit_cnt= "1001" then
        dec_cnt<="0000";
        hunt_cnt <= hunt_cnt+1;
    end if;
---mil_unit counter
    if hunt_cnt="1001" and dec_cnt="1001" and unit_cnt= "1001" then
        hunt_cnt<="0000";
        mil_units_cnt <= mil_units_cnt+1;

        end if;
---mil_dec counter
    if mil_units_cnt="1001" and hunt_cnt="1001" and dec_cnt="1001"
and unit_cnt= "1001" then
        mil_dec_cnt <= mil_dec_cnt+1;
        mil_units_cnt<="0000";
    end if;
---mil_hunt counter
    if mil_dec_cnt="1001" and mil_units_cnt="1001" and
hunt_cnt="1001" and dec_cnt="1001" and unit_cnt= "1001" then
        mil_hunt_cnt <= mil_hunt_cnt+1;
        mil_dec_cnt<="0000";
    end if;
---milion_units counter
    if mil_hunt_cnt="1001" and mil_dec_cnt="1001" and mil_units_cnt="1001"
and hunt_cnt="1001" and dec_cnt="1001" and unit_cnt= "1001" then
        milion_units_cnt <= milion_units_cnt +1;
        mil_hunt_cnt<="0000";

        end if;
---milion_dec counter
    if milion_units_cnt="1001" and mil_hunt_cnt="1001" and
mil_dec_cnt="1001" and mil_units_cnt="1001" and hunt_cnt="1001" and
dec_cnt="1001" and unit_cnt= "1001" then
        milion_dec_cnt <= milion_dec_cnt +1;
        milion_units_cnt<="0000";
    end if;

```



```

        end if;
    end if;
end process;
-----COUNTER SELECTION

```

```

counter_selection: process ( CLOCK_select)
begin

```

```

if CLOCK_select='1' and CLOCK_select'event then
    count_int <="000";
    if count_int = "111" then
        count_int <="000" ;
    else
        count_int <= count_int + 1;
    end if;
end if;

```

```

    end if;
end process;
SELECT_COUNTER <= count_int;
COUNTER_OUT <= unit_cnt when SELECT_COUNTER= "000" else
    dec_cnt when SELECT_COUNTER= "001" else
    hunt_cnt when SELECT_COUNTER= "010" else
    mil_units_cnt when SELECT_COUNTER= "011" else
    mil_dec_cnt when SELECT_COUNTER= "100" else
    mil_hunt_cnt when SELECT_COUNTER= "101" else
    milion_units_cnt when SELECT_COUNTER= "110" else
    milion_dec_cnt when SELECT_COUNTER= "111" else
    "0000";

```

```

OUT_7SEG <= "0000001" when COUNTER_OUT= "0000" els
    "1111001" when COUNTER_OUT= "0001" else
    "0100100" when COUNTER_OUT= "0010" else
    "0110000" when COUNTER_OUT= "0011" else
    "1011000" when COUNTER_OUT= "0100" else --
    "0010010" when COUNTER_OUT= "0101" else
    "1000010" when COUNTER_OUT= "0110" else
    "0111001" when COUNTER_OUT= "0111" else
    "0000000" when COUNTER_OUT= "1000" else
    "0010000" when COUNTER_OUT= "1001" else
    "1111111";

```

```

-----ANODE DRIVER

```

```

ANODE_DRIVER <= "11111110" when SELECT_COUNTER= "000" else
    "11111101" when SELECT_COUNTER= "001" else
    "11111011" when SELECT_COUNTER= "010" else
    "11110111" when SELECT_COUNTER= "011" else
    "11101111" when SELECT_COUNTER= "100" else
    "11011111" when SELECT_COUNTER= "101" else

```



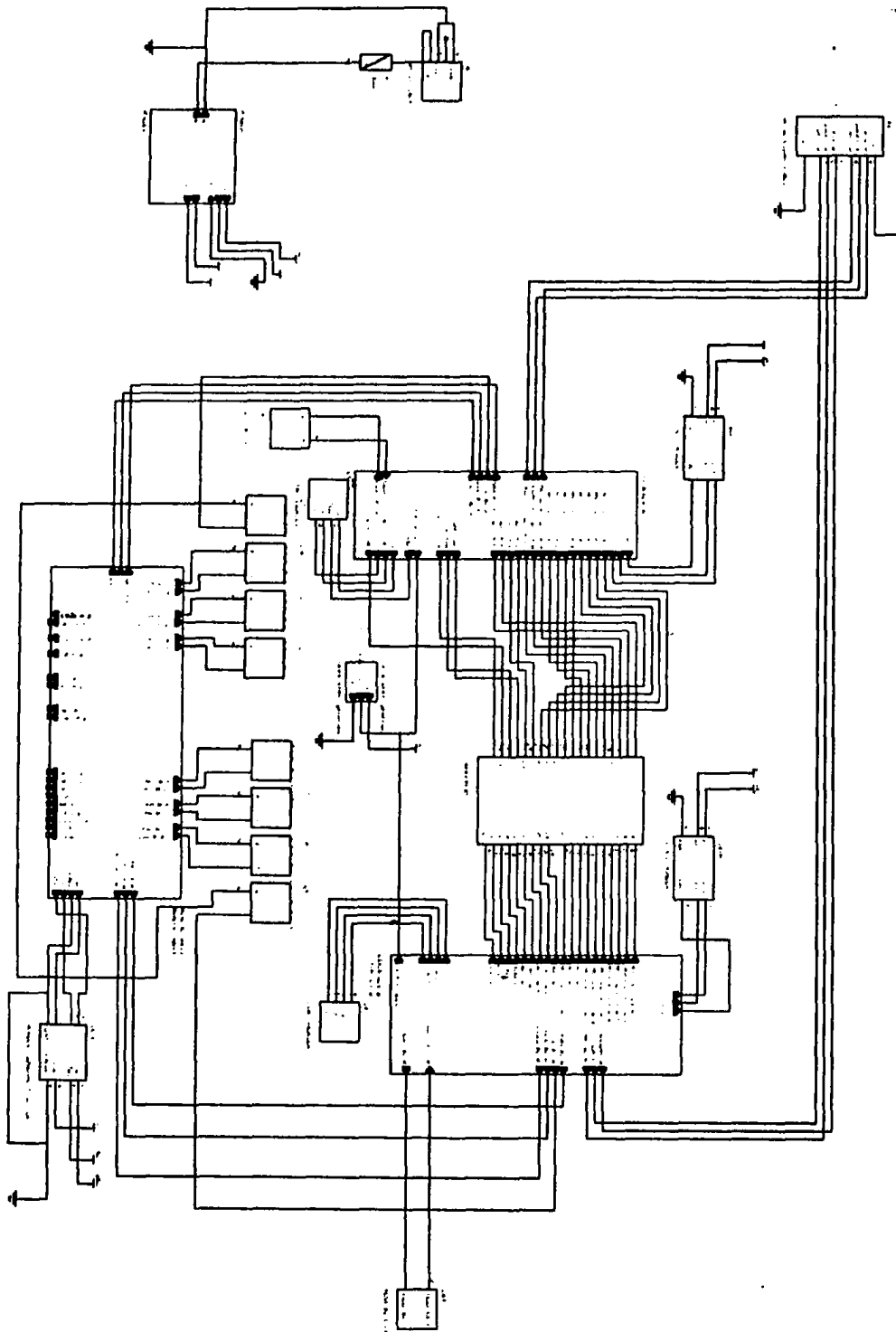
```
"10111111" when SELECT_COUNTER= "110" else  
"01111111" when SELECT_COUNTER= "111" else  
"11111111";
```

end Behavioral;

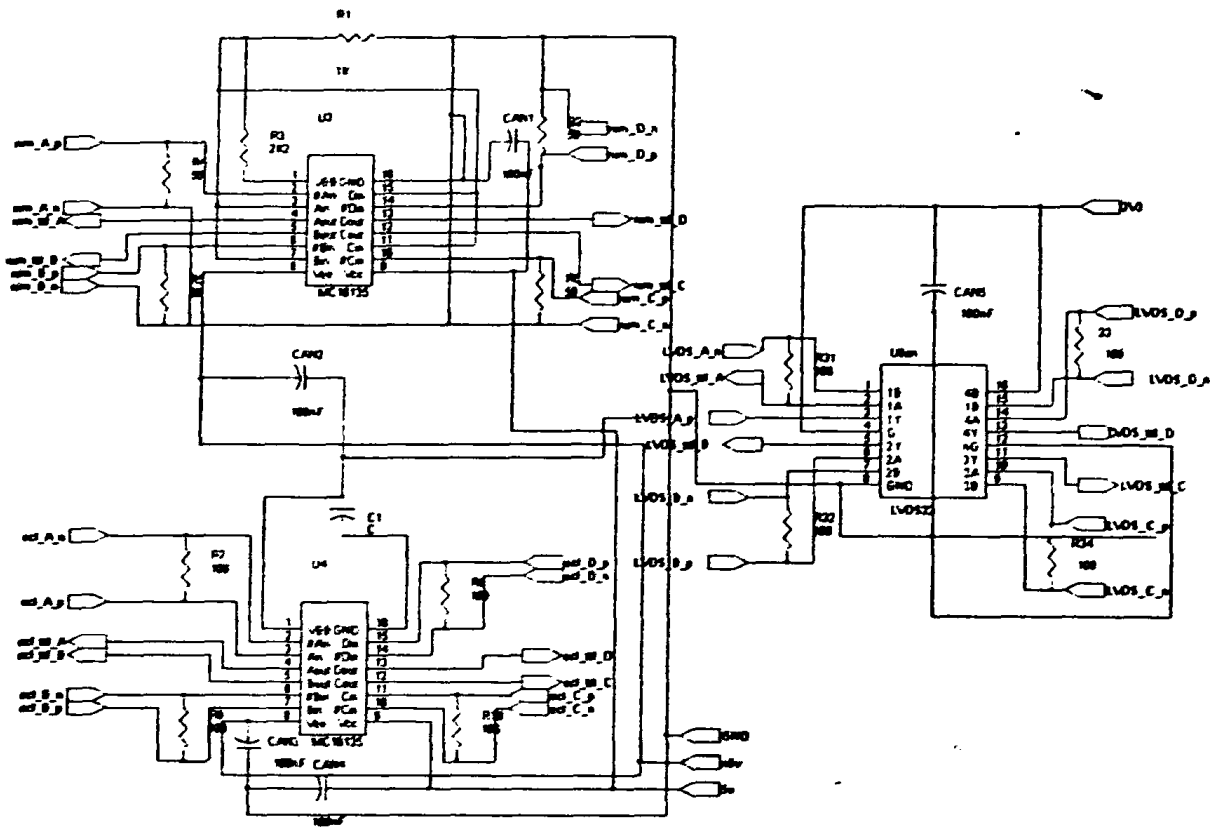
B. Το θεωρητικό κύκλωμα της κατασκευής

63

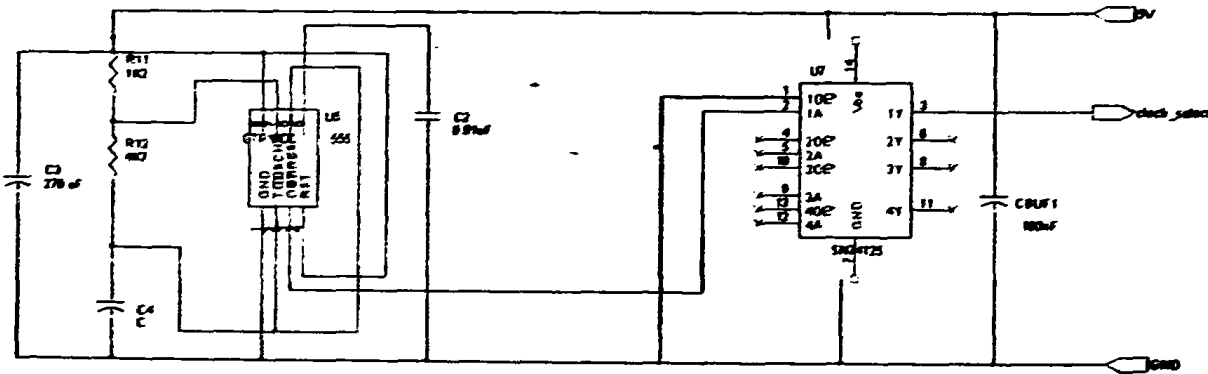




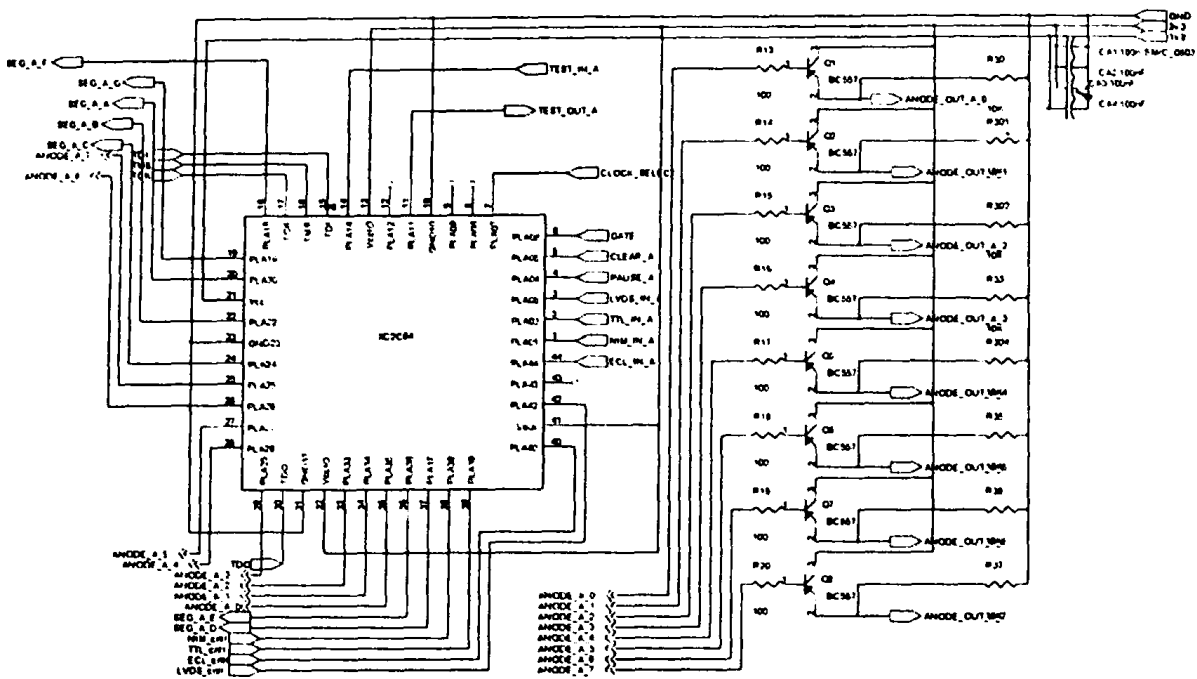
Σχήμα ΠΒ1. Το συνολικό κύκλωμα της βασικής μονάδας



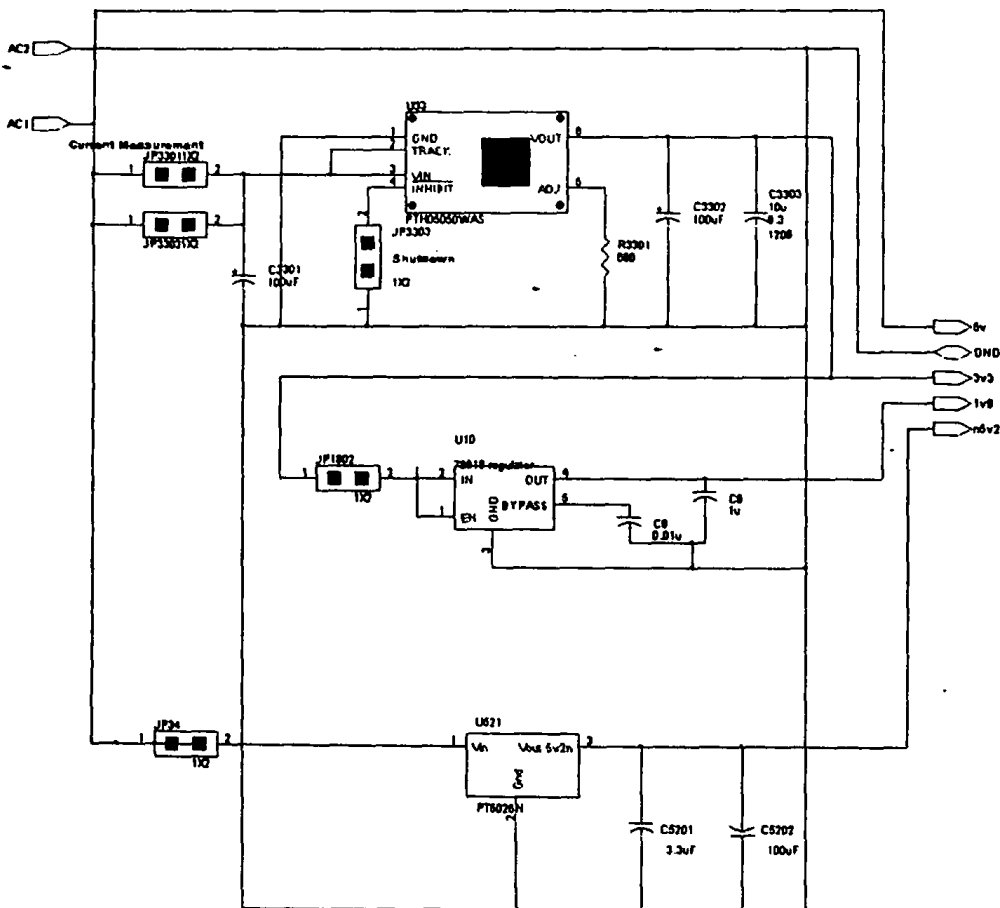
Σχίμα ΠΒ2. Το τμήμα μετατροπής παλμών



Σχίμα ΠΒ2. Η γεννήτρια παλμών 860 Hz

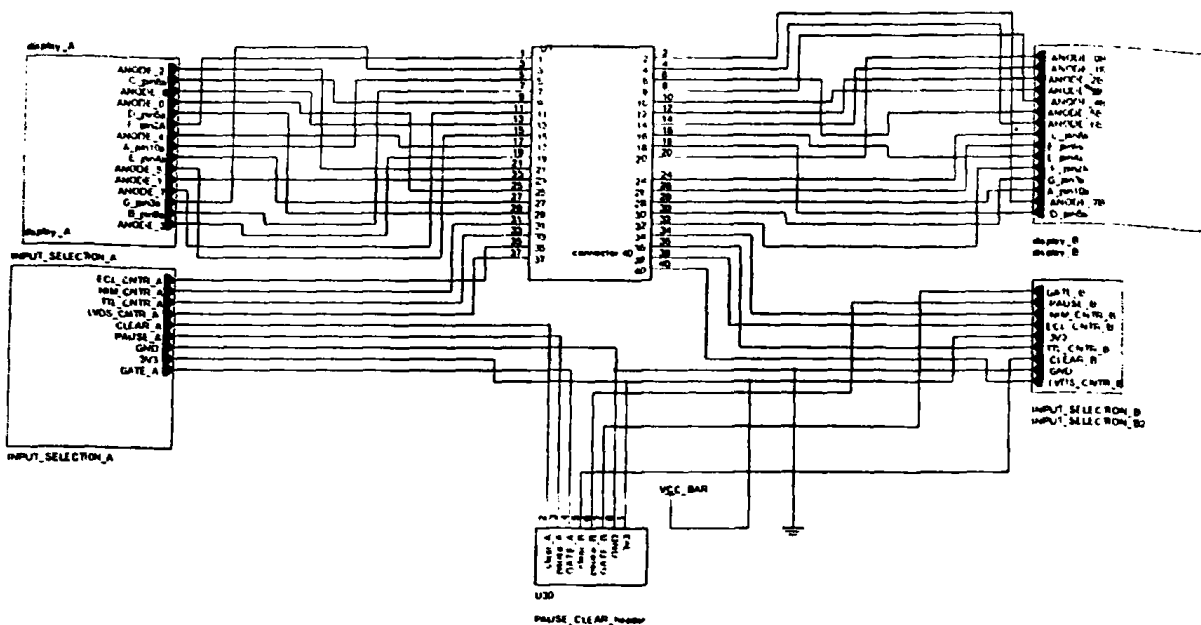


Σχήμα ΠΒ3. Το κύκλωμα του ψηφιακού μετρητή

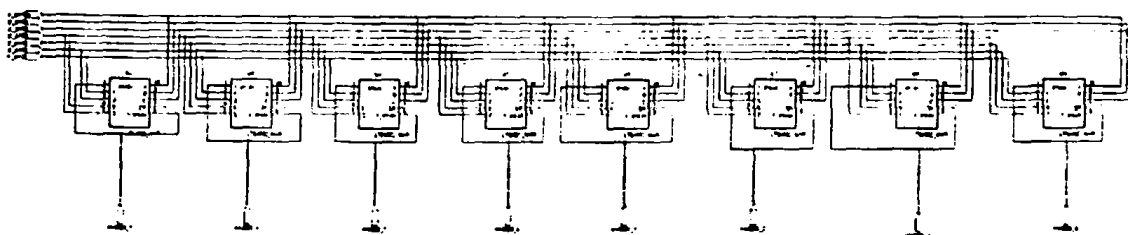


Σχήμα ΠΒ4. Το κύκλωμα της τροφοδοσίας του συστήματος

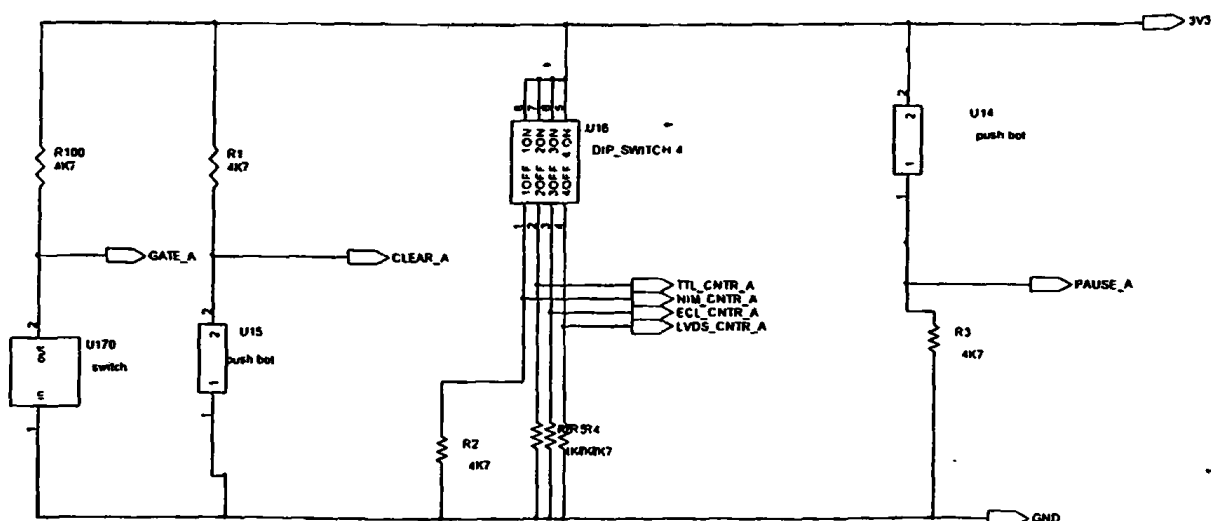




Σχήμα ΠΒ5. Το συνολικό κύκλωμα του τμήματος απεικόνισης.



Σχήμα ΠΒ6. Το κύκλωμά κάθε μίας οθόνης.

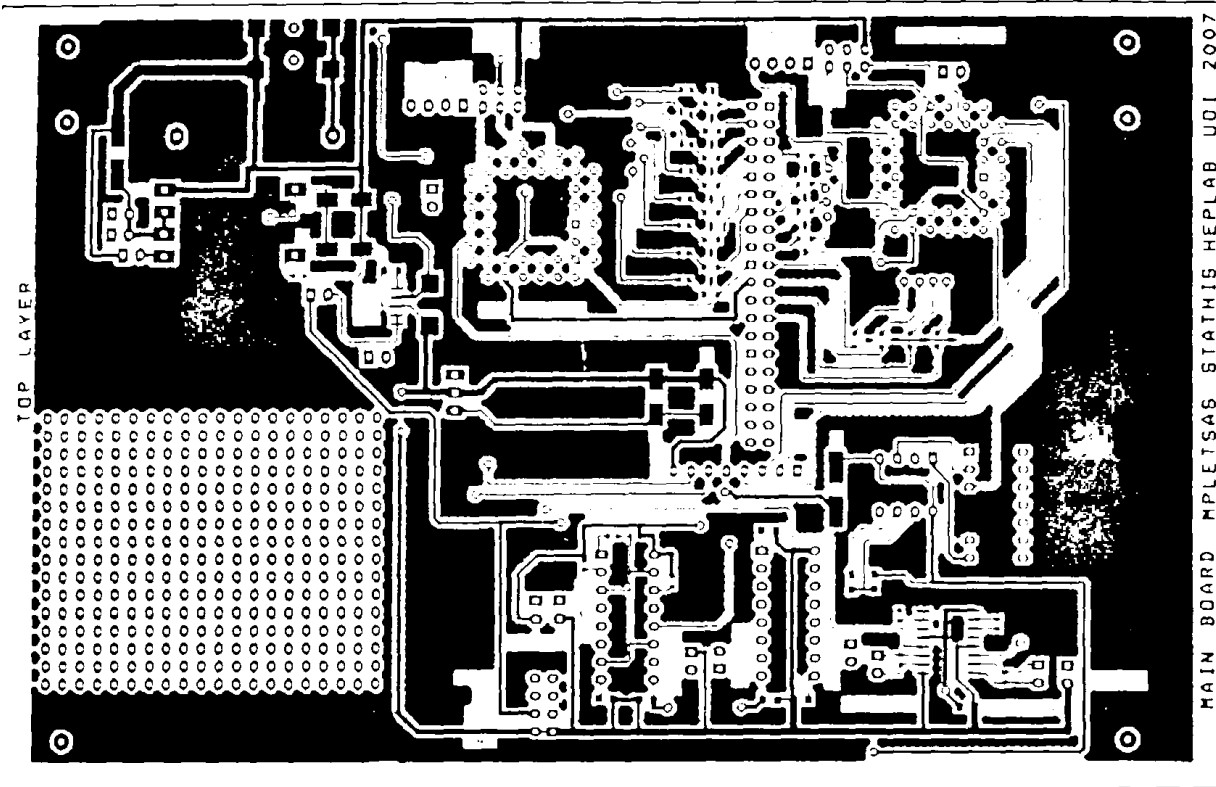


Σχήμα ΠΒ7. Το τμήμα επιλογής εισερχομένων παλμών.

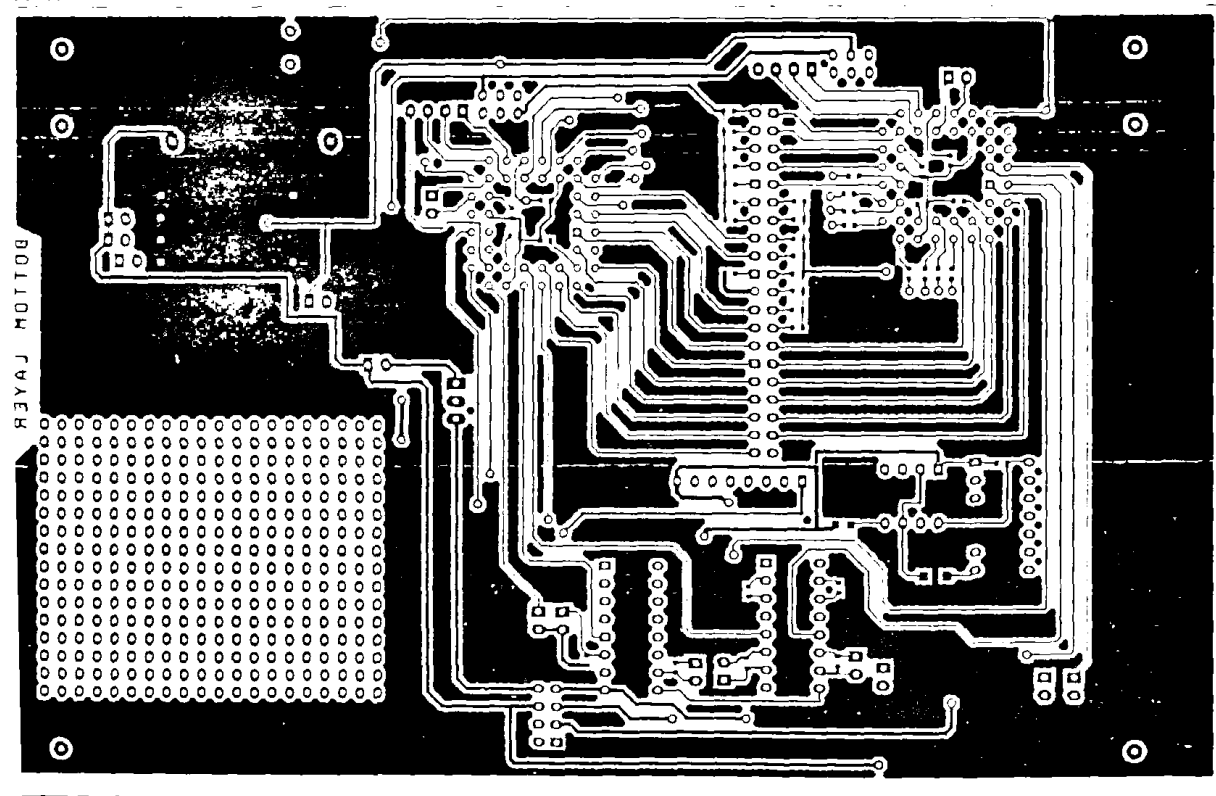


Τα τοπομένα κυκλώματα της κατασκευής

Α.Η βασική μονάδα του καταμετρητή παλμών



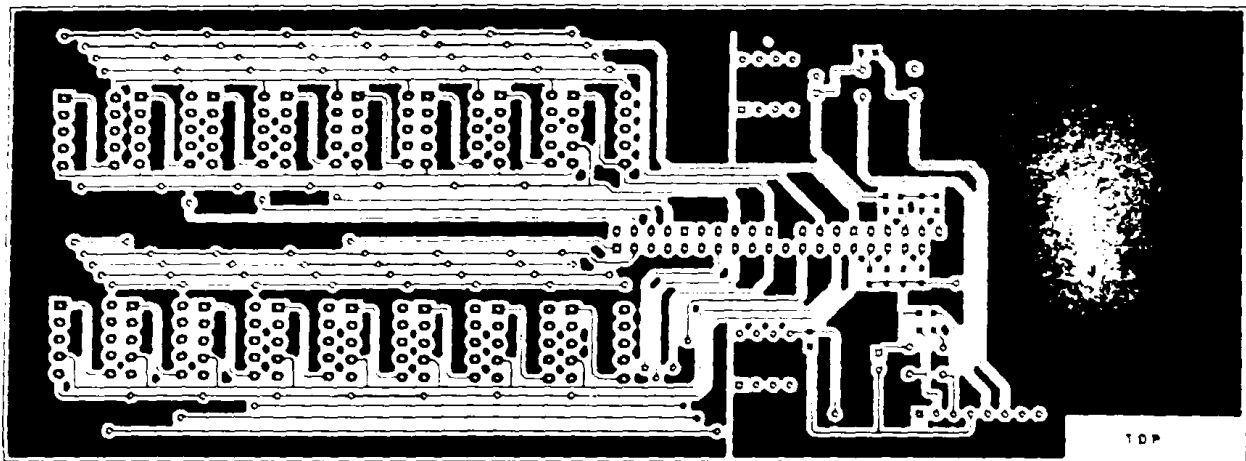
Εξήμα ΠΓ1.



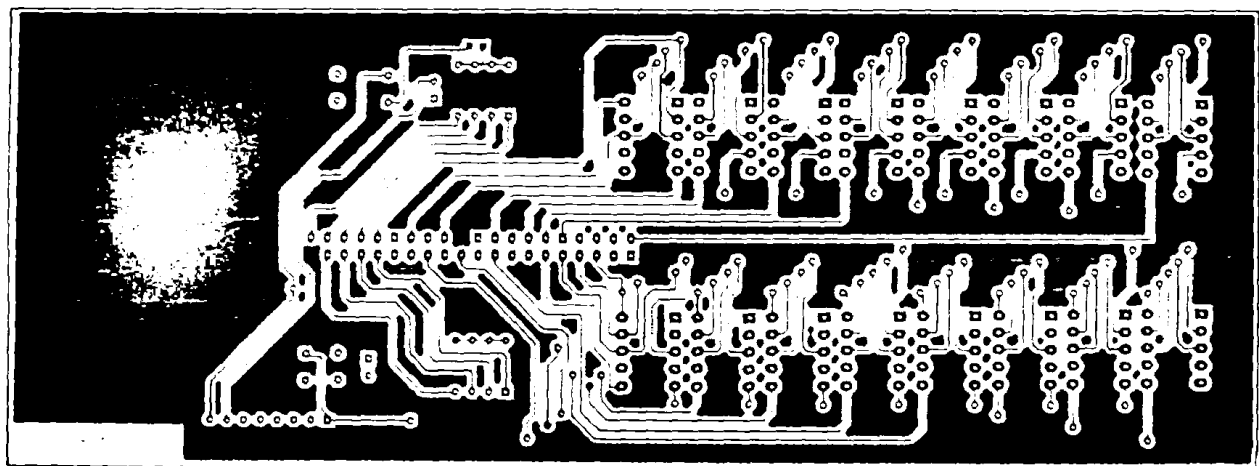
Εξήμα ΠΓ2.



Β. Η μονάδα απεικόνισης



Σχήμα ΠΓ2.



Σχήμα ΠΓ2.

Γ. Φωτογραφίες της κατασκευής

