

Ανάπτυξη συστήματος ελέγχου & ανάγνωσης υποσυστημάτων
μικρολωριδιακών αισθητήρων πυριτίου – αναλογικών
ηλεκτρονικών

178

ΜΠΑΕ

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Κωνσταντίνος Χ. Προύσκας
Τεχνολόγος Ηλεκτρονικός Μηχανικός

Η. Ε.

Επίβλεψη: Επικ. Καθηγητής Ν. Μάνθος
Εργαστήριο Φυσικής Υψηλών Ενεργειών

ΔΙΑΤΜΗΜΑΤΙΚΟ ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ
ΣΤΙΣ ΣΥΓΧΡΟΝΕΣ ΗΛΕΚΤΡΟΝΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ

ΤΜΗΜΑ ΦΥΣΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

Ιωάννινα, Ιούνιος 2002



Χρ.
546

3

ΒΙΒΛΙΟΘΗΚΗ
ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΙΩΑΝΝΙΝΩΝ



026000132986



... 274.200...4

*Αφιερώνεται
εξαιρετικά στην οικογένειά μου
Ερμιόνη & Χρήστο*



ΠΕΡΙΛΗΨΗ

Στην παρούσα διπλωματική εργασία περιγράφεται η ανάπτυξη ενός ηλεκτρονικού συστήματος με σκοπό τον έλεγχο μικρολωριδιακών αισθητήρων πυριτίου. Το σύστημα αποτελείται από δύο μέρη: α) ένα υβριδικό ανάγνωσης (ROH), που περιέχει τα αναλογικά FE ηλεκτρονικά για την ενίσχυση και πολύπλεξη των αναλογικών σημάτων του αισθητήρα και β) μια μονάδα ψηφιοποίησης του αναλογικού σήματος η οποία επιπρόσθετα παράγει τα ακολουθιακά σήματα ελέγχου των FE ηλεκτρονικών με τη χρήση FPGA. Οι ψηφιοποιημένες πληροφορίες αποθηκεύονται προσωρινά στη μνήμη του FPGA και ένας μικροελεγκτής τις μεταδίδει μέσω RS232 σε έναν προσωπικό υπολογιστή (PC) όπου καταγράφονται. Το συνολικό σύστημα ελέγχεται με πρόγραμμα σε περιβάλλον Labview από τον υπολογιστή. Σκοπός της ανάπτυξης του συστήματος είναι ο έλεγχος μικρολωριδιακών αισθητήρων πυριτίου που θα χρησιμοποιηθούν στον ανιχνευτή Preshower του πειράματος CMS που θα διεξαχθεί στον επιταχυντή συγκρουομένων δεσμών LHC του CERN στην Ελβετία.

Επιπλέον περιγράφεται η ανάπτυξη μίας μονάδας VME, παραγωγής ακολουθιακών σημάτων σκανδαλισμού. Δηλαδή μιας γεννήτριας παλμών προγραμματιζόμενης διάρκειας και συχνότητας, και προγραμματιζόμενου αριθμού παλμών στην παλμοσειρά. Η μονάδα ελέγχεται με λογισμικό σε περιβάλλον Labview από προσωπικό υπολογιστή (PC).

ABSTRACT

In the present MSc Thesis the development of a readout system for microstrip silicon sensor testing is described. The system consists of two parts: a) a readout hybrid (ROH), that contains the analog FE electronics for amplification – multiplexing of the sensor analog signals and b) one unit that digitizes the analog signals and, in addition, generates the control signal sequence for the FE electronics using a FPGA. The digitized data are temporarily stored in the memory of the FPGA and then a microcontroller transmits them via RS232 to a personal computer (PC) where they are recorded. The complete system is controlled by a LabView application in the PC. The purpose of the development is the testing of CMS Preshower silicon microstrip sensors. The CMS experiment is in preparation phase and it will be run at the LHC collinder at CERN, Switzerland.

In addition, the development of a sequence generator VME unit for trigger signal production is described. This unit generates trigger pulses with programmable duration, frequency, and programmable number of pulses in the sequence. The unit is controlled by a LabView application.



ΕΙΣΑΓΩΓΗ

Η παρούσα εργασία εκπονήθηκε στο Εργαστήριο Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων.

Αποτελείται από δύο μέρη.

Στο πρώτο μέρος περιγράφεται η ανάπτυξη ενός συστήματος ανάγνωσης και καταγραφής ηλεκτρικών σημάτων από μικρολωριδιακούς αισθητήρες πυριτίου και αποτελείται από δύο επιμέρους μονάδες. Τη μονάδα Read Out Hybrid (ROH) και τη μονάδα Read Out Board (ROB) της οποίας η μελέτη, η σχεδίαση και η κατασκευή παρατίθεται στην παρούσα εργασία. Η μονάδα ROH, περιλαμβάνει τα αναλογικά front end (FE) ηλεκτρονικά. Η μονάδα ROB ψηφιοποιεί τα αναλογικά σήματα από το ROH και μετά την προσωρινή αποθήκευση των δεδομένων, τα αποστέλλει στη σειριακή θύρα ενός υπολογιστή για να καταγραφούν.

Στο πρώτο μέρος της παρούσας εργασίας, στο κεφάλαιο A1 αναφέρονται γενικά στοιχεία του πειράματος CMS μέρος του οποίου αποτελεί ο ανιχνευτής Preshower. Στο κεφάλαιο A2 περιγράφεται γενικά η μονάδα ROH και στο κεφάλαιο A3 παρουσιάζεται η μελέτη και ο σχεδιασμός τόσο του FPGA που αποτελεί το κύριο στοιχείο του ROB, όσο και ο προγραμματισμός του μικροελεγκτή που χρησιμοποιείται. Παρουσιάζεται ακόμη η σχεδίαση της πλακέτας ROB. Στο κεφάλαιο A4 παρουσιάζεται ο έλεγχος της πλακέτας του ROB ενώ στο κεφάλαιο A5 παρατίθενται τα αποτελέσματα της αποτίμησης του συστήματος ROB και τα σχετικά plots από τον παλμογράφο. Στο παράρτημα ΑΠ.1 παρουσιάζονται οι αρχικές προδιαγραφές του συστήματος ROB. Στο παράρτημα ΑΠ.2 παρουσιάζονται αναλυτικά τα κυκλώματα του ηλεκτρονικού σχεδίου του FPGA ενώ στο παράρτημα ΑΠ.3 παρατίθεται το πρόγραμμα του μικροελεγκτή σε γλώσσα assembly. Στο παράρτημα ΑΠ.4 παρατίθενται τα τυπωμένα κυκλώματα (layouts) που χρησιμοποιήθηκαν για την κατασκευή της πλακέτας ROB και στο παράρτημα ΑΠ.5 παρατίθενται σχετικές φωτογραφίες των διατάξεων ROH και ROB καθώς και της διάταξης κατά τη διαδικασία ελέγχου του συστήματος.

Στο δεύτερο μέρος περιγράφεται η ανάπτυξη του συστήματος παραγωγής ακολουθιακών σημάτων σκανδαλισμού βασισμένο σε δίαυλο VME. Σκοπός του είναι η παραγωγή σημάτων σκανδαλισμού (trigger) με μεταβλητό εύρος παλμού, μεταβλητό χρόνο μεταξύ των παλμών και μεταβλητό αριθμό παλμών.

Στο δεύτερο μέρος της παρούσας εργασίας στο κεφάλαιο B1 αναφέρονται οι αρχικές προδιαγραφές της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού και παρατίθενται γενικά στοιχεία για τον δίαυλο VME. Στο κεφάλαιο B2 γίνεται αναπτύσσονται τα ηλεκτρονικά σχέδια των προγραμματιζόμενων ολοκληρωμένων CPLD και FPGA που είναι και τα κύρια στοιχεία της μονάδας. Στο κεφάλαιο B3 παρουσιάζεται ο σχεδιασμός της πλακέτας της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού ενώ στο κεφάλαιο B4 παρουσιάζεται ο έλεγχος της πλακέτας της μονάδας. Στο

κεφάλαιο Β5 αναφέρονται τα αποτελέσματα των ελέγχων του συστήματος και παρατίθενται τα σχετικά plots από τον παλμογράφο. Στο παράρτημα ΒΠ.1 δίνονται περισσότερα στοιχεία για τον δίαυλο VME. Στο παράρτημα ΒΠ.2 παρουσιάζεται η υλοποίηση του κυκλώματος του CPLD ενώ στο παράρτημα ΒΠ.3 παρουσιάζονται αναλυτικά τα επιμέρους κυκλώματα του ηλεκτρονικού σχεδίου του FPGA. Στο παράρτημα ΒΠ.4 παρατίθεται ο τρόπος προγραμματισμού της μνήμης PROM. Στο παράρτημα ΒΠ.5 παρατίθενται τα τυπωμένα κυκλώματα (layouts) που χρησιμοποιήθηκαν για την κατασκευή της πλακέτας της μονάδας ενώ στο παράρτημα ΒΠ.6 παρουσιάζεται ο τρόπος με τον οποίο ρυθμίζεται η μονάδα ως μέρος του συστήματος VME. Τέλος στο παράρτημα ΒΠ.7 παρατίθενται σχετικές φωτογραφίες της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού καθώς και της πειραματικής διάταξης κατά τη διαδικασία ελέγχου της.



ΕΥΧΑΡΙΣΤΙΕΣ

Η παρούσα εργασία εκπονήθηκε στα πλαίσια του διατμηματικού προγράμματος μεταπτυχιακών σπουδών, του τμήματος Φυσικής του Πανεπιστημίου Ιωαννίνων στο Εργαστήριο Φυσικής Υψηλών Ενεργειών.

· · Ευχαριστώ εκ βάθους καρδίας την οικογένειά μου Ερμιόνη & Χρήστο που με βοήθησαν να συνεχίσω τις σπουδές μου και με υποστήριζαν με πολύ υπομονή, σύνεση και κατανόηση.

Θα ήθελα να ευχαριστήσω τα μέλη του Εργαστηρίου Φυσικής Υψηλών Ενεργειών, τον Καθηγητή κ. Φ. Τριάντη και τον επιβλέποντα την εργασία Επίκουρο Καθηγητή κ. Ν. Μανθο καθώς και τον Δρ. κ. Κ. Κλουκίνα μέλος του Ευρωπαϊκού Εργαστηρίου Πυρηνικής Φυσικής CERN για την αμέριστη βοήθεια και καθοδήγηση με τις συμβουλές τους καθ' όλη τη διάρκεια της συνεργασίας μας.

Ευχαριστώ θερμά την Επιτροπή του Κέντρου Ηλεκτρονικών Υπολογιστών του Πανεπιστημίου Ιωαννίνων και τον προεδρεύοντα Καθηγητή κ. Γ. Παντή για τις διευκολύνσεις που μου παρείχαν ώστε να επιτευχθεί ο στόχος μου. Επίσης τον Δ/ντή του Κέντρου Η/Υ κ. Κ. Πλατή και το προσωπικό του Κέντρου Η/Υ για την κατανόηση που έδειξαν στον εργασιακό μου χώρο.

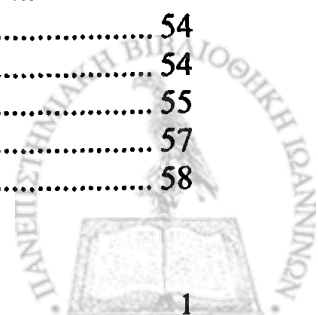
Τέλος ευχαριστώ θερμά τους συναδέλφους κ. Φ. Παπαστεφάνου και κ. Α. Ασημίδα για τη βοήθεια και τις πολύτιμες συμβουλές τους καθ' όλη τη διάρκεια των σπουδών.

Ιωάννινα, Ιούνιος 2002



ΠΕΡΙΕΧΟΜΕΝΑ

Περίληψη.....	iii
Abstract	v
Εισαγωγή	vii
Ευχαριστίες.....	ix
Περιεχόμενα	1
. . .	
ΜΕΡΟΣ Α	3
Σύστημα ανάγνωσης - καταγραφής ηλεκτρικών σημάτων από μικρολωριδιακούς αισθητήρες πυριτίου και παραγωγής σημάτων ελέγχου των αντίστοιχων αναλογικών ηλεκτρονικών βασισμένο σε μικροελεγκτή και PC	3
A.1 Γενικά.....	5
A.2 Υποσύστημα Μικρολωριδιακών Αισθητήρων Πυριτίου-Αναλογικών Ηλεκτρονικών	9
A.3 Το Σύστημα Read Out Board (ROB)	11
A.3.1 FPGA Specifications	15
A.3.2 Ανάπτυξη του κυκλώματος στο FPGA	18
A.3.2.1 Ηλεκτρονικό σχέδιο FPGA	19
A.3.2.2 Χρονική Προσομοίωση FPGA.....	23
A.3.2.3 Ακροδέκτες του FPGA.....	29
A.3.2.4 Υλοποίηση του FPGA	30
A.3.3 Προγραμματισμός Μικροελεγκτή.....	33
A.3.4 Σχεδίαση της μονάδας ROB.....	37
Κυκλώματα Τροφοδοσίας.....	37
Κύκλωμα Παραγωγής Συχνότητας Λειτουργίας.....	39
Κύκλωμα ADC.....	39
Κύκλωμα FPGA	40
Κύκλωμα μικροελεγκτή και διεπαφής RS232	41
Περιφερειακοί συνδέτες (connectors) της πλακέτας.....	41
A.4 Έλεγχος της μονάδας ROB	43
A.5 Αποτίμηση του συστήματος ROB.....	45
ΜΕΡΟΣ Β	
Μονάδα παραγωγής ακολουθιακών σημάτων σκανδαλισμού	
B.1 Γενικά.....	51
B.2 Η μονάδα παραγωγής ακολουθιακών σημάτων σκανδαλισμού	53
B.2.1 Ανάπτυξη κυκλώματος CPLD	54
Διεπαφή με το δίαυλο VME.....	54
Σχεδιασμός του κυκλώματος της διεπαφής VME σε CPLD.....	55
Χρονική Προσομοίωση του CPLD	57
Ακροδέκτες του CPLD.....	58



B.2.2	Κύκλωμα της μονάδας παραγωγής σημάτων σκανδαλισμού σε FPGA	59
	Γενικά.....	59
	Ηλεκτρονικό Σχέδιο FPGA.....	61
	Υλοποίηση του FPGA.....	64
	Ακροδέκτες του FPGA.....	65
B.3	Σχεδίαση της πλακέτας της μονάδας παραγωγής παλμών σκανδαλισμού....	67
	Συνδέτης επικοινωνίας με τον δίαυλο VME	69
	Κύκλωμα υποστήριξης τροφοδοσίας	69
	Κύκλωμα διεπαφής με τον δίαυλο VME	69
	Κύκλωμα FPGA με τα βοηθητικά κυκλώματα προγραμματισμού.....	70
	Κύκλωμα παραγωγής ενός παλμού σκανδαλισμού χειροκίνητα	70
	Κυκλώματα μετατροπής σημάτων LVDS σε TTL και αντίστροφα.....	71
B.4	Έλεγχος μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού	73
B.5	Αποτίμηση της μονάδας παραγωγής σημάτων σκανδαλισμού	75
	ΑΝΑΦΟΡΕΣ.....	83

ΠΑΡΑΡΤΗΜΑ Α

A.Π1	ROB Specifications DeltaStream Readout Preliminary Specifications	87
A.Π2	Υπομοναδες Εσωτερικου κυκλωματος FPGA	93
A.Π3	Πρόγραμμα Μικροελεγκτή	111
A.Π4	Τυπωμένα Κυκλώματα.....	115
A.Π5	Φωτογραφίες Μοναδας ROB	119

ΠΑΡΑΡΤΗΜΑ Β

B.Π1	Ο Δίαυλος VME bus	123
B.Π2	Υλοποίηση κυκλώματος CPLD	149
B.Π3	Υπομοναδες Εσωτερικου Κυκλωματος FPGA	151
B.Π4	Προγραμματισμός Μνήμης PROM.....	159
B.Π5	Τυπωμένα κυκλώματα μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού	163
B.Π6	Περιβάλλον επικοινωνίας της μονάδας με τον δίαυλο VME.....	169
B.Π7	Φωτογραφίες μοναδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού	173



ΜΕΡΟΣ Α

**ΣΥΣΤΗΜΑ ΑΝΑΓΝΩΣΗΣ - ΚΑΤΑΓΡΑΦΗΣ ΗΛΕΚΤΡΙΚΩΝ
ΣΗΜΑΤΩΝ ΑΠΟ ΜΙΚΡΟΛΩΡΙΔΙΑΚΟΥΣ ΑΙΣΘΗΤΗΡΕΣ ΠΥΡΙΤΙΟΥ
ΚΑΙ ΠΑΡΑΓΩΓΗΣ ΣΗΜΑΤΩΝ ΕΛΕΓΧΟΥ ΤΩΝ ΑΝΤΙΣΤΟΙΧΩΝ
ΑΝΑΛΟΓΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ ΒΑΣΙΣΜΕΝΟ ΣΕ
ΜΙΚΡΟΕΛΕΓΚΤΗ ΚΑΙ PC**



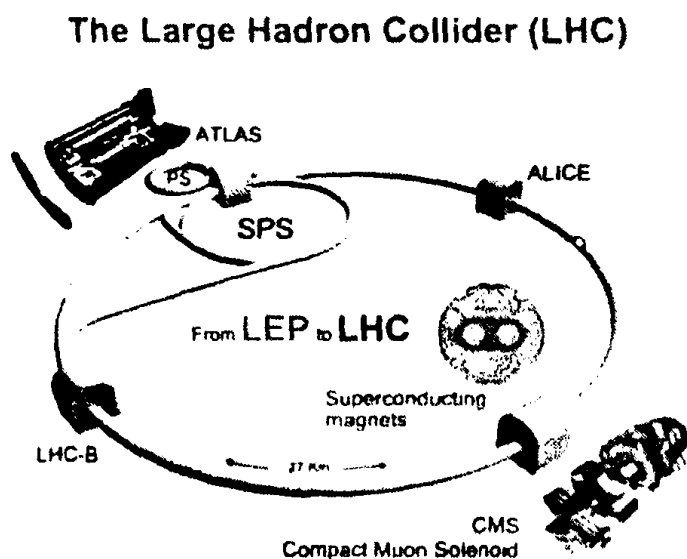
A.1 ΓΕΝΙΚΑ

Το σύστημα που παρουσιάζεται στο πρώτο μέρος της εργασίας αναπτύχθηκε με σκοπό να χρησιμοποιηθεί στον έλεγχο των αισθητήρων του ανιχνευτή Preshower του πειράματος CMS [1] (Compact Muon Solenoid) το οποίο βρίσκεται σε διαδικασία προετοιμασίας στις εγκαταστάσεις του Ευρωπαϊκού Κέντρου Πυρηνικών Ερευνών – CERN (European Center for Nuclear Research) στη Γενεύη.

Κύριος στόχος του πειράματος CMS είναι η πιθανή ανίχνευση των μποζονίων Higgs, η ύπαρξη των οποίων προβλέπεται από τη θεωρία του καθιερωμένου προτύπου.

Το πείραμα CMS θα διεξαχθεί στον υπό κατασκευή επιταχυντή συγκρουόμενων δεσμών πρωτονίων-αντιπροτονίων, LHC [2] (Large Hadron Collider)-σχA.1, στο CERN της Ελβετίας.

Ο επιταχυντής LHC είναι υπόγειος και έχει περίμετρο 27km. Ένα από τα κύρια



A. 1: Ο επιταχυντής σωματιδίων LHC και τα πειράματα που περιλαμβάνει

στοιχεία του CMS είναι ο υπεραγωγίμος σωληνοειδής μαγνήτης που παράγει στο εσωτερικό του ένα ισχυρό μαγνητικό πεδίο 4 Tesla. Ο ανιχνευτής του CMS (σχ.A.2) όταν ολοκληρωθεί η κατασκευή του θα έχει διάμετρο 15 m, συνολικό μήκος 22 m και βάρος 12,500 τόνων. Αποτελείται από επιμέρους ανιχνευτικά συστήματα, όπως το ηλεκτρομαγνητικό καλορίμετρο ECAL, το αδρονικό καλορίμετρο HCAL, τον ανιχνευτή τροχιών, που βρίσκονται

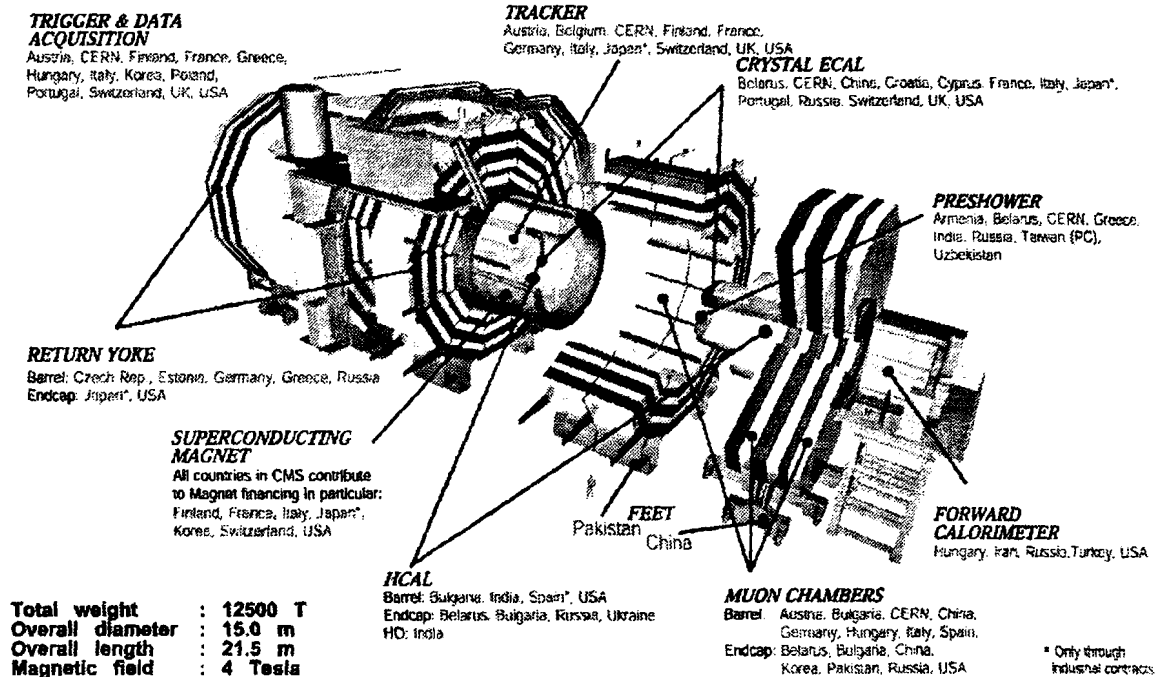
εσωτερικά του σωληνοειδούς και τον ανιχνευτή μιονίων στο εξωτερικό του σωληνοειδούς. Για την κατασκευή και λειτουργία του πειράματος CMS ασχολούνται περίπου 2000 επιστήμονες, από 150 επιστημονικά ιδρύματα σε 30 χώρες.

Μέρος του ανιχνευτή αποτελούν οι δυο παρόμοιες ανιχνευτικές διατάξεις Preshower της εμπρόσθιας και οπίσθιας πλευράς του CMS. Σκοπός τους είναι ο διαχωρισμός των μεμονωμένων φωτονίων από τα ζεύγη των φωτονίων που προέρχονται από την διάσπαση ενός ουδέτερου πιονίου μεγάλης ενέργειας.

Ο ανιχνευτής Preshower [3] περιλαμβάνει δύο επίπεδα μικρολωριδιακών αισθητήρων πυριτίου [4] και ένα φύλλο μολύβδου μπροστά από κάθε επίπεδο αισθητήρων για την δημιουργία καταγισμών των φωτονίων. Ένα επίπεδο αισθητήρων για τον προσδιορισμό της συνιστώσας y των

καταιγισμών των φωτονίων και ένα επίπεδο αισθητήρων πυριτίου για την εύρεση της συνιστώσας x (θεωρείται ότι η συνιστώσα z του ορθοκανονικού συστήματος αναφοράς είναι παράλληλη προς την τροχιά ενός φωτονίου που

31 Nations, 150 Institutions, 1870 Scientists



A. 2: Μεγέθη, εμπλεκόμενα έθνη και επιμέρους τμήματα του πειράματος CMS

προσπίπτει κάθετα στο επίπεδο των αισθητήρων). Τα επίπεδα αποτελούνται από αισθητήρες πυριτίου των 32 μικρολωρίδων ενεργής επιφάνειας $\sim 6 \times 6 \text{ cm}^2$.

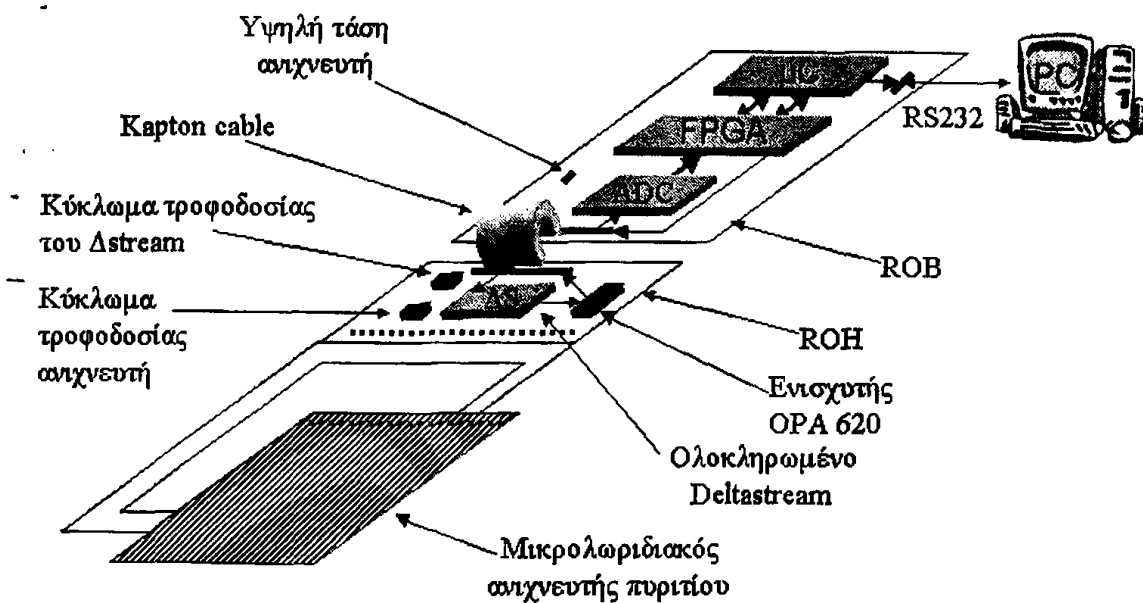
Οι μικρολωρίδες κάθε αισθητήρα πυριτίου συνδέονται μέσω μικροσυγκολλήσεων με υβριδικό που περιλαμβάνει αντίστοιχα αναλογικά ηλεκτρονικά front-end (FE) όπου τα αναλογικά σήματα προενισχύονται, αποθηκεύονται προσωρινά σε αναλογικές μνήμες, και πολυπλέκονται στην έξοδο τους προς την επόμενη βαθμίδα. Η επόμενη βαθμίδα είναι μια μητρική κάρτα που φιλοξενεί τα ηλεκτρονικά ψηφιοποίησης των σημάτων που παράγουν ομάδες 4 αισθητήρων πυριτίου. Κάθε ένα από τα 4 υβριδικά συνδέεται με την μητρική κάρτα μέσω επιπέδου καλωδίου πολυαμίδης. Οι συστοιχίες των αισθητήρων πυριτίου τοποθετούνται η μία δίπλα στην άλλη ώστε να καλύπτεται ολόκληρη η επιφάνεια του ανιχνευτή Preshower.

Το σύστημα ελέγχου των αισθητήρων πυριτίου που αναπτύχθηκε στην παρούσα εργασία αποτελείται από δυο τμήματα. Ένα υβριδικό, το ROH (Readout Hybrid), αντίστοιχο του υβριδικού που αναφέρθηκε προηγουμένως, και περιλαμβάνει το ολοκληρωμένο κύκλωμα FE DeltaStream, το οποίο κατασκευάστηκε ενδιάμεσα κατά τη διαδικασία ανάπτυξης του τελικού FE. Το δεύτερο τμήμα είναι μια πλακέτα ROB (Readout Board) που εξυπηρετεί ένα υποσύστημα ανιχνευτή υβριδικού και περιλαμβάνει: τα ψηφιακά ηλεκτρονικά ελέγχου του DeltaStream, τα ηλεκτρονικά ψηφιοποίησης των αναλογικών σημάτων και προσωρινής αποθήκευσης της ψηφιοποιημένης τους μορφής και



την διεπαφή του συστήματος με έναν προσωπικό υπολογιστή, η οποία βασίζεται σε έναν μικροελεγκτή της οικογένειας 8051.

Στο σχήμα A.3 φαίνεται το διάγραμμα των κύριων τμημάτων του συστήματος αισθητήρα – ROH – ROB – PC.



A. 3: Πειραματική διάταξη

A.2 ΥΠΟΣΥΣΤΗΜΑ ΜΙΚΡΟΛΩΡΙΔΙΑΚΩΝ ΑΙΣΘΗΤΗΡΩΝ ΠΥΡΙΤΙΟΥ-ΑΝΑΛΟΓΙΚΩΝ ΗΛΕΚΤΡΟΝΙΚΩΝ

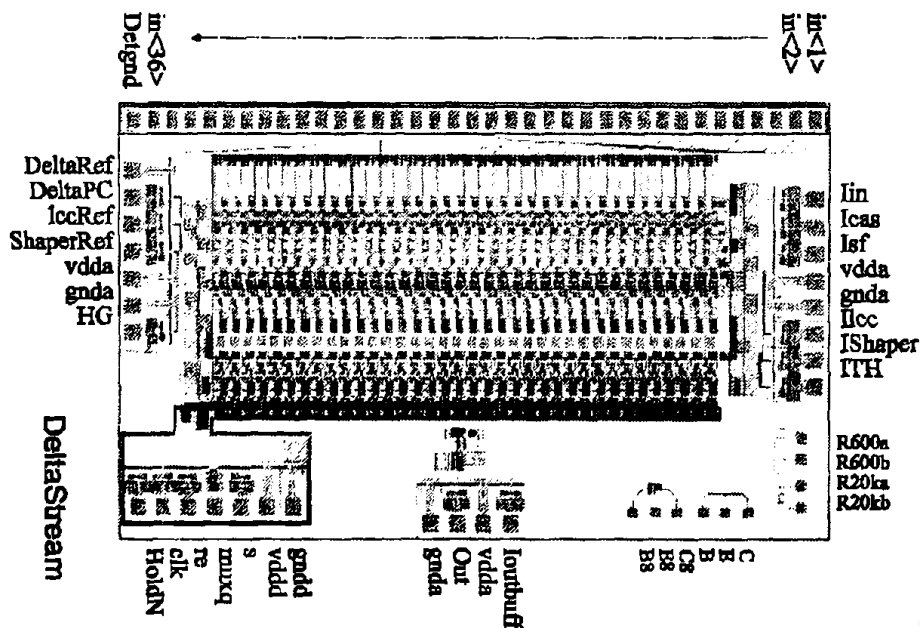
Στην πλακέτα ROH (Readout Hybrid) στηρίζεται ο αισθητήρας μικρολωρίδων πυριτίου. Η κάθε λωρίδα του συγκεκριμένου αισθητήρα είναι μια στενόμακρη περιοχή διάχυσης τύπου-p με επίστρωση Al η οποία δημιουργεί με το υπόστρωμα τύπου-n, μια επαφή-δίοδο.

Για κάθε 3.6 eV ενέργειας που απελευθερώνεται μέσα στο πυρίτιο κατά τη διέλευση ενός φορτισμένου σωματιδίου, δημιουργείται ένα ζεύγος οπής-ηλεκτρονίου στην περιοχή απογύμνωσης της επαφής. Η περιοχή απογύμνωσης δημιουργείται από την ανάστροφη πόλωση που εφαρμόζεται στα άκρα της επαφής ανάμεσα στα επίπεδα p-τύπου και n-τύπου. Οι οπές και τα ηλεκτρόνια της ζώνης απογύμνωσης παράγουν ηλεκτρικό σήμα που οδεύει στο ολοκληρωμένο κύκλωμα FE.

Κάθε αισθητήρας πυριτίου του Preshower περιλαμβάνει 32 μικρολωρίδες, διαστάσεων 1.8 mm πλάτος επί 60.8 mm μήκος, οι οποίες απέχουν μεταξύ τους 1.9 mm. Η σχεδίαση και η κατασκευή των αισθητήρων έγινε κατά τέτοιο τρόπο ώστε να αντέχουν σε υψηλές τάσεις (~400 V), να βελτιστοποιηθεί η ικανότητα συλλογής φορτίων και ο λόγος σήματος προς θόρυβο S/N και να ελαχιστοποιηθούν οι παρεμβολές των σημάτων μεταξύ των μικρολωρίδων, ο θόρυβος που εισάγει ο αισθητήρας και η κατανάλωση ενέργειας.

Τα σήματα των 32 μικρολωρίδων του ανιχνευτή που από εδώ και στο εξής θα καλούνται “κανάλια”, οδεύουν το καθένα ξεχωριστά στις 32 από τις 36 εισόδους του ολοκληρωμένου FE με την ονομασία DeltaStream (σχ.Α.4)

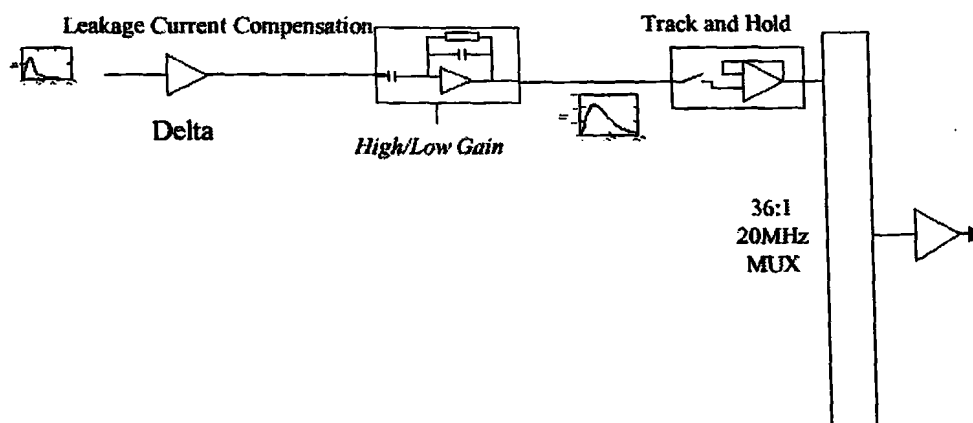
Τα υπόλοιπα 4 κανάλια του DeltaStream περιλαμβάνονται σε αυτό για πιθανή χρήση στον προσδιορισμό του κοινού θορύβου (common noise) των καναλιών.



A. 4: Σχεδιαστικό Διάγραμμα ολοκληρωμένου DeltaStream

Το κάθε κανάλι του DeltaStream εσωτερικά (σχήμα A.5) αποτελείται διαδοχικά από έναν preamplifier, έναν shaper και ένα κύκλωμα track and hold. Στη συνέχεια τα 32 κανάλια οδηγούνται σε έναν multiplexer 36:1 ο οποίος με συχνότητα δειγματοληψίας που ορίζεται από εξωτερικό clock, δίνει τα αναλογικά σήματα εισόδου σε μία πολυπλεγμένη αναλογική έξοδο η οποία οδεύει στην βαθμίδα ROB προς επεξεργασία.

Τα σήματα ελέγχου του DeltaStream τα οποία στέλνονται από το ROB στο ROH είναι τα HOLDN, Re, S, CLK και HG και περιγράφονται στις επόμενες παραγράφους.



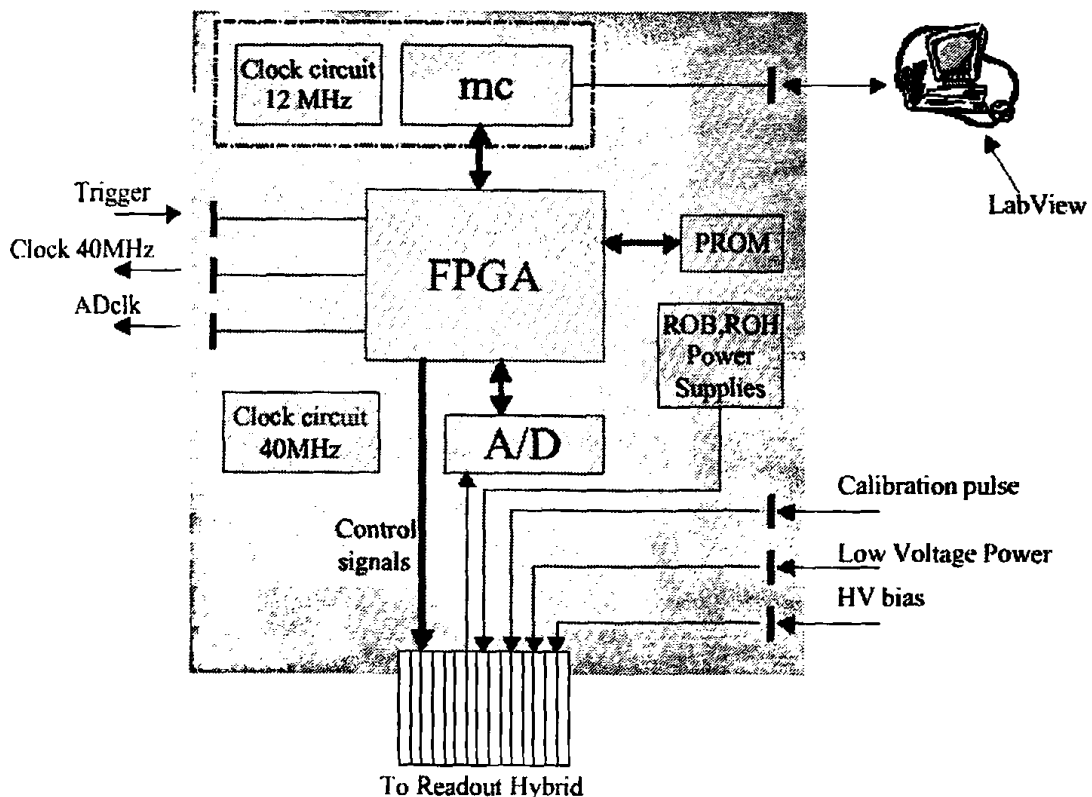
A. 5: Σχηματικό διάγραμμα του DeltaStream

A.3 ΤΟ ΣΥΣΤΗΜΑ READ OUT BOARD (ROB)

Σκοπός του ROB είναι η ανάγνωση της πληροφορίας που στέλνει το ROH υπό τη μορφή αναλογικού σήματος, η ψηφιοποίησή της και η αποστολή της σε υπολογιστή τύπου PC όπου και καταγράφεται.

Το ROB απαρτίζεται από:

1. έναν συνδέτη (connector) δια μέσω του οποίου γίνεται η επικοινωνία με την πλακέτα ROH,
2. έναν γρήγορο και ευαίσθητο μετατροπέα αναλογικού σήματος σε ψηφιακό (A/D converter) που μετατρέπει το αναλογικό σήμα από την ROH σε ψηφιακό,
3. ένα FPGA που παράγει τα σήματα ελέγχου του DeltaStream, αποθηκεύει προσωρινά τα ψηφιοποιημένα αναλογικά σήματα του DeltaStream και τα στέλνει στον μικροελεγκτή,
4. μια μνήμη PROM [5] στην οποία βρίσκεται αποθηκευμένο το ηλεκτρονικό σχέδιο του FPGA και με το power up του συστήματος το FPGA προγραμματίζεται αυτόματα,



A. 6: Διάγραμμα Readout Board

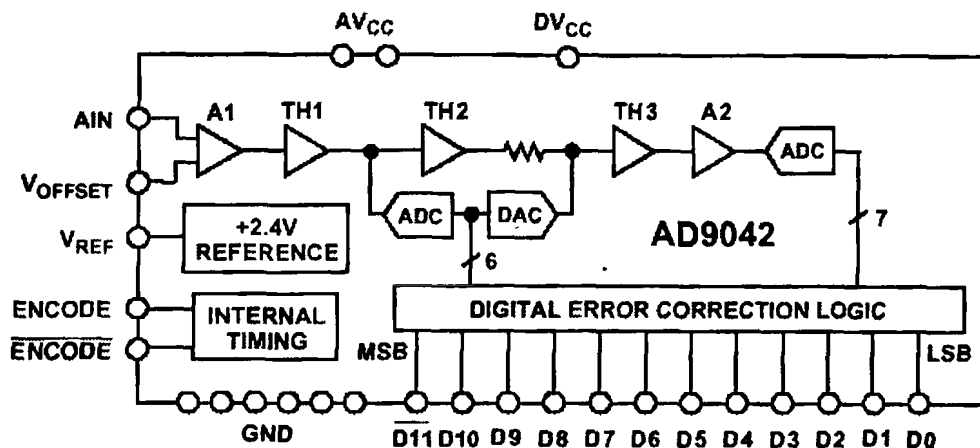
5. έναν μικροελεγκτή (μC) οικογένειας 8051 (AT89S8252 [6], ATMEL) ο οποίος συνεργάζεται με το FPGA και είναι υπεύθυνος για την αποστολή όλων των πληροφοριών μέσω σειριακής θύρας (RS232) σε υπολογιστή PC,
6. κυκλώματα χρονισμού 40MHz για το FPGA και 12MHz για τον μC,

7. τους περιφερειακούς συνδέτες LEMO οι οποίοι χρησιμοποιούνται σαν εισοδοί ή έξοδοι σημάτων από το σύστημα και
8. τέλος στην ROB περιέχονται τα τροφοδοτικά (power supplies) που τροφοδοτούν με $\pm 5\text{Volt}$ όλα τα αναλογικά και ψηφιακά ηλεκτρονικά του συστήματος (δηλαδή τις πλακέτες ROB, ROH).

Το αναλογικό σήμα της εξόδου του DeltaStream από το υβριδικό ROH ψηφιοποιείται στον μετατροπέα αναλογικού σήματος σε ψηφιακό (ADC) (σχ.Α.6). Τα ψηφιακά δεδομένα αποθηκεύονται προσωρινά σε μνήμη RAM που βρίσκεται εσωτερικά στο FPGA (Field Programmable Gate Array) και αποστέλλονται μέσω ενός μικροελεγκτή στη σειριακή θύρα ενός PC στο οποίο και γίνεται η καταγραφή τους.

Η μονάδα ψηφιοποίησης του αναλογικού σήματος από την ROH που έχει επιλεγθεί είναι το AD9042 [7] της εταιρίας Analog Devices.

Είναι ένας μονολιθικός 12-bit A/D converter υψηλής απόδοσης, χαμηλής κατανάλωσης ισχύος της τάξης των 500mW και με μέγιστη συχνότητα δειγματοληψίας του αναλογικού σήματος εισόδου στα 41 MSPS (Mega Samples per Second).



Α. 7: Λειτουργικό διάγραμμα μονάδας ψηφιοποίησης αναλογικού σήματος

Το λειτουργικό διάγραμμα του AD9042 φαίνεται στο σχήμα Α.7.

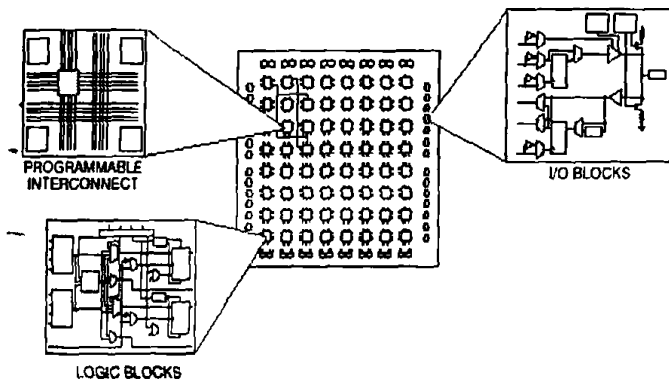
Το σήμα εισόδου –σήμα πλάτους έως 1Volt- εφαρμόζεται στην είσοδο AIN. Ο ADC κάνει τη δειγματοληψία του σήματος σε κάθε άνοδο του σήματος εισόδου ENCODE, σήμα το οποίο παράγεται στο FPGA. Η έξοδος του AD9042 είναι κωδικοποιημένη σε ψηφιακή μορφή 12-bit twos complement (συμπληρώματος του δύο-2). Δηλαδή, υπάρχει δυνατότητα αναπαράστασης από τον AD9042 και αρνητικών τιμών του σήματος εισόδου.

Με την τάση V_{offset} ρυθμίζεται η περιοχή πλάτους του σήματος εισόδου. Έτσι ο ADC για $V_{offset}=0$, +500mV μπορεί να ψηφιοποιεί σήματα θετικά πλάτους 0 έως 1V ή για $V_{offset}=0$, -500mV μπορεί να ψηφιοποιεί σήματα αρνητικά πλάτους 0 έως -1V.

Το FPGA που χρησιμοποιήθηκε στο ROB είναι της σειράς 4000E από την εταιρία Xilinx.



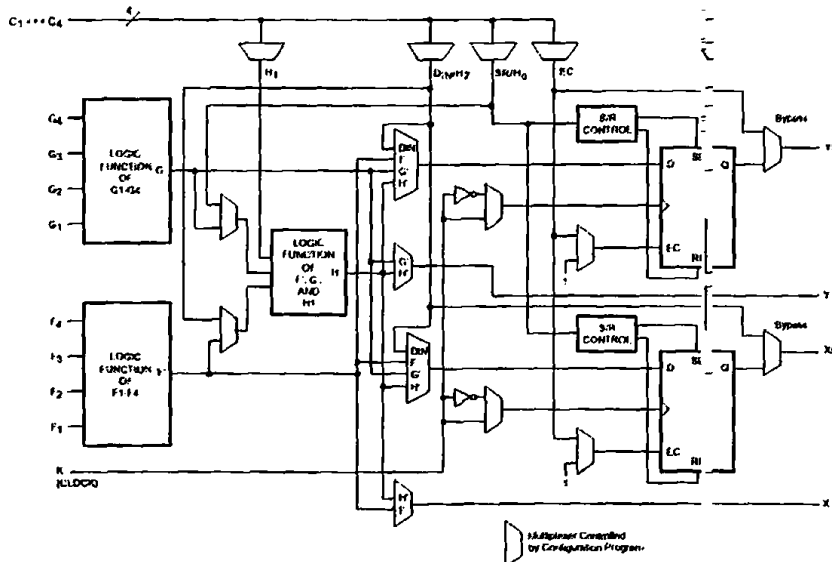
Τα FPGAs αποτελούνται από μια δισδιάστατη παράταξη λογικών μονάδων οι οποίες μπορούν να διασυνδεθούν μεταξύ τους μέσω καθέτων και οριζοντίων διασυνδέσεων. Αναλυτικό διάγραμμα της διάταξης αυτής φαίνεται στο σχ.Α.8. Η σειρά XC4000E χαρακτηρίζεται από λογικές δομές που ονομάζονται CLB (Configurable Logic Blocks) των οποίων η λειτουργία βασίζεται σε LTUs (Look Up Tables). Το LTU είναι ένας πίνακας μνήμης του ενός bit και περιέχεται σε ένα CLB. Επομένως ένα LTU με K εισόδους αντιστοιχεί σε $2^{K \times 1}$ bit μνήμης και πραγματοποιεί οποιαδήποτε λογική συνάρτηση των K εισόδων του, προγραμματίζοντας τον πίνακα αληθείας της συνάρτησης απευθείας



Α. 8: Εσωτερική αρχιτεκτονική FPGA

μέσα στη μνήμη. Ένα CLB της σειράς XC4000 (σχ.Α.9) περιέχει τρία ξεχωριστά LTUs.

Υπάρχουν δύο LTUs τεσσάρων εισόδων, των οποίων οι εισοδοί είναι οι εισοδοί του CLB και ένα τρίτο LTU το οποίο χρησιμοποιείται σε συνδυασμό με τα δύο προηγούμενα. Η διάταξη αυτή επιτρέπει στο CLB να εκτελεί μεγάλη



Α. 9: Απλοποιημένο διάγραμμα ενός CLB της σειράς XC4000

ποικιλία λογικών συναρτήσεων μέχρι και εννέα εισόδων ή δύο ξεχωριστές συναρτήσεις των τεσσάρων εισόδων ή οποιοδήποτε άλλο συνδυασμό. Το κάθε CLB περιέχει επίσης και δύο flip-flops.

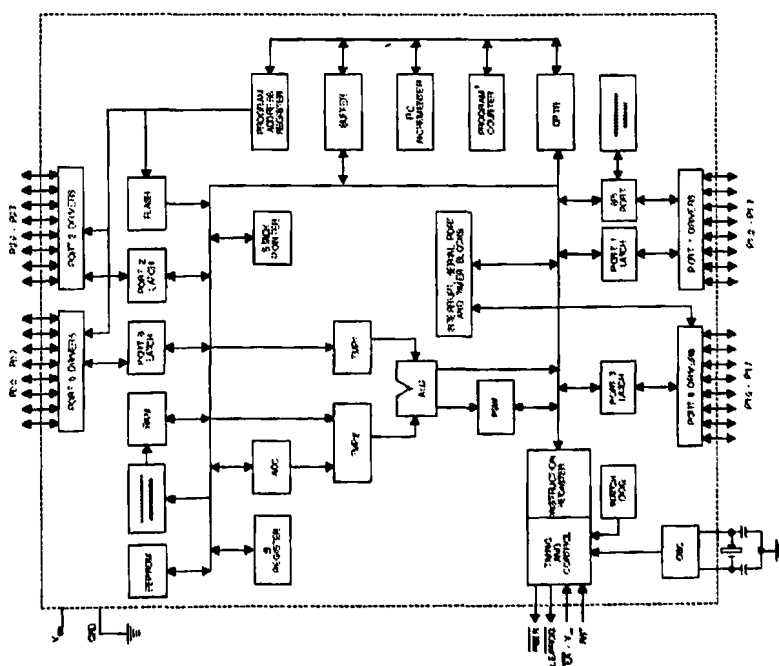
Μία άλλη χαρακτηριστική ιδιότητα του FPGA είναι η δομή των εσωτερικών διασυνδέσεων μεταξύ των CLBs. Οι διασυνδέσεις αυτές υλοποιούνται μέσω οριζοντίων και καθέτων καναλιών. Κάθε κανάλι περιέχει

γραμμές που συνδέουν ένα CLB, μεγαλύτερες γραμμές που συνδέουν δύο CLBs και πολύ μεγάλες γραμμές που διατρέχουν όλο το μήκος και πλάτος του ολοκληρωμένου. Για την σύνδεση των CLBs με τις γραμμές αυτές χρησιμοποιούνται προγραμματιζόμενοι διακόπτες.

Το FPGA που επιλέχθηκε στο ROB είναι το XC4003E [8] σε πλαστικό περίβλημα (PLCC package). Το συγκεκριμένο FPGA που αποτελείται από 100CLBs τα οποία βρίσκονται σε διάταξη πίνακα 10x10, περιέχει 3000 λογικές πύλες και 3200 RAM bits. Η τυπική χωρητικότητά του είναι 2000 έως 5000 πύλες θεωρώντας ότι γίνεται χρήση του 20 έως 30% των CLBs ως μνήμη RAM. Έχει τη δυνατότητα υποστήριξης εξωτερικών σημάτων έως 80MHz και βαθμό ταχύτητας (speed grade) -1, που είναι και ο πιο γρήγορος της οικογένειας XC4000E.

Ο μικροελεγκτής που χρησιμοποιήθηκε στο σύστημα του ROB είναι ο AT89S8252 της εταιρίας Atmel (σχ.Α.10). Είναι ένας 8-bit μικροελεγκτής CMOS με χαμηλή κατανάλωση, υψηλή απόδοση και το σημαντικότερο είναι συμβατός, τόσο στην χωροταξία των ακροδεκτών του όσο και στο σύνολο των εντολών που υποστηρίζει, με το βιομηχανικό πρότυπο του 80C51. Το πρόγραμμα που χρησιμοποιείται αποθηκεύεται σε εσωτερική μνήμη Flash RAM μεγέθους 8 Kbytes η οποία μπορεί να επαναπρογραμματιστεί περισσότερες από 1000 φορές.

Ο μc συνεργάζεται με το FPGA. Διαβάζει κάθε φορά την παράλληλη πληροφορία που του στέλνει το FPGA και τη μεταβιβάζει σειριακά στη σειριακή θύρα ενός υπολογιστή τύπου PC.



A. 10: Μπλοκ διάγραμμα του AT89C8252



A.3.1 FPGA Specifications

Το FPGA παράγει τα σήματα ελέγχου των αναλογικών ηλεκτρονικών (ROH) και συνεργάζεται με το πρόγραμμα του μικροελεγκτή του συστήματος για την αποστολή των πληροφοριών σε υπολογιστή τύπου PC.

Οι αρχικές προδιαγραφές στις οποίες βασίστηκε η σχεδίαση του FPGA παρατίθενται στο παράρτημα Α.Π1.

Το σύστημα ROH-ROB υποστηρίζει δύο τρόπους λειτουργίας (modes of operation) **mode0** και **mode1**.

- Κατά τη λειτουργία **mode0**, με την άφιξη ενός παλμού trigger το FPGA με τα ανάλογα σήματα ελέγχου θέτει το DeltaStream σε λειτουργία δειγματοληψίας (track) όλων των καναλιών του μικρολωριδιακού αισθητήρα (36 κανάλια) η ψηφιακή τιμή των οποίων εγγράφεται στην εσωτερική μνήμη RAM του FPGA. Μετά την εγγραφή και του 36^{ου} καναλιού το FPGA θέτει το DeltaStream σε κατάσταση συγκράτησης (hold) και ξεκινάει την επικοινωνία του με τον μC για να μεταφερθούν τα δεδομένα στη σειριακή θύρα του PC.

Όταν βρίσκεται σε λειτουργία **mode1**, το FPGA παράγει τα ανάλογα σήματα προς το DeltaStream ώστε να το θέσει σε κατάσταση δειγματοληψίας (track) ενός συγκεκριμένου καναλιού του μικρολωριδιακού αισθητήρα. Τα δείγματα καταγράφονται στην εσωτερική μνήμη RAM. Η εγγραφή της μνήμης RAM γίνεται “κυκλικά”. Με την άφιξη ενός παλμού trigger σταματά η διαδικασία δειγματοληψίας του DeltaStream (τίθεται σε κατάσταση hold), καταγράφεται η τρέχουσα διεύθυνση της RAM στον αντίστοιχο register και ξεκινά η διαδικασία μεταφοράς των δεδομένων στο PC.

Οι δύο τρόποι λειτουργίας του FPGA φαίνονται αναλυτικότερα στο παράρτημα Α.Π1 με τα αντίστοιχα διαγράμματα ροής και τα σήματα ελέγχου και λειτουργίας σε multi-channel mode και multi-sample mode.

Το block diagram του FPGA φαίνεται στο σχήμα ΑΠ.1 (παράρτημα ΑΠ.1).

Η βαθμίδα readout sequencer είναι υπεύθυνη για την παραγωγή των σημάτων ελέγχου του DeltaStream.

Το σήμα HOLDN όταν έχει την τιμή ‘1’ θέτει το DeltaStream σε κατάσταση δειγματοληψίας (track) ενώ όταν είναι ‘0’ το θέτει σε κατάσταση συγκράτησης (hold) των τιμών.

Το σήμα Re (Reset) έχει την τιμή ‘1’ όταν το DeltaStream βρίσκεται σε κατάσταση συγκράτησης ενώ παίρνει την τιμή ‘0’ για να γίνει αρχικοποίηση των κυκλωμάτων του DeltaStream ώστε να ξεκινήσει εκ νέου η διαδικασία του επόμενου κύκλου λειτουργίας.

Το σήμα S (Set) που έχει τη μορφή ενός παλμού ξεκινά την διαδικασία της πολύπλεξης των καναλιών του ανιχνευτή.

Το σήμα CLK είναι υπεύθυνο για τον χρονισμό του συστήματος γενικότερα. Παράγεται στο FPGA και στέλνεται τόσο στο DeltaStream ως συχνότητα πολύπλεξης των 36 καναλιών που ανιχνεύει όσο και στον A/D converter ως συχνότητα δειγματοληψίας της αναλογικής του εισόδου.

Η dual port RAM είναι χωρητικότητας 36 λέξεων των 12bit που σημαίνει ότι θα αποθηκευτούν τα δεδομένα από τα 36 κανάλια του DeltaStream ή τα δεδομένα ενός καναλιού του DeltaStream σε 36 διαδοχικά χρονικά διαστήματα, σε λέξεις των 12bit μετά την ψηφιοποίηση που θα γίνει από τον A/D converter. Το είδος αυτό της μνήμης έχει την σημαντική ιδιότητα να γίνεται η εγγραφή της από μία “πόρτα” σε κάθε άνοδο του παλμού clock και να διαβάζεται από μια δεύτερη “πόρτα” σε οποιαδήποτε άλλη κατάσταση του σήματος χρονισμού clock.

Οι τέσσερις εσωτερικοί καταχωρητές που προγραμματίζονται από τον μικροελεγκτή ή το FPGA ώστε να οριστεί η κατάσταση λειτουργίας του συστήματος σύμφωνα με αυτή που επιθυμεί ο χρήστης.

Control Register: Στα 6 least significant bits ($2^6=64$) γίνεται η εγγραφή του επιθυμητού καναλιού, από τα 32-κανάλια του μικρολωριδιακού ανιχνευτή πυριτίου, από το οποίο θέλουμε να αντλήσουμε πληροφορίες. Η τιμή αυτή έχει σημασία μόνο σε λειτουργία mode1. Στο 8^ο most significant bit γίνεται η εγγραφή του επιθυμητού mode λειτουργίας του FPGA. Η τιμή του προγραμματίζεται από τον μC .

Status Register: Το 1^ο bit δηλώνει αν έχει τελειώσει ή όχι, η διαδικασία της δειγματοληψίας του αισθητήρα. Όταν είναι ‘0’ το σύστημα είναι σε κατάσταση δειγματοληψίας ενώ όταν είναι ‘1’ το σύστημα είναι έτοιμο να συνεργαστεί με τον μC για την μεταφορά των δεδομένων. Τα υπόλοιπα bits είναι ελεύθερα προς μελλοντική χρήση. Η τιμή του εγγράφεται από το FPGA, διαβάζεται από τον μC και επαναφέρεται στη θέση ‘0’ από τον μC για να ξεκινήσει η διαδικασία της δειγματοληψίας από την αρχή.

Frequency Register: Είναι ένας 8-bit register με την τιμή του οποίου ορίζεται η συχνότητα λειτουργίας του συστήματος. Προγραμματίζεται από τον μC και το FPGA αναλαμβάνει να παράγει την επιθυμητή συχνότητα λειτουργίας τόσο για το εσωτερικό του κύκλωμα όσο και για τον χρονισμό του ολοκληρωμένου DeltaStream και του ADC, που είναι η ίδια.

Trigger Pointer Register: Από τα 8-bit που αποτελείται χρησιμοποιούνται μόνο τα 6 least significant bits ($2^6=64$) ενώ τα άλλα δύο είναι ελεύθερα για μελλοντική χρήση. Ο register αυτός έχει σημασία μόνο στη λειτουργία του συστήματος σε mode1. Η τιμή του είναι η διεύθυνση της μνήμης RAM στην οποία έχει σταματήσει η εγγραφή των δεδομένων. Είναι σημαντική γιατί στην επεξεργασία των δεδομένων που θα ακολουθήσει στον υπολογιστή θα ληφθούν υπόψη μόνο τα δεδομένα που βρίσκονται στις οκτώ (8) τελευταίες θέσεις της μνήμης RAM. Είναι καταχωρητής που εγγράφεται από το FPGA και διαβάζεται από τον μC .

Τέλος μια υπομονάδα που παίζει το ρόλο του interface του FPGA με τον μικροελεγκτή δια μέσω της οποίας γίνεται η ανταλλαγή των πληροφοριών.

Στο σχ. ΑΠ.2 ‘Serial port for the DeltaStream Readout Board’, αναφέρεται ο τρόπος με τον οποίο γίνεται η επικοινωνία FPGA- μC .

Με το σήμα WR (Write) δίνει εντολή στο FPGA να γράψει στους εσωτερικούς του registers τις τιμές που βρίσκονται στο 8μπιτο data-bus (προγραμματισμός των register). Υπάρχει ένα address bus 6-bit ($2^6=64$ θέσεων μνήμης) μέσω του οποίου γίνεται η διευθυνσιοδότηση της RAM του FPGA και με την εντολή RD



(Read) διαβάζει τα δεδομένα που βρίσκονται αποθηκευμένα σε λέξεις των 8bit. Ο μC είναι πλέον υπεύθυνος για την μετατροπή της παράλληλης πληροφορίας εισόδου του σε σειριακή και την αποστολή της μέσω πρωτοκόλλου επικοινωνίας RS232 [9] στη σειριακή θύρα ενός PC.

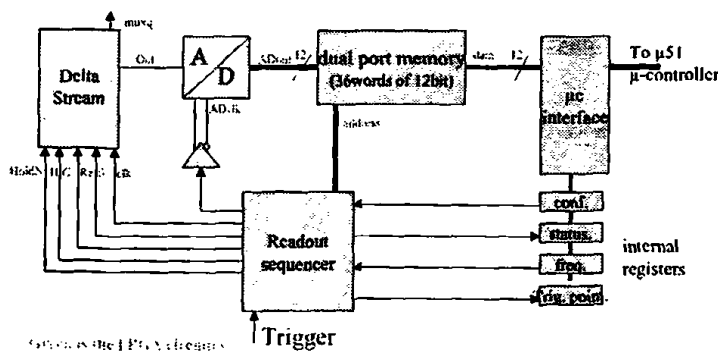
Στις αρχικές προδιαγραφές που παρατίθενται στο παράρτημα Α.ΠΙ έχουν γίνει κατά την πορεία της μελέτης και ελέγχου του ROB κάποιες αλλαγές.

Έτσι λοιπόν:

- 1. έχει προστεθεί ο προγραμματισμός του 7^{ου} bit του *control register* με την ονομασία "HG". Ο ρόλος του είναι να υποδηλώσει στο ολοκληρωμένο του DeltaStream το είδος της ενίσχυσης του σήματος του μικρολωριδιακού αισθητήρα πυριτίου που θα σταλεί που θα σταλεί από το DeltaStream στην ROB. Όταν επιλέγεται HG='0' γίνεται χαμηλή ενίσχυση ενώ όταν επιλέγεται HG='1' γίνεται υψηλή ενίσχυση και
- 2. έχουν αφαιρεθεί από τους υπόλοιπους *registers* όλα τα ελεύθερα προς μελλοντική χρήση bits. Η ολοκλήρωση του προγραμματισμού του FPGA απαιτούσε όλο και περισσότερα CLB's και logic gates τα οποία δεν ήταν διαθέσιμα από το FPGA XC4003EPC84 που είχε επιλεγεί για την υλοποίηση του ηλεκτρονικού σχεδίου.

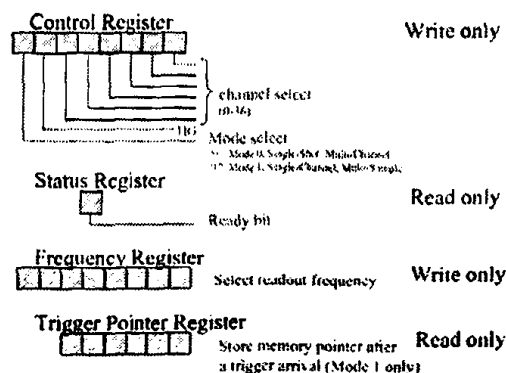
Η τελική μορφή των αλλαγών που έγιναν φαίνεται στα ακόλουθα σχήματα σχ.Α.11 και σχ.Α.12

FPGA block diagram



A. 11

FPGA Internal Registers



A. 12

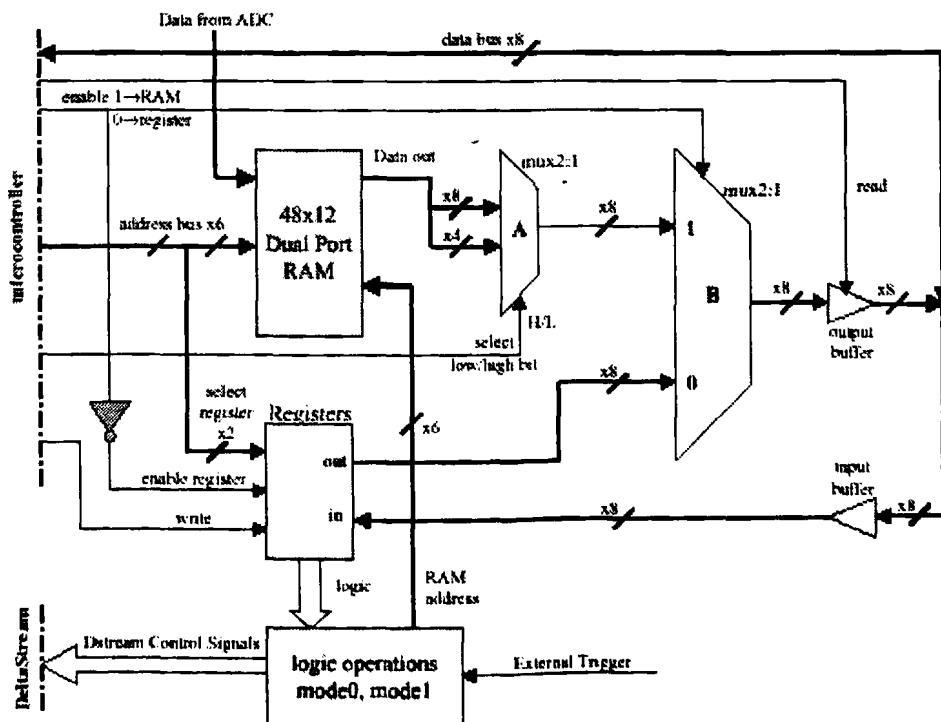
A.3.2 Ανάπτυξη του κυκλώματος στο FPGA

Το FPGA που χρησιμοποιήθηκε για την υλοποίηση της μονάδας των ψηφιακών ηλεκτρονικών (ROB) είναι της σειράς 4003E της Xilinx και πιο συγκεκριμένα το XC4003EPC84 σε package των 84pin. Η φιλοσοφία σύμφωνα με την οποία έγινε ο σχεδιασμός του φαίνεται στο παρακάτω γενικό διάγραμμα (σχ.Α.13).

Όπως έχει ήδη αναφερθεί περιέχει μια μνήμη RAM, την βαθμίδα των register και τη βαθμίδα των λογικών λειτουργιών δια μέσω της οποίας υλοποιούνται οι προδιαγραφές της προηγούμενης παραγράφου. Κρίνεται σκόπιμο σε αυτό το σημείο να εξηγηθεί ο τρόπος με τον οποίο γίνεται η εσωτερική συνεργασία αυτών των βαθμίδων.

Η διάταξη στην οποία βρίσκονται οι input και output buffers του FPGA εξυπηρετεί στην αμφίδρομη επικοινωνία FPGA-μC διαμέσω μιας πόρτας 8-bit. Όταν το σήμα Read που στέλνει ο μC είναι '0' τότε το data bus (8-bit) παίρνει τη μορφή εισόδου στο FPGA και τα data οδηγούνται στη βαθμίδα των register για τον προγραμματισμό τους. Αντίθετα όταν το σήμα Read είναι '1' τότε το data bus γίνεται πόρτα εξόδου των δεδομένων από το FPGA.

Κατά τη διαδικασία ανάγνωσης της μνήμης από τον μικροελεγκτή (Read='1') η εσωτερική βαθμίδα του πολυπλέκτη B(mux2:1) παίζει το ρόλο του επιλογέα των data που θα εξάγει το FPGA προς τον μC.



A. 13: Εσωτερικό γενικό διάγραμμα του FPGA

Όταν το σήμα enable που στέλνει ο μC είναι '1', επιλέγεται στον πολυπλέκτη B (mux2:1) να στείλει στην έξοδό του τις πληροφορίες που προέρχονται από τη μνήμη RAM ενώ έχει προηγηθεί το σήμα Read με την τιμή '0'. Στην αντίθετη περίπτωση (enable='0') ο πολυπλέκτης δίνει στην έξοδό του



την πληροφορία 8-bit που έρχεται από την βαθμίδα των register και ισχύει μόνο στη λειτουργία του συστήματος σε mode1.

Ο πολυπλέκτης A(mux2:1) δίνει στην έξοδό του τα δεδομένα των 12-bit που είναι αποθηκευμένα στη RAM σε δύο (2) λέξεις των 8-bit με την επιλογή του σήματος H/L το οποίο και πάλι ελέγχει ο μικροελεγκτής. Στην τιμή H/L='0' οδηγούνται στην έξοδο τα 8 least significant bits της μνήμης RAM, ενώ όταν είναι H/L='1' οδηγούνται στην έξοδο τα 4 most significant bits. Τα δεδομένα που οδηγούνται στο data bus αντιστοιχούν στην διεύθυνση μνήμης την οποία ζητά ο μC από το FPGA διαμέσω του address bus (6bit). Κατά τη διαδικασία του προγραμματισμού των register (Read='0' και επομένως το data bus γίνεται είσοδος) με το σήμα enable='0' ενεργοποιούνται οι registers, γίνεται η επιλογή του register με τα δύο (2) least significant bits του address bus και τέλος γίνεται η εγγραφή τους με τη βοήθεια του σήματος write στην άνοδο του παλμού.

Η βαθμίδα logic operations του FPGA είναι υπεύθυνη για την παραγωγή σημάτων ελέγχου τα οποία στέλνονται στο DeltaStream και στον ADC ενώ παράλληλα κάνει την εσωτερική στο FPGA διευθυνσιοδότηση της μνήμης RAM.

Μετά το πέρας του προγραμματισμού, το FPGA είναι έτοιμο να δεχτεί εξωτερικό σήμα trigger για να ξεκινήσει η λειτουργία του συστήματος σε mode0. Αντίθετα για τη λειτουργία σε mode1 η διαδικασία ξεκινά με την εγγραφή του control register και σταματά μετά την έλευση του εξωτερικού trigger.

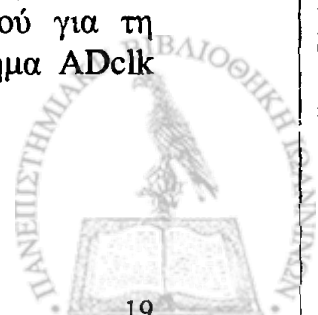
A.3.2.1 Ηλεκτρονικό σχέδιο FPGA

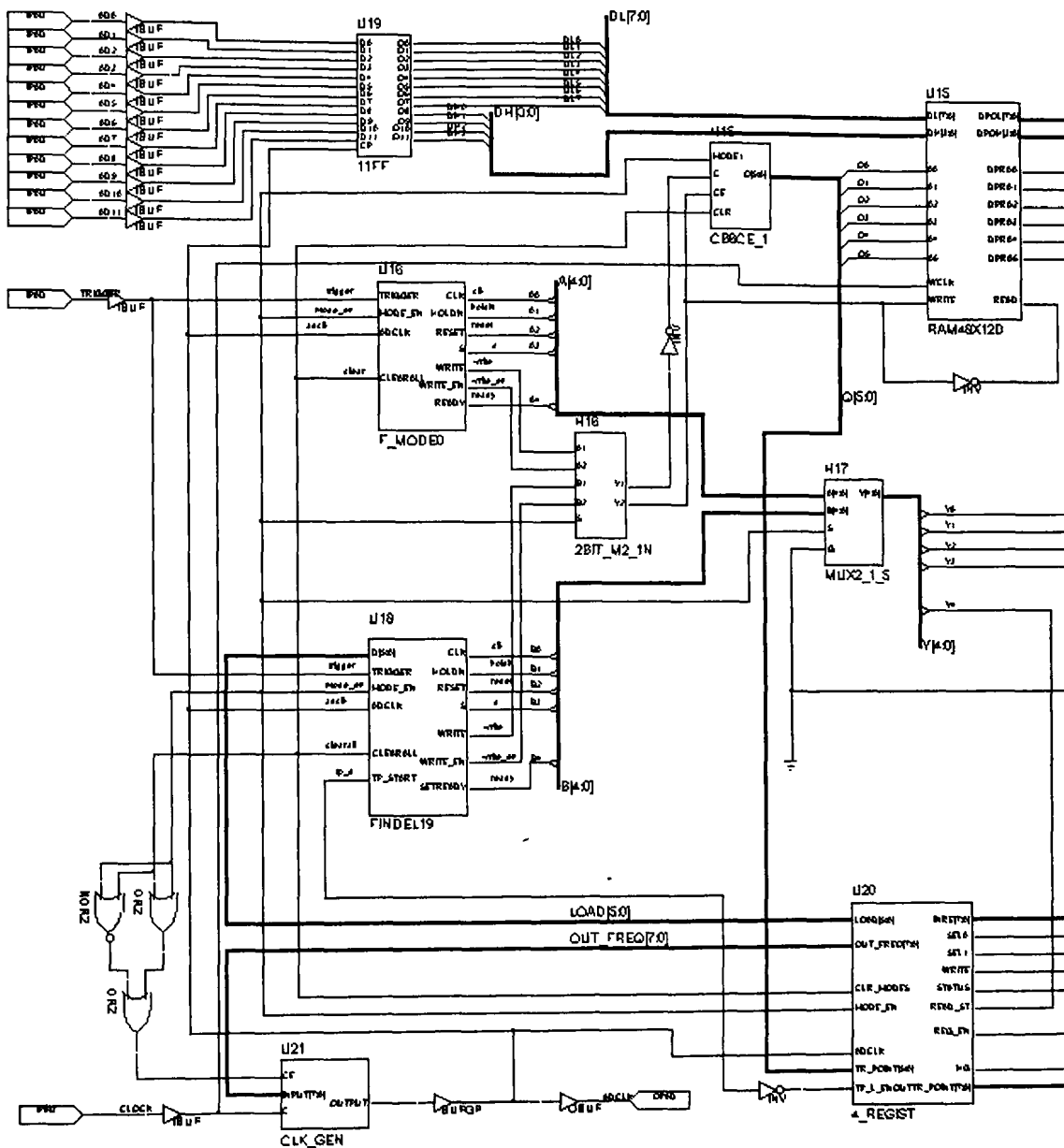
Το σχηματικό διάγραμμα του FPGA με το οποίο υλοποιήθηκε το σύστημα του ROB εμφανίζεται στο σχ. A.14. Φαίνονται όλες οι υπομονάδες που το απαρτίζουν και η λογική με την οποία αυτές συνδέονται μεταξύ τους.

Αναλυτικότερα:

Η είσοδος των δεδομένων στο FPGA γίνεται από την 'πόρτα' εισόδου AD[0:11]. Η επικοινωνία του FPGA με τον μικροελεγκτή γίνεται από την 'πόρτα' DATA[7:0] η οποία ανάλογα με την τιμή του σήματος READ παίρνει τη μορφή εισόδου στο FPGA ή εξόδου από αυτό.

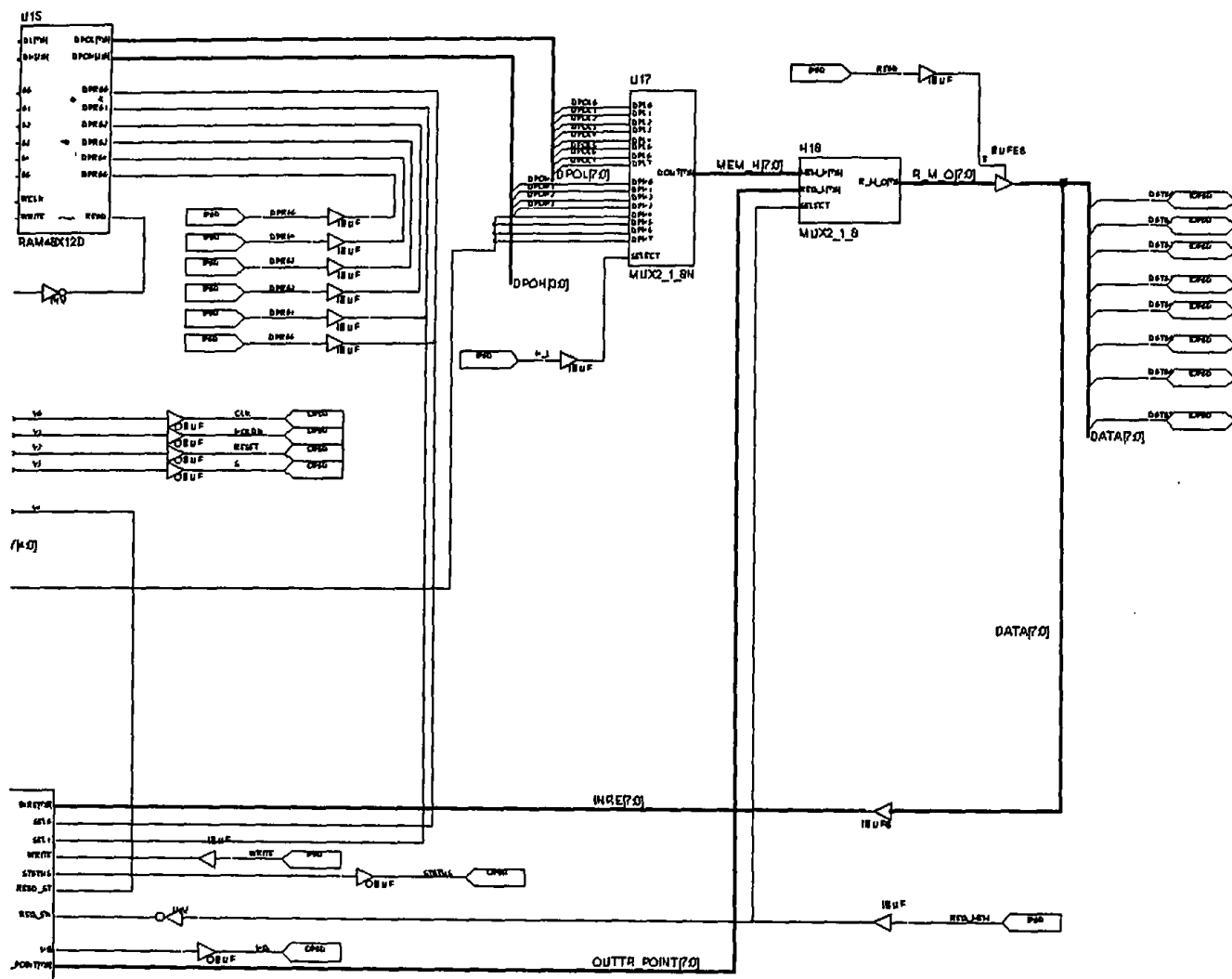
Η υπομονάδα clk_gen παράγει από τη συχνότητα εισόδου (CLOCK) των 40MHz την συχνότητα λειτουργίας του συστήματος ROB-ROH με την οποία γίνεται ο χρονισμός του FPGA. Η έξοδός της (output) οδηγείται σε ένα primary global buffer (BUFGP) ώστε να γίνει η απόδοση του σήματος στα υπόλοιπα εσωτερικά κυκλώματα του FPGA με τη μικρότερη δυνατή καθυστέρηση χρησιμοποιώντας συγκεκριμένα κανάλια του υλικού για τη διασύνδεση των υπολοίπων μονάδων. Επίσης στέλνεται με το σήμα ADclk προς το DeltaStream από το pin57 του FPGA.





A. 14: Ηλεκτρονικό σχέδιο του FPGA





A.14: Ηλεκτρονικό σχέδιο του FPGA (συνέχεια)

Οι υπομονάδες `f_mode0` και `findell9` παράγουν τα σήματα ελέγχου του DeltaStream για τις λειτουργίες σε `mode0` και `mode1` αντίστοιχα. Τα σήματα ελέγχου (`clk`, `holdN`, `reset` και `S`) οδηγούνται ως έξοδοι του FPGA μέσα από τον πολυπλέκτη 2-λέξεων των 5-bit (`mux2_1_5`) ανάλογα με το επιθυμητό `mode` λειτουργίας.

Ο πολυπλέκτης 2-εισόδων των 2-bit σε μία (`2bit_m2_1n`) χρονίζει το κύκλωμα μετρητή-μνήμη RAM με τα σήματα `write` και `write_en`. Το σήμα `write_en` ενεργοποιεί ή όχι τόσο τον μετρητή `cb6ce_1` όσο και τη μνήμη RAM. Το σήμα `write` αποτελείται από τους παλμούς με τους οποίους ο μετρητής θα 'ανοίγει' διαδοχικά τις διευθύνσεις της μνήμης για την εγγραφή των δεδομένων εισόδου `AD[0:11]`.

Η δειγματοληψία των ψηφιακών δεδομένων εισόδου `AD[0:11]` γίνεται με τη συχνότητα λειτουργίας του FPGA από την υπομονάδα `11FF`. Οι ήδη σταθεροποιημένες τιμές των δεδομένων στην υπομονάδα `11FF`, πρόκειται να αποθηκευτούν στη RAM μέσω των διαύλων `DL[7:0]` και `DH[3:0]`. Για να γίνει η ανάγνωση των δεδομένων από τον μικροελεγκτή, ο τελευταίος στέλνει στην είσοδο του FPGA `DPRA[0:5]` την επιθυμητή διεύθυνση της RAM και στη είσοδο `H_L` την ανάλογη τιμή για την ανάγνωση των 8 χαμηλότερων ή των 8 υψηλότερων bit της 12-μπιτης πληροφορίας που βρίσκεται αποθηκευμένη στη RAM.

Ο πολυπλέκτης `mux2_1_8` στέλνει ως έξοδο του FPGA είτε τα δεδομένα της μνήμης είτε την ένδειξη του καταχωρητή `trigger_pointer` (που βρίσκεται μέσα στην υπομονάδα `4_regist`), ανάλογα με την τιμή του σήματος εισόδου `REG_MEM` το οποίο επίσης ελέγχεται από τον μικροελεγκτή.

Τέλος, από την 'πόρτα' `DATA[0:7]` και στη συνέχεια από τον εσωτερικό δίαυλο `INRE[7:0]` περνάει ως είσοδος η τιμή με την οποία πρόκειται να προγραμματιστούν οι εσωτερικοί καταχωρητές που βρίσκονται στην υπομονάδα `4_regist`. Η επιλογή του καταχωρητή που πρόκειται να προγραμματιστεί γίνεται από τις εισόδους `DPRA0` και `DPRA1`.

Ο δίαυλος `OUT_FREQ[7:0]` στέλνει την τιμή του καταχωρητή της συχνότητας στην υπομονάδα παραγωγής της συχνότητας λειτουργίας ενώ ο δίαυλος `LOAD[5:0]` στέλνει στην υπομονάδα που χειρίζεται τη λειτουργία σε `mode1`, την τιμή του καναλιού που πρόκειται να ανιχνευτεί.

Στο παράρτημα Α.Π2 γίνεται λεπτομερής ανάλυση όλων των υπομονάδων από τις οποίες απαρτίζεται το ηλεκτρονικό σχέδιο του FPGA για την κάθε μια ξεχωριστά. Παρατίθενται επίσης και όλα τα `components` που χρησιμοποιήθηκαν για την ολοκλήρωση του ηλεκτρονικού σχεδίου με τις αντίστοιχες επεξηγήσεις τους.



A.3.2.2 Χρονική Προσομοίωση FPGA

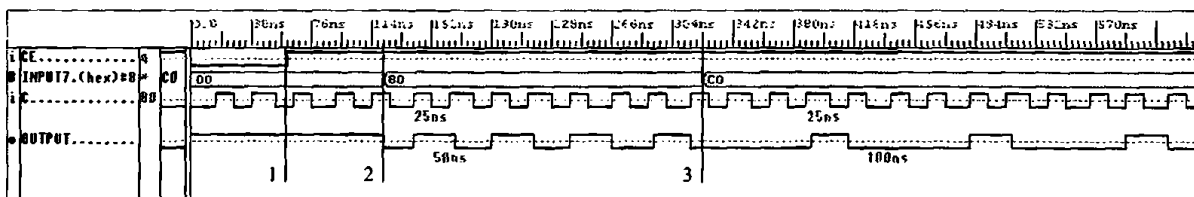
Στην παρούσα παράγραφο εξετάζεται η χρονική συμπεριφορά ολοκλήρου του κυκλώματος του FPGA. Η χρονική προσομοίωση πραγματοποιήθηκε με τη βοήθεια του προγράμματος timing simulation, που βρίσκεται ενσωματωμένο στο συνολικό πακέτο Xilinx Foundation Series F3.1i με το οποίο έγινε η σχεδίαση και υλοποίηση του project.

Αναγκαίο για να γίνει προσομοίωση του κυκλώματος στο χρόνο, είναι πρώτα να γίνει με επιτυχία η εικονική υλοποίησή του (implementation) στον συγκεκριμένο τύπο του FPGA. Με την εκκίνηση του προγράμματος timing simulation “φορτώνονται” στη μνήμη του υπολογιστή όλες οι παράμετροι και τα αποτελέσματα του implementation ώστε να μπορέσει το πρόγραμμα να μας δείξει την συμπεριφορά του κυκλώματος σε χρονική συσχέτιση των εσωτερικών και εξωτερικών σημάτων που το αποτελούν. Γενικά τα αποτελέσματα της χρονικής προσομοίωσης βρίσκονται αρκετά κοντά στα πραγματικά αποτελέσματα.

Στα σχήματα που ακολουθούν έχουν οριστεί κάποια συγκεκριμένα σημεία που θα μας βοηθήσουν στην καλύτερη εξέταση της συμπεριφοράς των κυκλωμάτων στο χρόνο

Χρονική Προσομοίωση υπομονάδας CLK_GEN

Αρχικά εξετάζεται η συμπεριφορά της υπομονάδας CLK_GEN η οποία παράγει τη συχνότητα λειτουργίας του συστήματος. Αυτό γίνεται για την επιβεβαίωση του χρονισμού του συστήματος μιας και στα σχήματα της προσομοίωσης που ακολουθούν δεν είναι δυνατό να φανούν με ευκρίνεια τα σήματα χρονισμού CLOCK, ADCLK και CLK.



A. 15: Χρονική προσομοίωση υπομονάδας clk_gen

Κατά τη χρονική προσομοίωση της υπομονάδας CLK_GEN (σχ. A15) η είσοδος CE ενεργοποιεί στο σημείο 1 την υπομονάδα πράγμα το οποίο υφίσταται με το power up του συστήματος. Στο σημείο 2 η είσοδος input7 παίρνει την τιμή $(1)_{10} = (00000001)_{bin}$ για διαίρεση της εξωτερικής συχνότητας των 40MHz (είσοδος C) με το δύο (2). Πράγματι η έξοδος -output- ξεκινά να παράγει ένα σήμα χρονισμού συχνότητας $(40 \div 2)MHz = 20MHz \rightarrow T = 25ns$. Στο σημείο 3 γίνεται αλλαγή της τιμής του frequency register με την τιμή $(3)_{10} = (00000011)_{bin}$ για διαίρεση των 40MHz με το τέσσερα (4), δηλαδή $(40 \div 4)MHz = 10MHz \rightarrow T = 100ns$.

Η έξοδος output αντιστοιχεί στο σήμα ADCLK και παρέχει τη συχνότητα λειτουργίας.

Προτού εξετάσουμε τη λειτουργία των δύο μεθόδων δειγματοληψίας mode0 και mode1 είναι αναγκαίο να γίνει περιγραφή των σημάτων εισόδου

και εξόδου του FPGA που χρησιμοποιούνται για την επιβεβαίωση της σωστής τους λειτουργίας. Η περιγραφή γίνεται αναλυτικά στον πίνακα A4.

	ΠΕΡΙΓΡΑΦΗ
CLOCK	Είσοδος εξωτερικού clock 40MHz
AD11	Είσοδος 12-bit δεδομένων από τον ADC
READ	Σήμα ανάγνωσης που στέλνει ο μικροελεγκτής
DATA7	Πόρτα εισόδου-εξόδου δεδομένων μεταξύ FPGA και μικροελεγκτή
REG MEM	Είσοδος επιλογής μεταξύ υπομονάδων μνήμης RAM και καταχωρητών
INRE7	Εσωτερικό data bus στο FPGA για την κατάδειξη των δεδομένων εισόδου
DPRA5	Πόρτα διευθυνσιοδότησης της μνήμης RAM
WRITE	Σήμα εγγραφής δεδομένων στην υπομονάδα των καταχωρητών
OUT_FREQ7	Δίαυλος εξόδου του frequency register για παραγωγή του ADCLK
U20.MODE_EN	Εσωτερικό σήμα επιλογής μεθόδου δειγματοληψίας (mode)
HG	Σήμα εξόδου επιλογής του κέρδους ενίσχυσης του DeltaStream
LOAD5	Έξοδος του control register για τη λειτουργία σε mode1
U18.ADCLK	Εσωτερικό clock χρονισμού του FPGA (ίδιο με το ADCLK)
TRIGGER	Είσοδος εξωτερικού παλμού trigger
CLK	Έξοδος του σήματος ελέγχου clk προς το DeltaStream
HOLDN	Έξοδος του σήματος ελέγχου holdN προς το DeltaStream
RESET	Έξοδος του σήματος ελέγχου reset προς το DeltaStream
S	Έξοδος του σήματος ελέγχου S προς το DeltaStream
Q5	Δίαυλος διευθύνσεων εγγραφής της RAM
U15.WRITE	Σήμα εγγραφής της μνήμης RAM
STATUS	Σήμα εξόδου κατάδειξης της κατάστασης του status register
DPOH3	Δίαυλος των τεσσάρων υψηλών bit δεδομένων της RAM
DPOL7	Δίαυλος των οκτώ χαμηλότερων bit δεδομένων της RAM
H L	Είσοδος επιλογής εξόδου δεδομένων από τη RAM
MEM_H7	Έξοδος πολύπλεξης των δεδομένων της RAM
R_M_O7	Δίαυλος δεδομένων εξόδου από το FPGA
ADCLK	Έξοδος παλμού χρονισμού συστήματος ROB-ROH
GSR	Αυτόματο σήμα αρχικοποίησης, που συμβαίνει με το power up του FPGA

Πίνακας A 1

Χρονική Προσομοίωση σε λειτουργία mode0

Ιδιαίτερη σημασία στην λειτουργία του συστήματος έχει η σειρά με την οποία γίνεται ο προγραμματισμός των καταχωρητών από τον μικροελεγκτή.

Η συγκεκριμένη διαδικασία έχει ως εξής:

1. power up του συστήματος,
2. επιλογή του READ='0' και REG_MEM='0' για να γίνει εγγραφή των register,
3. επιλογή της διεύθυνσης του frequency register και η εγγραφή του με την επιθυμητή τιμή και
4. επιλογή της διεύθυνσης του control register και η εγγραφή του με την αντίστοιχη επιθυμητή τιμή π.χ. την (00xxxxxx)_{bin}.

Επεξήγηση του timing simulation του σχήματος A16:

σημείο1: γίνεται η εγγραφή του frequency register και αμέσως μετά ξεκινά η παλμοσειρά χρονισμού ADCLK.



σημείο2: γίνεται η εγγραφή του control register. Στη συνέχεια το FPGA περιμένει την έλευση του παλμού trigger για την εκκίνηση της δειγματοληψίας. Με τον ερχομό του, ξεκινά η παραγωγή των σημάτων ελέγχου προς το DeltaStream.

σημείο3: η RAM γίνεται enable για εγγραφή

σημείο4: ξεκινά η λειτουργία του 6-bit counter που την διευθύνει.

σημείο5: μέχρι το σημείο αυτό αποθηκεύονται οι πληροφορίες από την υπομονάδα 11FF, μία σε κάθε διεύθυνσή της RAM.

σημείο6: μετά την απενεργοποίησή της μνήμης (U15.WRITE='0') ο status register παίρνει την τιμή '1' για να δηλώσει στον μC ότι τελείωσε ο κύκλος λειτουργίας.

σημείο7: επιλογή του REG_MEM='1' και μετά επιλογή του READ='1' για να ξεκινήσει ο κύκλος ανάγνωσης από τον μικροελεγκτή

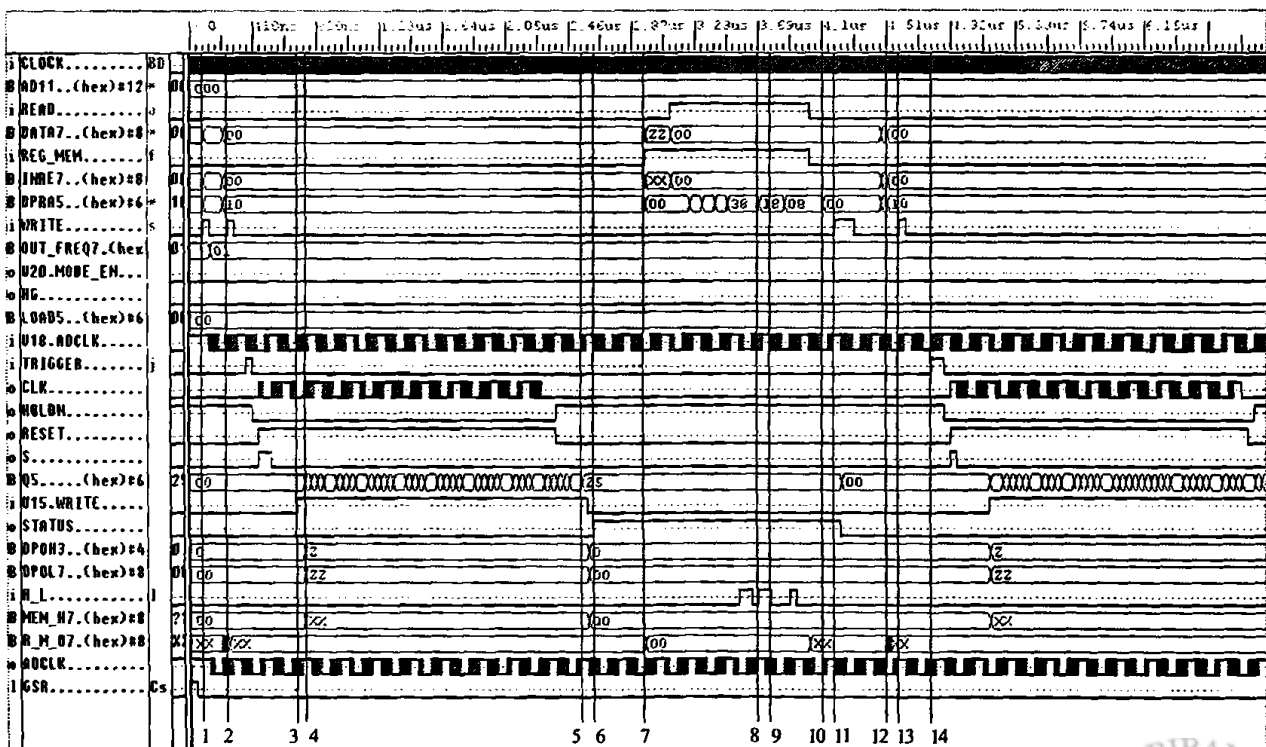
σημεία8,9: εναλλαγή του H_L για ανάγνωση των υψηλών και χαμηλών bits αντίστοιχα κάποιας συγκεκριμένης θέσης μνήμης

σημείο10: επιλογή της διεύθυνσης του status register για την εγγραφή του

σημείο11: εγγραφή του status register και ταυτόχρονη αρχικοποίηση ολοκλήρου του κυκλώματος του FPGA (clear operation)

σημείο12: επιλογή της διεύθυνσης του control register

σημείο13: εγγραφή του control register με νέα τιμή (το στάδιο των σημείων 12 και 13 πραγματοποιείται μόνο στην περίπτωση που θέλουμε να εγγράψουμε στον control register νέα τιμή (π.χ. αλλαγή του bit-HG που εκφράζει το κέρδος ενίσχυσης). Από το σημείο13 και έπειτα το FPGA είναι έτοιμο να δεχθεί εκ νέου εξωτερικό παλμό trigger για την εκκίνηση νέου κύκλου δειγματοληψίας.



A. 16: Χρονική προσομοίωση του FPGA σε λειτουργία mode0

Χρονική Προσομοίωση σε λειτουργία model

Η αλληλουχία των εργασιών για τη μέθοδο δειγματοληψίας model σύμφωνα και με το timing simulation του σχήματος A.17 έχει ως εξής:

σημείο1: εγγραφή του frequency register για την παραγωγή του ADCLK

σημείο2: εγγραφή του control register με την τιμή $(11000111)_{bin}$ που σημαίνει λειτουργία σε model, HG= '1' (7^ο bit) και δειγματοληψία του καναλιού $000111_{bin}=7_{10}$ ήτοι το 7^ο κανάλι του ανιχνευτή πυριτίου. Επίσης γίνεται και εκκίνηση της παραγωγής σημάτων ελέγχου προς το DeltaStream (clk, holdN, reset και S).

σημείο3: ξεκινά η επιλογή του 7^{ου} καναλιού. Πράγματι παράγονται επτά (7) παλμοί clk που τοποθετούν τον ανιχνευτή πυριτίου στο επιθυμητό κανάλι.

σημείο4: έχει γίνει ήδη η επιλογή του καναλιού στον ανιχνευτή και ενεργοποιείται η μνήμη RAM για εγγραφή πληροφοριών (U15.WRITE='1'). Αμέσως μετά ξεκινά η διευθυνσιοδότηση της μνήμης από τον μετρητή (διάυλος Q5). Η μνήμη αποθηκεύει τις πληροφορίες εισόδου στις 36 πρώτες θέσεις της κυκλικά έως ότου έρθει παλμός trigger

σημείο5: η έλευση του παλμού trigger ξεκινά τη διαδικασία τερματισμού του κύκλου δειγματοληψίας σε model

σημείο6: απενεργοποίηση της μνήμης (U15.WRITE='0')

σημείο7: ο status register παίρνει την τιμή '1' για να δηλώσει στον μC ότι τελείωσε ο κύκλος λειτουργίας.

σημείο8: επιλογή του REG_MEM='1'

σημείο9: επιλογή του READ='1' για να ξεκινήσει ο κύκλος ανάγνωσης από τον μικροελεγκτή

σημείο10,11: εναλλαγή του H_L για ανάγνωση των υψηλών και χαμηλών bits αντίστοιχα κάποιας συγκεκριμένης θέσης μνήμης

σημείο12: επιλογή του READ='0' για μετατροπή του διαύλου δεδομένων σε πόρτα εισόδου στο FPGA

σημείο13: επιλογή του REG_MEM='0' για επιλογή της βαθμίδας των register

σημείο14: εγγραφή του control register με την νέα τιμή $(10000011)_{bin}$ που σημαίνει λειτουργία σε model, HG= '0' (7^ο bit) και δειγματοληψία του καναλιού $000011_{bin}=3_{10}$ ήτοι το 3^ο κανάλι του ανιχνευτή πυριτίου.

Το στάδιο αυτό της εκ νέου εγγραφής του control register είναι δυνατόν να παραληφθεί εάν επιθυμούμε να γίνει δειγματοληψία του ίδιου καναλιού του ανιχνευτή και με το ίδιο κέρδος ενισχυτή HG.

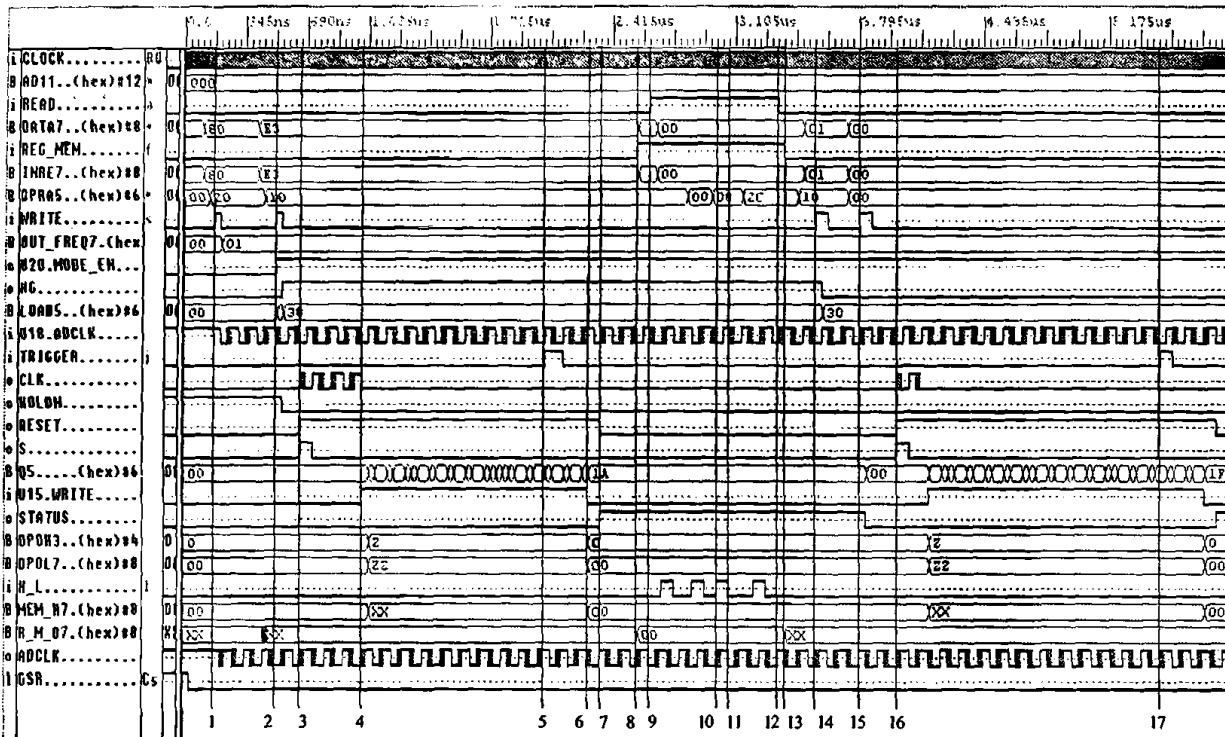
σημείο15: εγγραφή του status register με ταυτόχρονη αποστολή παλμού clear σε όλα τα κυκλώματα του FPGA για αρχικοποίησή τους. Αμέσως μετά ξεκινά νέος κύκλος δειγματοληψίας μεθόδου model με την παραγωγή σημάτων ελέγχου προς το DeltaStream (clk, holdN, reset και S).

σημείο16: παρατηρούμε ότι γίνεται η επιλογή του 3^{ου} πλέον καναλιού του ανιχνευτή, όπως προηγούμενα (σημείο14) αυτός προγραμματίστηκε. Το σύστημα λειτουργεί σε model και περιμένει την έλευση νέου παλμού trigger που έρχεται στο σημείο 17.

Έχει ιδιαίτερη σημασία να σημειωθεί ότι για να επιτευχθεί σωστή επαναληψιμότητα της λειτουργίας του model μεταξύ δύο διαφορετικών



διαδικασιών δειγματοληψίας είναι απαραίτητο να γίνει πρώτα η εγγραφή του control register και έπειτα να γίνει εγγραφή του status register. Ο λόγος είναι ότι με την εγγραφή του status register ξεκινά αυτόματα η διαδικασία λειτουργίας σε mode1 με τα στοιχεία που είναι ήδη αποθηκευμένα στον control register.



A. 17: Χρονική προσομοίωση του FPGA σε λειτουργία mode1

Χρονική Προσομοίωση λειτουργίας με διαφορετικές μεθόδους δειγματοληψίας

Προς επιβεβαίωση της σωστής λειτουργίας του FPGA σε όλο το εύρος των λειτουργιών του έγινε μια χρονική προσομοίωση του κυκλώματος με συνδυασμό διαφορετικών μεθόδων δειγματοληψίας του ανιχνευτή πυριτίου.

Στο σχ.Α.18 δίνεται το timing simulation στο οποίο η σειρά των μεθόδων λειτουργίας είναι: **mode0 – mode1 – mode0**.

Η μέθοδος **mode1** εφαρμόζεται στο 7^ο κανάλι του ανιχνευτή με υψηλό κέρδος $HG=1$.

σημείο1: μετά το power up του συστήματος ξεκινά η μέθοδος δειγματοληψίας **mode0**,

σημείο2: έχει τελειώσει ο κύκλος λειτουργίας σε mode0 και ξεκινά η διαδικασία ανάγνωσης των δεδομένων της μνήμης από τον μικροελεγκτή.

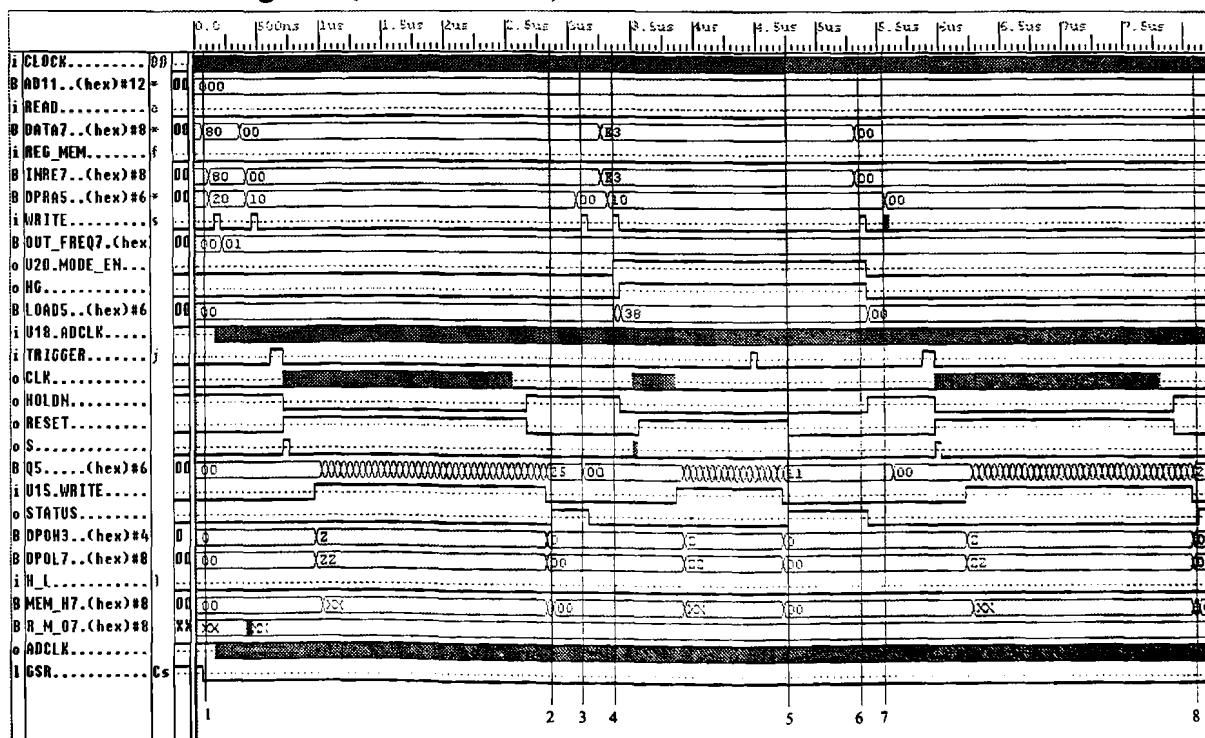
σημείο3: εγγραφή του status register για αρχικοποίηση των κυκλωμάτων του FPGA

σημείο4: εγγραφή του control register για δειγματοληψία με τη μέθοδο **mode1**

- σημείο5: έχει τελειώσει ο κύκλος λειτουργίας της μεθόδου mode1 και ξεκινά η διαδικασία ανάγνωσης των δεδομένων της μνήμης από τον μικροελεγκτή
- σημείο6: εγγραφή του control register με τη νέα τιμή για λειτουργία σε mode0
- σημείο7: εγγραφή του status register για αρχικοποίηση των κυκλωμάτων του FPGA
- σημείο8: τερματισμός της μεθόδου λειτουργίας mode0.

Συμπέρασμα:

1. Για την ασφαλή μετάβαση mode0 → mode1 είναι αναγκαίο να γίνει πρώτα η εγγραφή του status register (FPGA - clear) και μετά η εγγραφή του control register
2. Αντιθέτως για την ασφαλή μετάβαση mode1 → mode0 είναι αναγκαίο να γίνει πρώτα η εγγραφή του control register και μετά η εγγραφή του status register (FPGA - clear).



A. 18 Χρονική προσομοίωση του FPGA με εναλλαγή των λειτουργιών σε mode0 και mode1



A.3.2.3 Ακροδέκτες του FPGA

Στον πίνακα που ακολουθεί (πίνακας A5) παρουσιάζονται όλοι οι ακροδέκτες του FPGA όπως αυτό υλοποιήθηκε. Αναφέρονται όλα τα σήματα εισόδου – εξόδου, οι ακροδέκτες τροφοδοσίας και γείωσης καθώς επίσης και οι ακροδέκτες με ειδική σημασία για τη λειτουργία του.

Με κόκκινο χρώμα εμφανίζονται οι ακροδέκτες του FPGA (PGCK – Primary Global nets) που συνδέονται στο εσωτερικό του με εσωτερικά κανάλια τα οποία διατρέχουν όλο το FPGA και έχουν πολύ μικρή χρονική καθυστέρηση στη μεταφορά του σήματος, μικρή ασυμμετρία κατασκευής και προτείνονται για γρήγορα σήματα.

Με κίτρινο χρώμα εμφανίζονται οι ακροδέκτες του FPGA (SGCK – Secondary Global nets) που αποτελούν μια δεύτερη ομάδα εσωτερικών στο FPGA καναλιών, όμοια με την PGCK, που χρησιμοποιούνται επίσης για γρήγορα σήματα.

Με θαλασσί χρώμα εμφανίζονται οι ακροδέκτες που συνεργάζονται με εξωτερικά κυκλώματα επιλογής του τρόπου προγραμματισμού του FPGA. Με γκρι χρώμα εμφανίζονται οι ακροδέκτες προγραμματισμού του FPGA.

FPGA pins for ROb					
PIN	signal	description	PIN	signal	description
1	Vcc		43	Vcc	
2	Gnd		44	AD5	data from ADC
3	DATA1	input output port connecting with mc	45	AD6	
4	DATA2		46	AD7	
5	DATA3		47	AD8	
6	DATA4		48	AD9	
7	DATA5		49	AD10	
8	DATA6		50	AD11	
9	DATA7		51	RESET	RESET to Delta
10	trigger	external trigger	52	Vcc	
11	Gnd		53	DONE	programming mode
12	Vcc		54	Gnd	
13			55	PROGRAM	programming mode
14	HG	HG to Delta	56	REG MEM	select REG/RAM
15	-		57	ADclk	ADclk to ADC
16	-		58	-	
17	-		59	-	
18	-		60	-	
19	DPRA0	addressing RAM	61	-	
20	DPRA1	- read	62	-	
21	Vcc		63	Gnd	
22	Gnd		64	Vcc	
23	DPRA2	addressing RAM - read	65	-	
24	DPRA3		66	-	
25	DPRA4		67	-	
26	DPRA5		68	-	
27	AD0		data from ADC	69	STATUS

FPGA pins for ROB					
PIN	signal	description	PIN	signal	description
28	AD1		70	-	
29	HOLDN	HOLDN to Delta	71	DIN	programming mode
30	MD0	set FPGA mode	72	S	S to Delta
31	Vcc		73	CCLK	programming mode
32	MD1	set FPGA mode	74	Gnd	
33	Gnd		75	-	
34	MD2	set FPGA mode	76	Vcc	
35	CLK	clk to Delta	77	-	
36	-		78	CLOCK	set global clock
37	-		79	-	
38	AD2	data from ADC	80	-	
39	AD3		81	WRITE	Write in registers
40	AD4		82	READ	Read from RAM
41	INIT	programming mode	83	H_L	sel.H/L byte from RAM
42	Gnd		84	DATA0	I/O port conn. with mc

PGCK : Primary Global Buffer for Driving Clocks or Longlines
 SGCK : Secondary Global Buffer for Driving Clocks or Longlines
 select FPGA programming mode
 FPGA pins for programming

Πίνακας Α 2

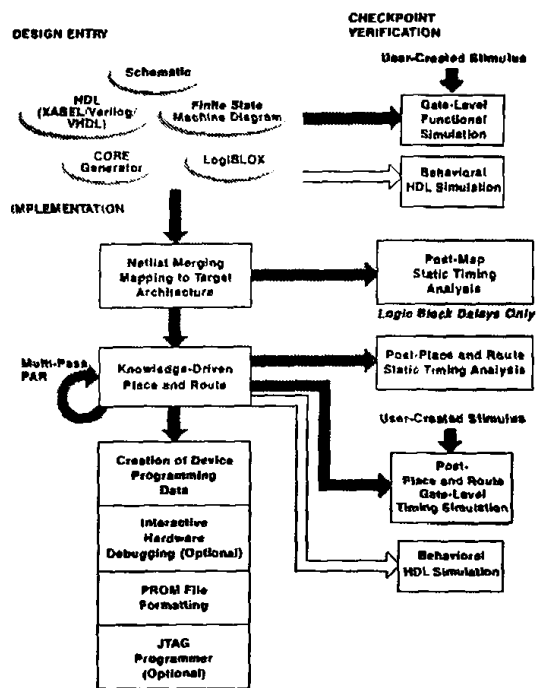
A.3.2.4 Υλοποίηση του FPGA

Η υλοποίηση του FPGA γίνεται με τη βοήθεια του λογισμικού πακέτου Xilinx Foundation Series F3.1i (σχ.Α.19) ακολουθώντας τα εξής βήματα:

1. Σχεδίαση του κυκλώματος με τη χρήση σχηματικού διαγράμματος (schematic editor) ή με τη χρήση state machines (fsm editor) ή με χρήση γλώσσας περιγραφής υλικού (hdl editor)
2. Λογική προσομοίωση του project με τον functional simulator που περιέχεται στο πακέτο του λογισμικού
3. Επιτυχής εικονική υλοποίηση (implementation) του κυκλώματος δηλαδή μετάφραση του σχηματικού διαγράμματος σε κώδικα προγραμματισμού. Τα επιμέρους επίπεδα ελέγχου από τα οποία περνάει το σχέδιο είναι: α) η μετάφραση της λίστας διασύνδεσης (netlist translation), β) η αντιστοίχιση της λογικής του σχεδίου με τους ακροδέκτες του FPGA (mapping), γ) η τοποθέτηση και διασύνδεση των στοιχείων του σχεδίου (placing & routing), δ) ο υπολογισμός των χρονικών καθυστερήσεων των σημάτων του (timing) και ε) η δημιουργία του κατάλληλου αρχείου για τον προγραμματισμό του FPGA (configure). Τα βήματα αυτά φαίνονται στο σχ.Α.20.



4. Χρονική προσομοίωση του κυκλώματος με τον timing simulator όπου εξετάζονται τυχόν προβλήματα που δημιουργούνται λόγω χρονικών καθυστερήσεων στο FPGA. Υπάρχει και η δυνατότητα να εξετασθούν με μεγαλύτερη λεπτομέρεια τα τυχόν προβλήματα με τη βοήθεια του timing analyzer ο οποίος κάνει ανάλυση των χρονικών καθυστερήσεων των σημάτων από σημείο σε σημείο (point to point delay analysis)
5. Τέλος, προγραμματισμός του FPGA κατά τον οποίο το αρχείο που έχει δημιουργηθεί κατά το implementation “φορτώνεται” στο FPGA.

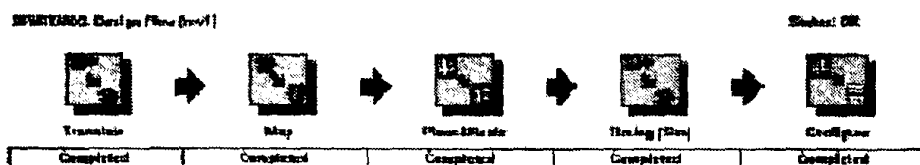


A. 19: Διάγραμμα ροής για την σχεδίαση

Όσον αφορά το κύκλωμα του FPGA του ROB, πέρασε από το στάδιο της υλοποίησης (implementation) με τις εξ' ορισμού παραμέτρους που δίνει το λογισμικό πακέτο αλλά μόνο με τις πιο κάτω διαφοροποιήσεις: στις επιλογές του implementation και στην ομάδα επιλογών Optimize and Map Options έχουν οριστεί

Pack CLB Registers for: → Minimum Area

Pack I/O Registers/Latches into IOBs for: → Inputs only

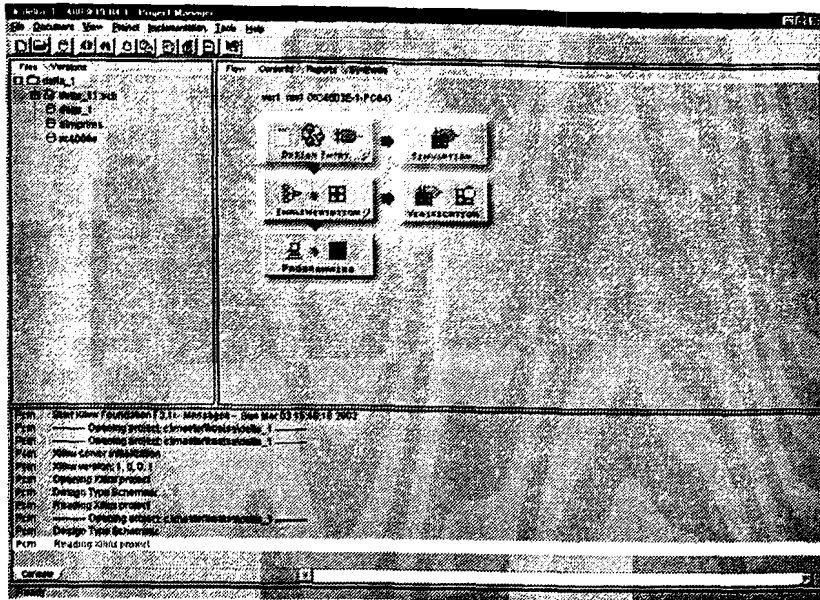


A. 20: Βήματα για τη υλοποίηση του FPGA

Όλες οι διαδικασίες σχεδίασης, υλοποίησης και προγραμματισμού έγιναν με τη βοήθεια του λογισμικού πακέτου της Xilinx, Foundation Series. Το γραφικό περιβάλλον του αντίστοιχου project manager φαίνεται στο σχ.A.21.

Ο προγραμματισμός του FPGA πραγματοποιείται με δύο τρόπους.

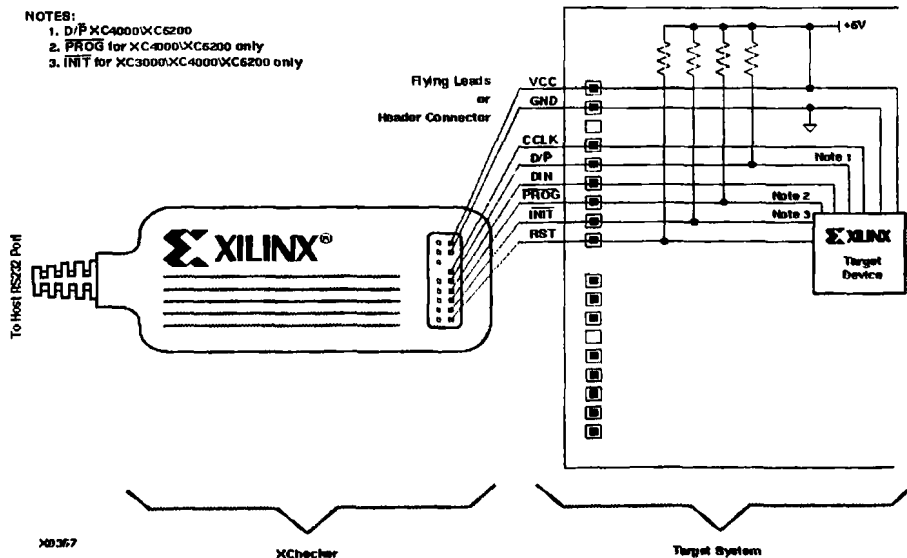
Ο πρώτος τρόπος χρησιμοποιεί τον σειριακή θύρα του υπολογιστή και διαμέσω του ειδικού καλωδίου “Xchecker” (σχ.A.22) που υποστηρίζει το λογισμικό πακέτο της xilinx, “φορτώνεται” το project στο FPGA.



A. 21: Xilinx Foundation Project manager

Στην περίπτωση που το FPGA αποκοπεί από την τάση τροφοδοσίας, θα χαθεί το κύκλωμα από το εσωτερικό του. Ο τρόπος αυτός μας διευκολύνει ώστε να εξετάσουμε τη συμπεριφορά του κυκλώματος σε πραγματικές συνθήκες λειτουργίας έως ότου καταλήξουμε στην τελική του μορφή.

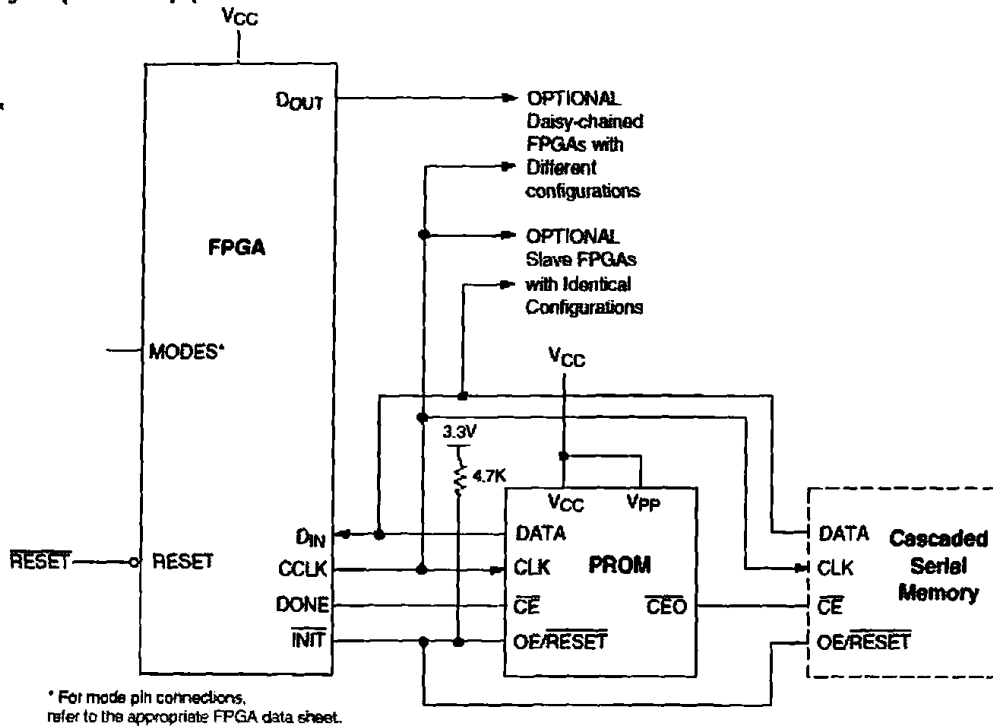
Για κάθε μετατροπή του σχεδίου που γίνεται, υπάρχει η δυνατότητα να επαναπρογραμματισθεί το FPGA και να γίνουν οι αντίστοιχοι έλεγχοι. Αυτός ο τρόπος προγραμματισμός του FPGA λέγεται Slave Serial Mode.



A. 22: Συνδεσμολογία XChecker για προγραμματισμό του FPGA



Ο δεύτερος τρόπος (Master Serial Mode) είναι ο προγραμματισμός με τη χρήση μνήμης prom στην οποία γίνεται μόνιμη αποθήκευση του προγράμματος που έχουμε υλοποιήσει. Με το power up του συστήματος το πρόγραμμα που βρίσκεται στην prom μεταφέρεται στο FPGA και έπειτα αρχίζει η λειτουργία του.



Α. 23: Συνδεσμολογία μνήμης PROM για προγραμματισμό του FPGA

Προφανώς το FPGA μπορεί να “καταλάβει” με ποιον τρόπο έχει γίνει η συνδεσμολογία για το download του προγράμματος. Αυτό ορίζεται από την κατάσταση “high” ή “low” που βρίσκονται οι ειδικοί ακροδέκτες που αναφέρονται στον πίνακα Α5 ως set FPGA mode pins (MD0, MD1, MD2). Στον πίνακα που ακολουθεί (πίνακας Α6) αναφέρεται η κατάσταση των ακροδεκτών αυτών και για τις δύο περιπτώσεις.

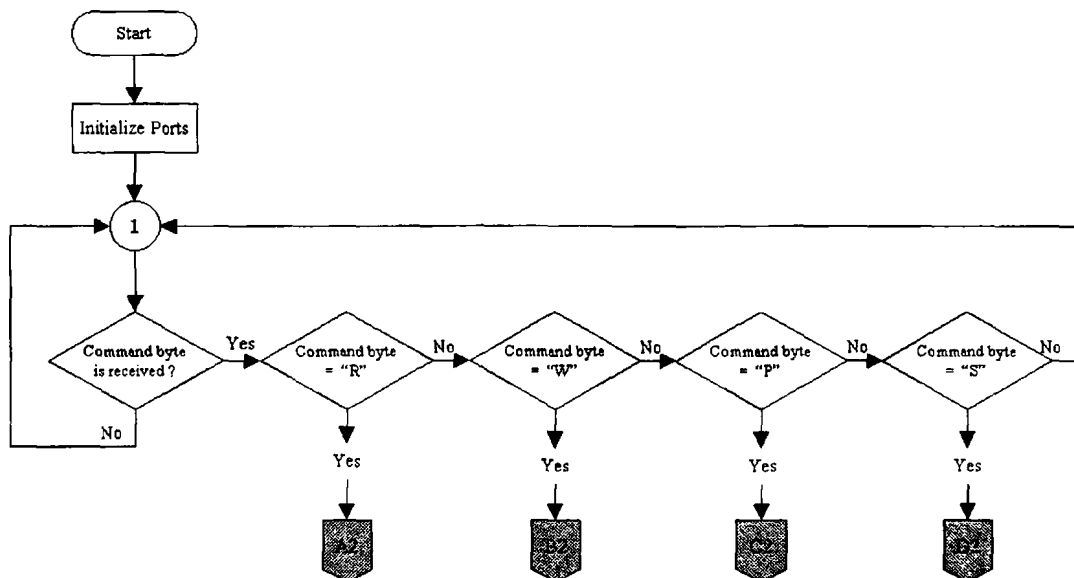
Mode	M2	M1	M0	CCLK	Data
Master Serial	0	0	0	output	Bit-Serial
Slave Serial	1	1	1	input	Bit-Serial
Master Parallel Up	1	0	0	output	Byte-Wide, increment from 00000
Master Parallel Down	1	1	0	output	Byte-Wide, decrement from 3FFFF
Peripheral Synchronous*	0	1	1	input	Byte-Wide
Peripheral Asynchronous	1	0	1	output	Byte-Wide
Reserved	0	1	0	—	—
Reserved	0	0	1	—	—

Πίνακας Α 3

A.3.3 Προγραμματισμός Μικροελεγκτή

Στο παρόν κεφάλαιο θα αναφερθούν κάποια βασικά στοιχεία του προγραμματισμού του μικροελεγκτή και θα δοθεί το διάγραμμα ροής του προγράμματος που λειτουργεί σε αυτόν.

Στην αρχή ορίζονται στο πρόγραμμα οι μεταβλητές που θα χρησιμοποιηθούν καθώς και η ταχύτητα επικοινωνίας του διαύλου RS232. Ο μικροελεγκτής τίθεται σε κατάσταση αναμονής και περιμένει κάποιο στοιχείο εισόδου από το χρήστη για να ξεκινήσει τη λειτουργία του. Το βασικό διάγραμμα ροής του φαίνεται στο σχήμα A.24.



A. 24: Βασικό διάγραμμα ροής του προγράμματος του μικροελεγκτή

Όταν δεχθεί κάποια εντολή από αυτές τις οποίες έχει προγραμματιστεί να αναγνωρίζει ξεκινάει τη λειτουργία του. Οι εντολές που αναγνωρίζει είναι οι ακόλουθες:

Η εντολή “R” έχει σχέση με την ανάγνωση πληροφοριών από το FPGA (είτε αυτές προέρχονται από την εσωτερική μνήμη RAM είτε από τη βαθμίδα των εσωτερικών καταχωρητών. Αντιστοιχεί στο σήμα εισόδου ‘Read’ στο FPGA.

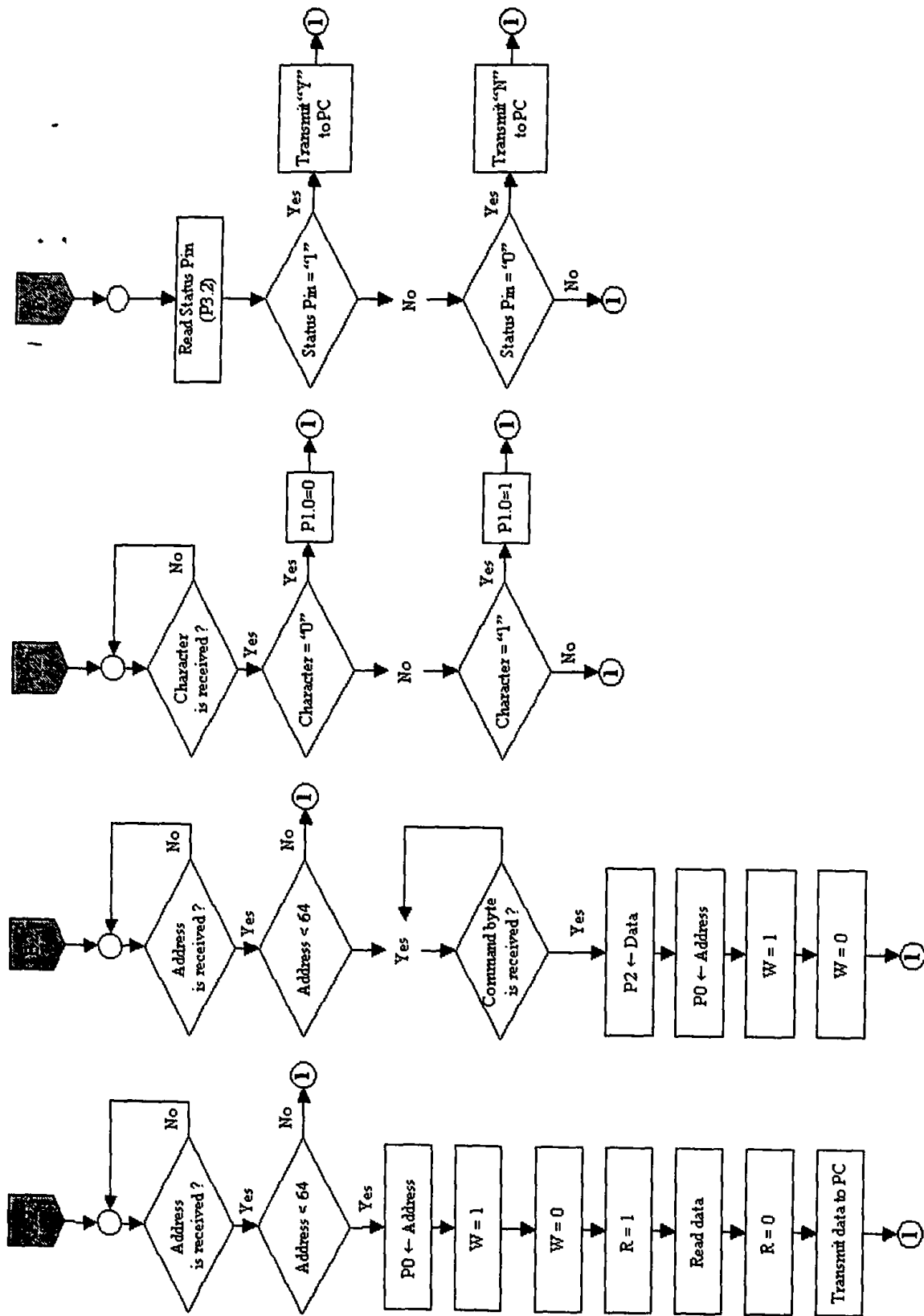
Η εντολή “W” είναι υπεύθυνη για την εγγραφή των καταχωρητών του FPGA. Παίζει το ρόλο του αντίστοιχου σήματος εισόδου ‘write’ στο FPGA

Η εντολή “P” ενεργοποιεί τη RAM ή τους καταχωρητές του FPGA. Το αντίστοιχο στο FPGA σήμα είναι το ‘reg_mem’.

Η σημασία της εντολής “S” είναι ο έλεγχος που κάνει ο μικροελεγκτής στο pin του FPGA που στέλνεται σαν έξοδος του η κατάσταση του status register.

Ανάλογα με το ποια εντολή θα δεχθεί ο μικροελεγκτής, η ροή του προγράμματος μεταφέρεται στην αντίστοιχη υπορουτίνα του (A2, B2, C2, D2). Στο σχήμα A.25 φαίνεται αναλυτικότερα το διάγραμμα ροής των υπορουτινών από τις οποίες απαρτίζεται το πρόγραμμα του μC.





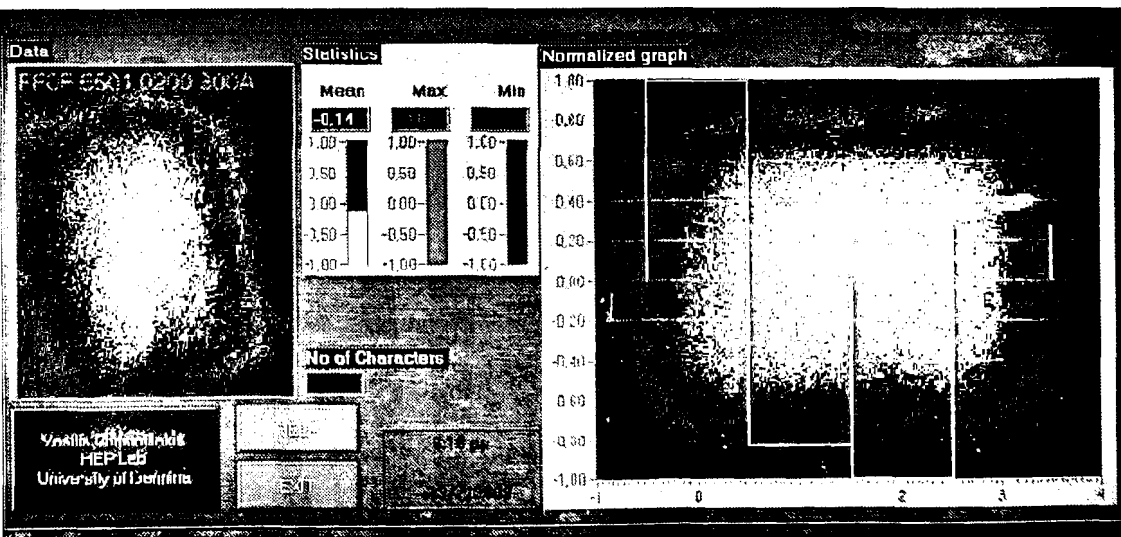
A. 25: Διάγραμμα ροής των υπορουτίνων του προγράμματος του μικροελεγκτή

Το πρόγραμμα στο οποίο μεταφράζονται τα παραπάνω διαγράμματα σής βρίσκεται στο παράρτημα Α.Π3 και έχει γραφεί σε γλώσσα χαμηλού επιπέδου (assembly [10]).

Ο προγραμματισμός του μικροελεγκτή έγινε με τη βοήθεια του προγραμματιστή Superpro II Universal Programmer [11] της εταιρίας Xeltek σε συνεργασία με το κατάλληλο λογισμικό Sp2.

Οι ψηφιοποιημένες πληροφορίες των σημάτων των μικρολωριδιακών αισθητήρων πυριτίου που αποθηκεύονται στη μνήμη RAM του FPGA στέλνονται στη σειριακή θύρα ενός υπολογιστή στον οποίο βρίσκεται εγκατεστημένο το λογισμικό πακέτο Labview [12] (version 6.0) της εταιρίας National Instruments. Το περιβάλλον αυτό χρησιμοποιήθηκε για την εγγραφή της εφαρμογής ελέγχου του συστήματος ROB-ROH, το γραφικό περιβάλλον της οποίας φαίνεται στο σχήμα Α.26.

Η χρήση του διευκολύνει την επικοινωνία του χρήστη με το σύστημα τόσο στον προγραμματισμό των καταχωρητών του FPGA όσο και στην γραφική απεικόνιση των δεδομένων που βρίσκονται αποθηκευμένα στη μνήμη RAM του FPGA.

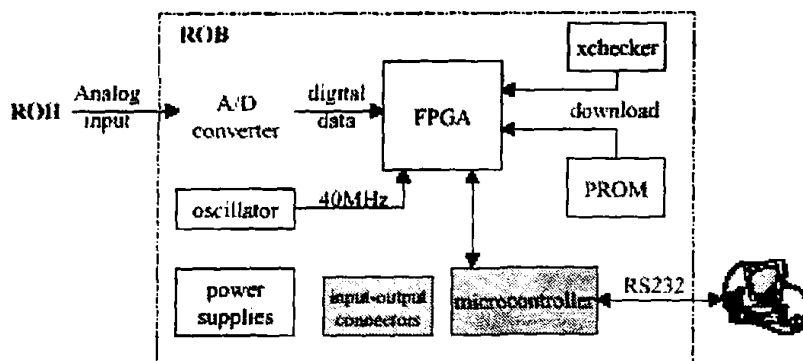


Α. 26: Γραφικό περιβάλλον Labview για το σύστημα ROB-ROH

A.3.4 Σχεδίαση της μονάδας ROB

Η σχεδίαση της πλακέτας του Read Out Board έγινε με τη βοήθεια του λογισμικού σχεδίασης OrCad [13] version 9.1 της εταιρίας OrCad σε περιβάλλον windows.

Στο σχήμα A.27 παρατίθεται το γενικό διάγραμμα της πλακέτας ROB.



A. 27: Γενικό διάγραμμα ROB

Η μονάδα ROB περιέχει:

1. τα κυκλώματα τροφοδοσίας,
2. το κύκλωμα χρονισμού (παραγωγής συχνότητας 40MHz),
3. τον μετατροπέα αναλογικού σήματος σε ψηφιακό (A/D converter),
4. το FPGA με τα δύο εναλλακτικά κυκλώματα προγραμματισμού του,
5. τον μικροελεγκτή με το κύκλωμα διεπαφής με τον υπολογιστή (σειριακή επικοινωνία μέσω πρωτοκόλλου RS232) και
6. τους περιφερειακούς συνδέτες (connectors) εισόδου και εξόδου

Στο σχήμα A.28 φαίνεται το αναλυτικό σχηματικό κύκλωμα του ROB όπου έχει γίνει ο διαχωρισμός του σε έξι τομείς (1 έως 6). Στη συνέχεια θα αναλυθεί ξεχωριστά ο κάθε τομέας σχεδίασης ώστε να δοθούν παράλληλα και μερικές κατασκευαστικές λεπτομέρειες.

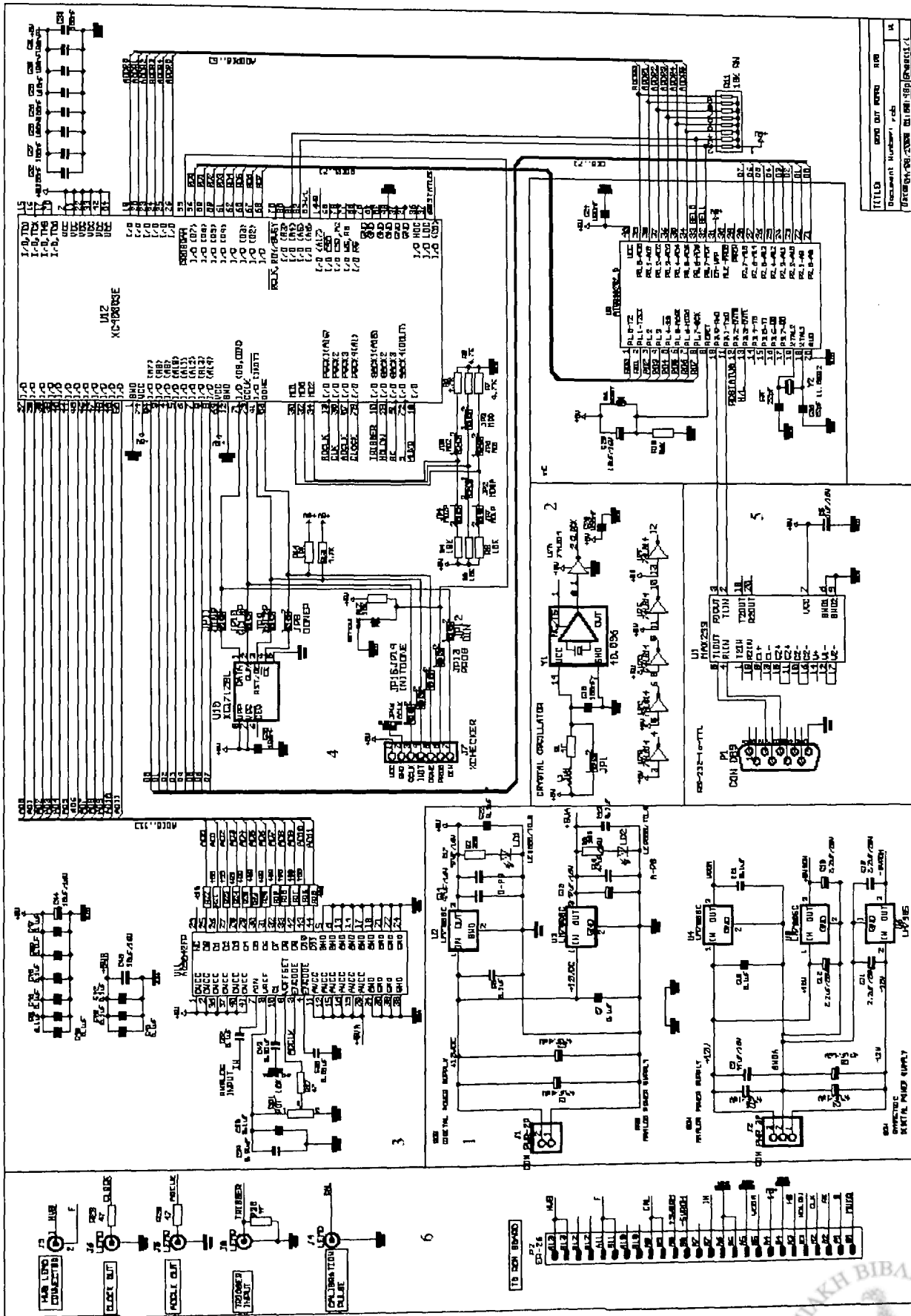
Κυκλώματα Τροφοδοσίας

Η μονάδα τροφοδοσίας του συστήματος περιέχει πέντε (5) διαφορετικά κυκλώματα τροφοδοτικών που υποστηρίζουν τόσο την πλακέτα ROB όσο και τα κυκλώματα της πλακέτας ROH (σχ.A.28-τομέας1). Έχουν όλα υλοποιηθεί με τη βοήθεια σταθεροποιητών τάσης (voltage regulators) LM7805C [14] και LM7905C [15] για την παραγωγή συνεχούς τάσης +5 και -5 Volt αντίστοιχα.

Οι δύο πρώτες βαθμίδες τροφοδοσίας (στην έξοδο των οποίων έχουν προστεθεί 2 LEDs για ένδειξη καλής λειτουργίας) υποστηρίζουν:

1. η πρώτη (ROB Digital Power Supply), τα ψηφιακά μέρη του ROB όπως το κύκλωμα χρονισμού, το ψηφιακό μέρος του μετατροπέα A/D, το FPGA, την μνήμη RPOM και τον μικροελεγκτή. Η αναγραφόμενη ονομασία της είναι +5V





A. 28: Σχηματικό διάγραμμα ROB



2. η δεύτερη (ROB Analog Power Supply), το “κομμάτι” του μετατροπέα A/D που ασχολείται στο εσωτερικό του με την δειγματοληψία του αναλογικού σήματος εισόδου από την ROH. Η αναγραφόμενη ονομασία της είναι $+5VA$

Οι υπόλοιπες τρεις βαθμίδες τροφοδοσίας που υποστηρίζουν την ROH περιέχουν:

1. η πρώτη (ROH Analog Power Supply), τα αναλογικά κυκλώματά της με τάση $+5V$. Η αναγραφόμενη ονομασία της είναι $VDDA$
2. η δεύτερη (ROH Symmetric Digital Power Supply), τα ψηφιακά κυκλώματά της με συμμετρική τροφοδοσία $\pm 5V$. Η αναγραφόμενη ονομασία τους είναι $+5VROH$ και $-5VROH$.

Σημείωση:

Οι βαθμίδες των τροφοδοτικών έχουν όλες την ίδια γείωση το κοινό σημείο της οποίας βρίσκεται στο σημείο που έχουν τοποθετηθεί οι σταθεροποιητές τάσης. Αυτό έγινε για να εξαλειφθεί η αλληλεπίδραση του θορύβου της γείωσης μεταξύ αναλογικών και ψηφιακών κυκλωμάτων. Στο layout της πλακέτας έχουν αντικατασταθεί οι συνδέτες (connectors) της παροχής τάσης των $\pm 12V$, με έναν συνδέτη 5 θέσεων για ξεχωριστή παροχή τάση των αναλογικών και ψηφιακών ηλεκτρονικών

Κύκλωμα Παραγωγής Συχνότητας Λειτουργίας

Στο σχήμα A.28-τομέας2 φαίνεται αναλυτικά το σχετικό κύκλωμα που υλοποιήθηκε για την παραγωγή της συχνότητας 40MHz.

Περιέχει έναν κρύσταλλο παραγωγής συχνότητας 40MHz και 2 δικτυώματα [16] φερίτης – πυκνωτής 100nF (στα pin τροφοδοσίας και γείωσης) για να ελαχιστοποιηθούν οι πολλαπλάσιες των 40MHz αρμονικές ταλαντώσεις που εισάγει ο κρύσταλλος στο κύκλωμα. Στην έξοδό του από όπου παίρνουμε την συχνότητα λειτουργίας υπάρχει ένας αντιστροφέας (inverter) τεχνολογίας Schmitt trigger για καλύτερη μορφοποίηση της κυματομορφής εξόδου (περισσότερο “τετράγωνος” ο παλμός εξόδου).

Κύκλωμα ADC

Στο σχήμα A.28-τομέας3 φαίνεται το κύκλωμα υλοποίησης του A/D converter. Χρονίζεται με το σήμα $Adclk$ που είναι προγραμματιζόμενο από το FPGA. Δέχεται το αναλογικό σήμα εισόδου IN στην είσοδο AIN και βγάζει την ψηφιοποιημένη πληροφορία σε ένα δίαυλο δεδομένων (data bus) 12-bit προς το FPGA.

Στην πλακέτα που κατασκευάστηκε, ο ADC έχει τοποθετηθεί όσο πιο κοντά γινόταν στον συνδέτη (connector) που συνδέει το ROB με το ROH ώστε

να υπάρξει η μικρότερη δυνατή αλλοίωση των πληροφοριών που μεταφέρει το αναλογικό σήμα εισόδου.

Παρατηρούμε επίσης ότι οι ακροδέκτες της γείωσης συνδέονται στη γείωση του αναλογικού τροφοδοτικού της πλακέτας ROB. Διαφοροποίηση υπάρχει ακόμη και στους ακροδέκτες τάσης. Κάποιοι από αυτούς παίρνουν τάση από το αναλογικό τροφοδοτικό της ROB ενώ οι υπόλοιποι από το αντίστοιχο τροφοδοτικό για τα ψηφιακά κυκλώματα. Το γεγονός αυτό που απορρέει από τις προδιαγραφές κατασκευής του μετατροπέα έχει σχέση με την απομόνωση των εσωτερικών αναλογικών και ψηφιακών κυκλωμάτων του.

Κύκλωμα FPGA

Τα μέρη του κυκλώματος του FPGA που φαίνεται στο σχήμα A.28-τομέας4 είναι:

1. οι πυκνωτές αποσύζευξης στους ακροδέκτες τροφοδοσίας του (C26 έως C32),
2. το δικτύωμα του xchecker connector με τους αντίστοιχους βραχυκυκλωτήρες (jumpers) JP12, JP13, JP14, JP15 και JP16 που συνδέουν ή αποκόπτουν τους αντίστοιχους ακροδέκτες του FPGA από αυτόν,
3. το δικτύωμα της μνήμης PROM με τους αντίστοιχους βραχυκυκλωτήρες (jumpers) JP8, JP9, JP10 και JP11 που την συνδέουν ή την αποκόπτουν από τους αντίστοιχους ακροδέκτες του FPGA,
4. το κύκλωμα επιλογής της μεθόδου με την οποία θα γίνει ο προγραμματισμός του FPGA. Είναι το δικτύωμα των αντιστάσεων R5, R6, R7, R8, R9, R10 και των βραχυκυκλωτήρων JP2, JP3, JP4, JP5, JP6 και JP7. Όταν βραχυκυκλώνονται τα JP3, JP5, JP6 και τα JP2, JP4, JP7 μένουν ανοικτά τότε το FPGA λειτουργεί σε Master Serial Mode και το πρόγραμμα φορτώνεται από τη μνήμη PROM. Θα πρέπει ταυτόχρονα τα jumpers που σχετίζονται με το δικτύωμα της μνήμης να είναι “κλειστά” και τα jumpers του δικτύωματος του xchecker να είναι “ανοικτά”.

Στην αντίστροφη περίπτωση, το FPGA λειτουργεί σε Slave Serial Mode και το πρόγραμμα φορτώνεται από τη σειριακή θύρα του υπολογιστή μέσω του ειδικού καλωδίου xchecker connector.

Το FPGA επικοινωνεί με τον A/D converter μέσω του bus AD[0:11] από όπου δέχεται την προς αποθήκευση ψηφιακή πληροφορία. Όλα τα υπόλοιπα σήματα είναι τα σήματα που ήδη έχουν περιγραφεί στο κεφάλαιο ανάλυσης των εσωτερικών κυκλωμάτων του FPGA.

Έχει γίνει πρόβλεψη στην πλακέτα και ενός σήματος με την ονομασία MUXQ (στο pin18 του FPGA) το οποίο όμως δεν έχει υλοποιηθεί στο FPGA. Το σήμα αυτό το βγάζει ο πολυπλέκτης του DeltaStream ώστε να δηλώσει σε κάποιο άλλο DeltaStream ή κάποιο άλλο κύκλωμα ότι έχει τελειώσει την εργασία του. Έτσι λοιπόν έχει γίνει η πρόβλεψη στην πλακέτα, για μελλοντική χρήση του σήματος MUXQ σε περίπτωση που παραστεί αναγκαίο.



Αν παρατηρήσει κάποιος τους ακροδέκτες εισόδου και εξόδου του FPGA (pin-out) και τους αντιστοιχίσει με τους υπάρχοντες ακροδέκτες του FPGA στο σχηματικό διάγραμμα της πλακέτας θα διαπιστώσει ότι στο τελευταίο υπάρχουν περισσότερες διασυνδέσεις μεταξύ του FPGA και του μικροελεγκτή. Ο λόγος είναι ότι κατά την υλοποίηση του project έγιναν αρκετές αλλαγές τόσο στα specifications του FPGA (όπως ήδη έχει αναφερθεί σε προηγούμενα κεφάλαια) όσο και στη φιλοσοφία σχεδίασής του. Το αποτέλεσμα είναι να υπάρξουν επιπλέον διασυνδέσεις οι οποίες όμως δεν χρησιμοποιήθηκαν στο τελικό κύκλωμα του ROB.

- Η μνήμη PROM που χρησιμοποιήθηκε είναι η XC17128DPC. Το μειονέκτημά της είναι ότι επιδέχεται εγγραφή μόνο μία φορά. Αρχικά λοιπόν έγινε ο έλεγχος του project και μόλις αυτό έφθασε στην τελική του μορφή, προγραμματίστηκε η PROM. Με την τοποθέτησή της πάνω στην πλακέτα του ROB έγινε αντίστοιχη αλλαγή στα jumpers που ενεργοποιούν το κύκλωμά της καθώς και αντίστοιχη αλλαγή στα jumpers του mode λειτουργίας του FPGA ώστε αυτό να δουλεύει σε Slave Serial Mode.

Ο προγραμματισμός της έγινε με τη βοήθεια του προγραμματιστή superpro II της εταιρίας Xeltek όπως περιγράφεται στο παράρτημα Β.Π4.

Κύκλωμα μικροελεγκτή και διεπαφής RS232

Στο σχήμα Α.28-τομέας5 φαίνεται ο τρόπος συνδεσμολογίας του μικροελεγκτή με το FPGA και τον υπολογιστή. Επικοινωνεί με το FPGA με τρεις (3) “πόρτες” των 8-bit (P0, P1, P2) και με τους επιπλέον ακροδέκτες pin12 και pin13. Από τους ακροδέκτες pin10 και pin11, γίνεται η επικοινωνία του με το ολοκληρωμένο MAX233 [17] που είναι υπεύθυνο για την μετατροπή των λογικών σταθμών του σήματος TTL σε πρότυπο επικοινωνίας RS232. Η επικοινωνία με τη σειριακή θύρα του υπολογιστή γίνεται διαμέσω του συνδέτη DB9.

Περιφερειακοί συνδέτες (connectors) της πλακέτας

Στο σχήμα Α.28-τομέας6 φαίνονται οι συνδέτες που χρησιμοποιήθηκαν για είσοδο και έξοδο των σημάτων της πλακέτας ROB. Οι πέντε από αυτούς είναι τύπου lemo ενώ ο έκτος (P2 ER-26) είναι ένας ειδικός συνδέτης 26 γραμμών σύνδεσης υψηλής ταχύτητας μετάδοσης, μέσα από τον οποίο περνούν αμφίδρομα τα σήματα μεταξύ των πλακετών ROB και ROH.

HVB lemo connector:

συνδέτης εισόδου στην ROB υψηλής τάσης της τάξης του 1kVolt αλλά πολύ χαμηλού ρεύματος της τάξης των mA. Είναι τύπου σασί και συνδέεται απευθείας με τον 26pin connector για να διοχετεύσει την τάση στο ROH



Calibration pulse lemo connector:

Συνδέτης εισόδου σήματος βαθμονόμησης (calibration) του ολοκληρωμένου DeltaStream. Είναι τύπου lemo και συνδέεται απευθείας με τον 26pin connector για να σταλεί το σήμα εισόδου στο ROH.

Trigger Input lemo connector:

Συνδέτης εισόδου του εξωτερικού σήματος trigger που διοχετεύεται στο FPGA. Η χρήση του είναι αυτή που αναλύθηκε στις μεθόδους δειγματοληψίας mode0 και mode1 του συστήματος.

Clock Out lemo connector:

Συνδέτης εξόδου από το ROB της παραγόμενης από τον κρύσταλλο συχνότητας των 40MHz. Χρησιμοποιείται για την παρακολούθηση της παραγόμενης συχνότητας.

ADclk Out lemo connector:

Συνδέτης εξόδου από το ROB της συχνότητας λειτουργίας του συστήματος. Χρησιμοποιείται για την παρακολούθηση της προγραμματιζόμενης συχνότητας που παράγεται εσωτερικά στο FPGA και διοχετεύεται τόσο στον A/D converter όσο και στο DeltaStream της πλακέτας ROB.

P2 ER-26 connector:

Συνδέτης 26 γραμμών σε διπλή σειρά που αποσκοπεί στην επικοινωνία των πλακετών ROB και ROH. Στον πίνακα που ακολουθεί περιγράφονται τα σήματα που διοχετεύονται αμφίδρομα μεταξύ των ROB και ROH.

ΣΗΜΑ	ΠΕΡΙΓΡΑΦΗ
HVB	Γεφύρωμα υψηλής τάσης
F	Γείωση της υψηλής τάσης
cal	Παλμός βαθμονόμησης DeltaStream
+5VROh	+5Volt συμμετρική ψηφιακή τροφοδοσία για το ROH
-5VROh	-5Volt συμμετρική ψηφιακή τροφοδοσία για το ROH
GNDA	Γείωση αναλογικών κυκλωμάτων του ROH
IN	Αναλογικό σήμα από DeltaStream προς τον A/D converter
VDDA	+5Volt για τα αναλογικά κυκλώματα του ROH
VDDD	+5Volt από την ψηφιακή τροφοδοσία της πλακέτας ROB
GNDD	Γείωση των ψηφιακών κυκλωμάτων της πλακέτας ROB
MUXQ	Σήμα από Δ stream προς μελλοντική χρήση
S	Σήμα ελέγχου DeltaStream
clk	Σήμα ελέγχου DeltaStream
Re	Σήμα ελέγχου DeltaStream
HG	Σήμα ελέγχου DeltaStream
HoldN	Σήμα ελέγχου DeltaStream



A.4 ΈΛΕΓΧΟΣ ΤΗΣ ΜΟΝΑΔΑΣ ROB

Στο παρόν κεφάλαιο παρατίθενται οι έλεγχοι που έγιναν στην πλακέτα ROB για την διαπίστωση της καλής της λειτουργίας.

Το τυπωμένο κύκλωμα (layout) της πλακέτας Read Out Board σχεδιάστηκε από την εταιρία ANKO και κατασκευάστηκε από την εταιρία Alpha Circuits σε multiplayer μορφή. Κατασκευάστηκαν τέσσερα διαφορετικά επίπεδα στην πλακέτα. Ένα layer για τις τροφοδοσίες των ολοκληρωμένων (voltage layer), ένα δεύτερο layer για τις γραμμές γείωσης (ground layer) και τα υπόλοιπα δύο layers στην πάνω και κάτω όψη της πλακέτας για τις υπόλοιπες διασυνδέσεις (top and bottom layer). Η κατασκευή της πλακέτας με αυτόν τον τρόπο ενδείκνυται σε τέτοια συστήματα για ελάττωση του ground bounce στην πλακέτα. Τα τυπωμένα κυκλώματα που χρησιμοποιήθηκαν για την κατασκευή της παρατίθενται στο παράρτημα Α.Π5. Αρχικά μετρήθηκε με το πολύμετρο αν όλα τα pin τροφοδοσίας των ολοκληρωμένων συνδέονται με τις εξόδους των σταθεροποιητών τάσης.

Στη συνέχεια χρησιμοποιήθηκαν τρία διαφορετικά τροφοδοτικά συνεχούς ρεύματος LG-4303D [18] για την παροχή τάσης στο κύκλωμα. Τα δύο για την τροφοδοσία των ψηφιακών και αναλογικών κυκλωμάτων της πλακέτας ROH με συμμετρική τάση $\pm 12\text{Volt}$ και το τρίτο για την παροχή τάσης $+12\text{Volt}$ στα αναλογικά και ψηφιακά κυκλώματα της πλακέτας ROB.

Μετά την παροχή τάσης μετρήθηκαν με το πολύμετρο εκ νέου οι τιμές των τάσεων στα pin τροφοδοσίας των ολοκληρωμένων όπου βρέθηκαν όλες σωστές (δηλ. μέσα στα όρια λειτουργίας των ολοκληρωμένων). Τέλος τοποθετήθηκαν όσα υλικά τύπου DIP είχαν σχεδιαστεί να χρησιμοποιηθούν και ξεκίνησε πλέον η διαδικασία ελέγχου του FPGA και του συστήματος επικοινωνίας του μικροελεγκτή και του υπολογιστή.

Κατασκευαστικά προβλήματα που βρέθηκαν ήταν η όχι καλή συγκόλληση του connector DB9 που κάνει τη σειριακή σύνδεση με τον υπολογιστή στην πλακέτα και κάποιο πρόβλημα στον αντιστροφέα (inverter) που χρησιμοποιήθηκε στη βαθμίδα παραγωγής του clock των 40MHz του συστήματος. Και τα δύο προβλήματα λύθηκαν το ένα με επανασυγκόλληση του connector DB9 και το δεύτερο με αντικατάσταση του ολοκληρωμένου 74LS14 που ήταν ήδη κολλημένο στην πλακέτα με τη χρήση βάσης στήριξης DIP για να αποφευχθεί εκ νέου το ίδιο πρόβλημα.

Με κατάλληλη σύνδεση ενός παλμογράφου TDS684B [19] της εταιρίας Tektronix και μίας γεννήτριας παλμών 33120A [20] της εταιρίας Hewlett Packard έγιναν όλες οι μετρήσεις και παρατηρήσεις των σημάτων στην ROB κατά τους ελέγχους που ακολούθησαν. Η γεννήτρια χρησιμοποιήθηκε για να δοθεί ο εξωτερικός παλμός trigger που απαιτούν οι λειτουργίες mode0 και mode1.

Στο στάδιο του ελέγχου της καλής επικοινωνίας του υπολογιστή με τον μικροελεγκτή έγινε ο προγραμματισμός του μC και η τοποθέτησή του στην πλακέτα ROB. Με τη χρήση του προγράμματος σειριακής επικοινωνίας Comshow σε περιβάλλον MS-DOS έγινε απευθείας επικοινωνία με τον

μικροελεγκτή σε γλώσσα χαμηλού επιπέδου assembly και παρατηρήθηκε η σωστή του απόκριση.

Στο επόμενο στάδιο έγινε ο έλεγχος σωστής λειτουργίας του FPGA και του κυκλώματος (xchecker) μέσω του οποίου γίνεται το download του προγράμματος στο FPGA. Για τον έλεγχο αυτό σχεδιάστηκε ένα πολύ απλό κύκλωμα αντιστροφέα (inverter) με το πρόγραμμα της Xilinx που να αντιστρέφει το υπάρχον clock εισόδου και να το εξάγει σε διαφορετικό pin του FPGA. Επιβεβαιώθηκε με τον τρόπο αυτό, τόσο η σωστή διαδικασία του programming όσο και η σωστή λειτουργία του FPGA.

Τέλος φορτώθηκε στο FPGA το τελικό κύκλωμα

Από τον υπολογιστή (πρόγραμμα comshow) δόθηκαν οι αντίστοιχες εντολές προγραμματισμού των καταχωρητών του FPGA για διαφορετικές μεθόδους δειγματοληψίας. Με την παραγωγή εξωτερικού σήματος trigger από την παλμογεννήτρια παρατηρήθηκαν κυματομορφές εξόδου από το FPGA λίγο διαφορετικές από τις αναμενόμενες.

Μετά από μελέτη και μετρήσεις που έγιναν σε διάφορα pins του FPGA και αντιστοιχήσεις σημάτων εισόδου και εξόδου του, σε πραγματικές συνθήκες λειτουργίας, έγιναν μερικές αλλαγές στο αρχικό σχέδιο. Τα προβλήματα λύθηκαν όμως άμεσα με αλλαγή κάποιων T-flip flop (του αρχικού σχεδίου) και αντικατάστασή τους με flip flop τύπου D που είναι πιο σταθερά.

Ο αρχικός στόχος των προδιαγραφών επιτεύχθηκε και υλοποιήθηκε η παραγωγή των σημάτων ελέγχου του DeltaStream με τη σωστή τους μορφή. Στο τελικό στάδιο των ελέγχων, συνδέθηκαν οι δύο πλακέτες ROB και ROH και επιβεβαιώθηκε ότι τα σήματα που παράγει η πλακέτα ROB φθάνουν όπως ακριβώς παράγονται στα κατάλληλα pins του ολοκληρωμένου DeltaStream.

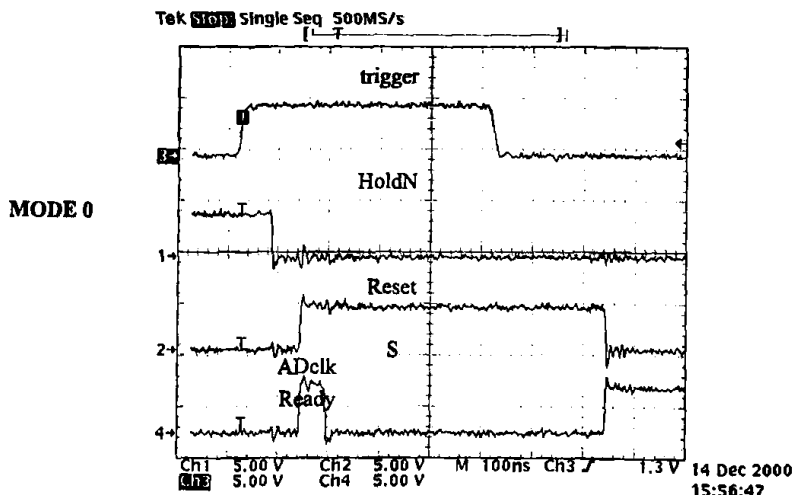
Στο κεφάλαιο που ακολουθεί φαίνονται η κυματομορφές των σημάτων αυτών όπως καταγράφηκαν από τον παλμογράφο.



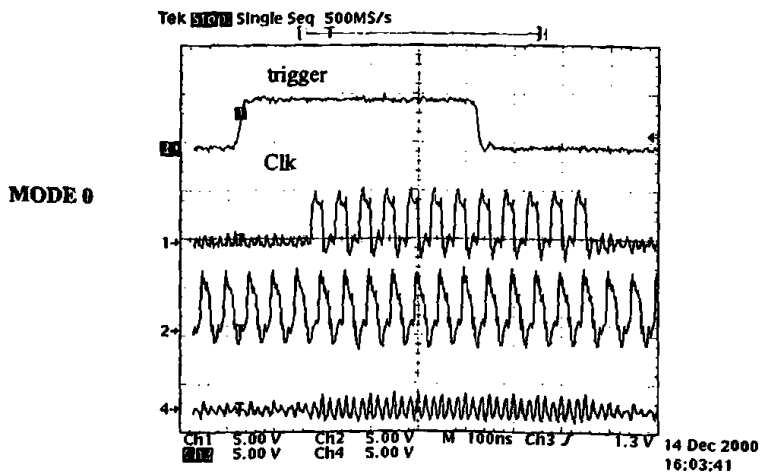
A.5 ΑΠΟΤΙΜΗΣΗ ΤΟΥ ΣΥΣΤΗΜΑΤΟΣ ROB

Πραγματοποιήθηκε ο έλεγχος του συστήματος και για τις δύο μεθόδους δειγματοληψίας **mode0**, και **mode1**. Ο παλμός σκανδαλισμού (trigger) που δόθηκε από τη γεννήτρια παλμών έχει τετραγωνική μορφή με πλάτος +5Volt και εύρος παλμού 500ns (και για τα δύο mode λειτουργίας).

Στα σχήματα A.29 και A.30 φαίνονται οι κυματομορφές (plots) από τον παλμογράφο των σημάτων ελέγχου clk, Adclk, HoldN, reset, S και ready σε χρονική συσχέτιση μεταξύ τους για τη λειτουργία σε **mode0**.

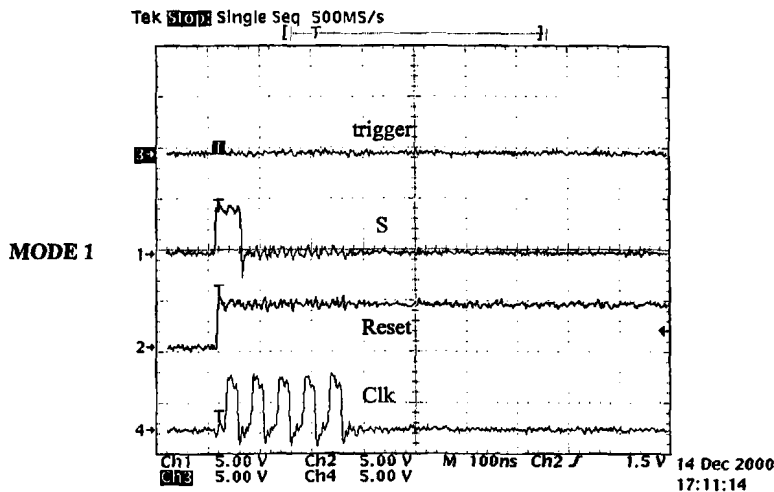


A. 29

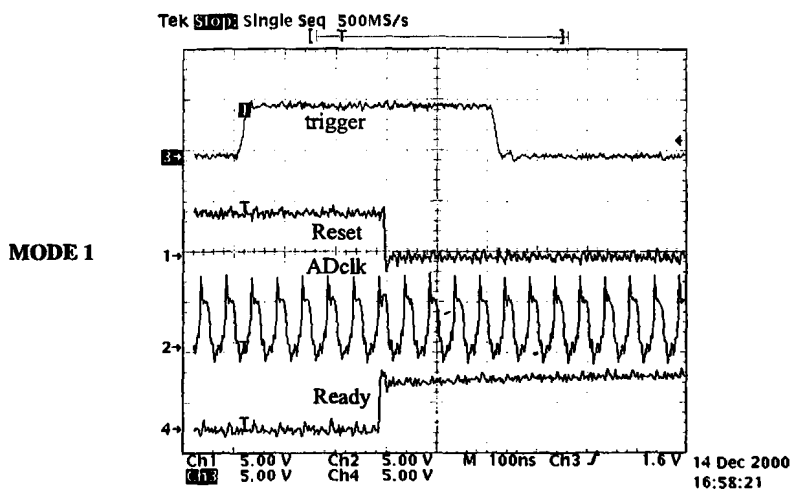


A. 30

Στα σχήματα A.31 και A.32 φαίνονται οι κυματομορφές (plots) από τον παλμογράφο των σημάτων ελέγχου clk, Adclk, HoldN, reset, S και ready σε χρονική συσχέτιση μεταξύ τους για τη λειτουργία σε mode1.



A. 32



A. 31

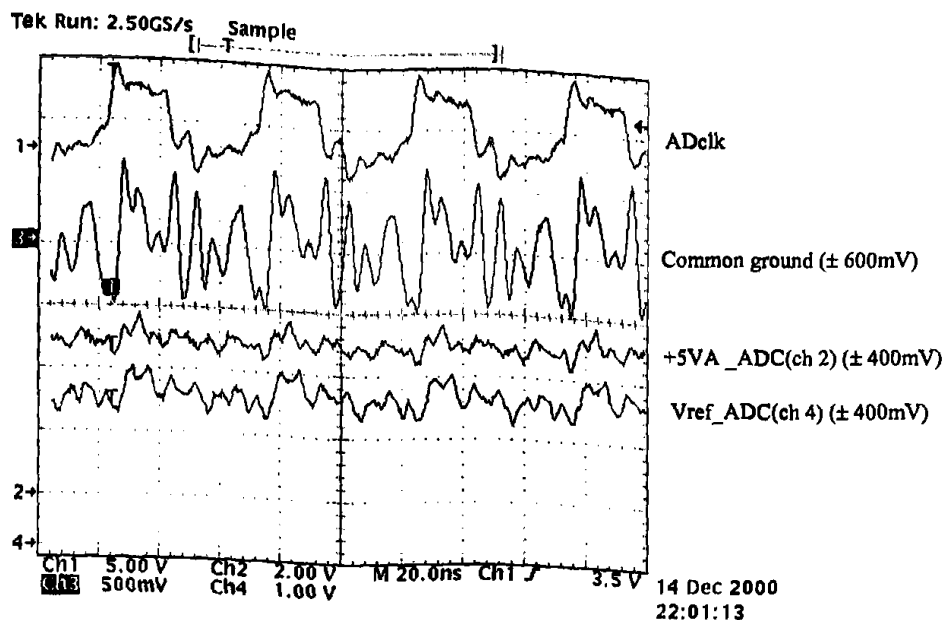
Παρατηρούμε ότι όλα τα σήματα ελέγχου παράγονται από το FPGA στη σωστή τους μορφή και με σωστή χρονική συσχέτιση. Όμως φαίνεται να υπάρχει κάποιο πρόβλημα όσον αφορά τον θόρυβο (παράσιτα) που βρίσκονται σε όλα τα σήματα.

Μια πιο προσεκτική παρατήρηση σε σήματα τροφοδοσίας, γείωσης και χρονισμού σε διάφορα σημεία του ROB μας έδωσε τις κυματομορφές των σχημάτων A.33 και A.34.

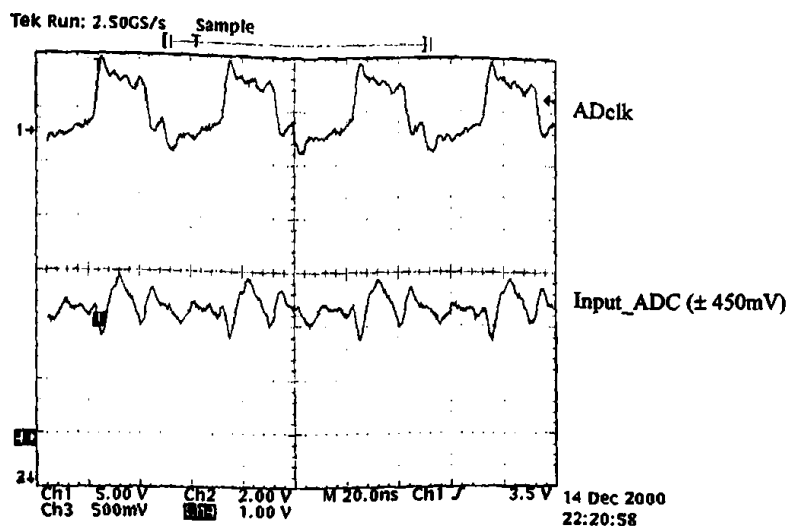
Ο θόρυβος προέρχεται κυρίως από παράσιτα που υπεισέρχονται στη γείωση και είναι περίπου της τάξης των $\pm 600\text{mV}$. Αποτέλεσμα είναι η επίδρασή του στη λειτουργία του FPGA και η μεταφορά του σε όλα τα σήματα που αυτό παράγει.

Βρέθηκε ότι ο θόρυβος προέρχεται από τη βαθμίδα του κρυστάλλου στην πλακέτα ROB που παράγει τη συχνότητα των 40MHz.





A. 33



A. 34

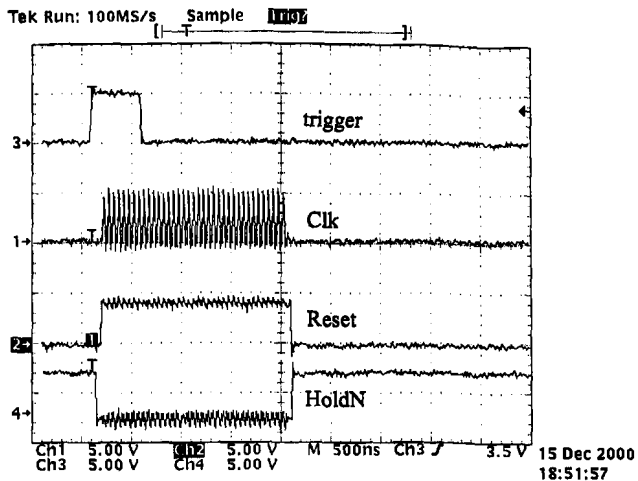
Προστέθηκε λοιπόν στο pin της γείωσης του κρυστάλλου ένας ακόμη φερίτης (1μH) για να αποκόπτονται οι αρμονικές που παράγει ο κρύσταλλος και διαμέσω των οποίων περνάει στην υπόλοιπη πλακέτα ο θόρυβος που παράγεται.

Με την μετατροπή που έγινε στο κύκλωμα, παρατηρήθηκε μείωση του θορύβου στην τάξη των περίπου 150mV.

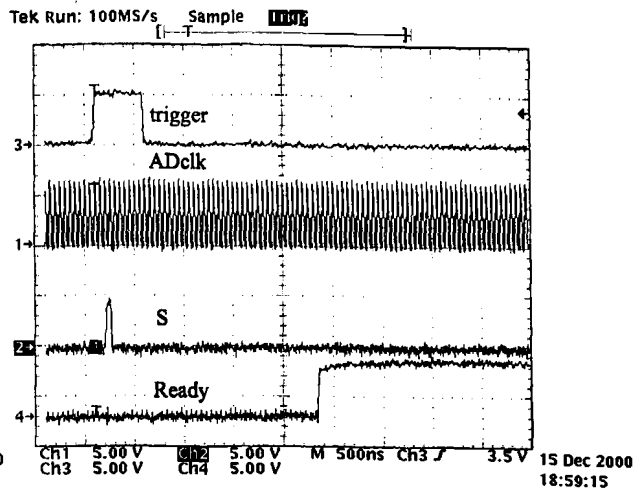
Οι κυματομορφές των σημάτων που παράγονται από το ROB και για τις δύο μεθόδους δειγματοληψίας του μικρολωριδιακού ανιχνευτή πυριτίου, βρίσκονται στα σχήματα A.35 έως A.38 και ικανοποιούν τις ανάγκες του συστήματος ROB-ROH.



Λειτουργία MODE 0

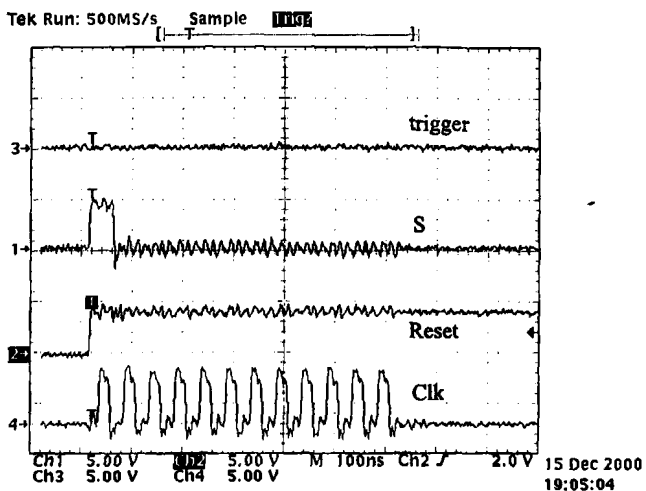


A. 35

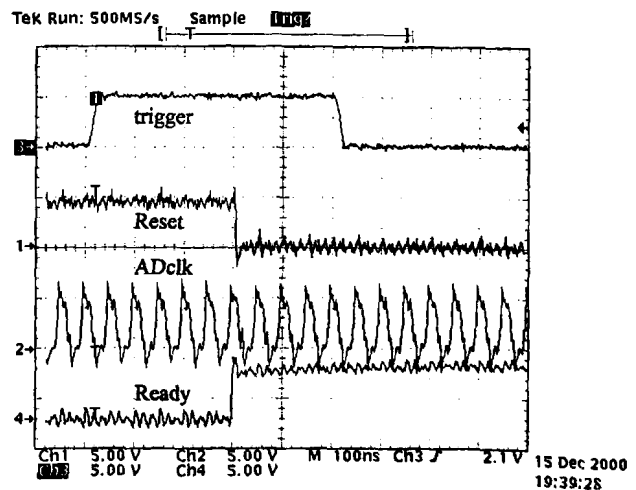


A. 36

Λειτουργία MODE 1



A. 37



A. 38

Οι έλεγχοι συνεχίσθηκαν σε πραγματικές συνθήκες (με σύνδεση αισθητήρα πυριτίου) και προέκυψε αναγκαιότητα περαιτέρω αλλαγών στο κύκλωμα του FPGA, το κύκλωμα του ROB και το κύκλωμα του ROH. Οι αλλαγές καθώς επίσης και η αποτίμηση του συστήματος σε πραγματικές συνθήκες περιγράφονται στην Διπλωματική εργασία του κ. Ν. Τζούλη [21].



ΜΕΡΟΣ Β

ΜΟΝΑΔΑ ΠΑΡΑΓΩΓΗΣ ΑΚΟΛΟΥΘΙΑΚΩΝ ΣΗΜΑΤΩΝ

ΣΚΑΝΔΑΛΙΣΜΟΥ



B.1 ΓΕΝΙΚΑ

Το δεύτερο μέρος της παρούσης εργασίας αναφέρεται στη μελέτη και κατασκευή μιας μονάδας παραγωγής ακολουθιακών παλμών σκανδαλισμού – Sequencer. Σκοπός της ανάπτυξης της συγκεκριμένης μονάδας είναι η παραγωγή προγραμματιζόμενων σημάτων trigger μικρής διάρκειας, της τάξης των nanosecond, με προγραμματιζόμενη χρονική απόσταση μεταξύ τους.

Η χρησιμότητα μιας μονάδας παραγωγής ακολουθιακών σημάτων είναι μεγάλη κυρίως για τον έλεγχο ηλεκτρονικών στοιχείων. Η συγκεκριμένη γέννητρια αναπτύχθηκε για την παραγωγή σημάτων σκανδαλισμού για πιθανή χρήση σε ένα γενικότερο σύστημα ελέγχου αισθητήρων πυριτίου.

Προδιαγραφές:

Η μονάδα που μελετήθηκε, αναπτύχθηκε και κατασκευάστηκε με τις εξής προδιαγραφές:

- πρέπει να λειτουργεί ως κάρτα slave σε διάυλο VME [22] (Versa Module Eurocard),
- ο προγραμματισμός της μονάδας να γίνεται μέσω προγράμματος γραμμένο σε περιβάλλον Labview,
- πρέπει να παράγονται τρεις (3) πανομοιότυπες παλμοσειρές trigger (EXT_TRIG) σε συγχρονισμό με εξωτερικό παλμό χρονισμού 40MHz
- η παραγωγή του trigger να γίνεται μετά από έλεγχο δύο εξωτερικών σημάτων ελέγχου,
- οι παλμοί των σημάτων EXT_TRIG να έχουν προγραμματιζόμενη διάρκεια (duration) 5-200ns με βήμα 12.5 ns,
- η διάρκεια του χρόνου μεταξύ των triggers (delay) να είναι προγραμματιζόμενη από 25 ns– 1s με βήμα 25 ns,
- ο αριθμός των παλμών από τους οποίους θα απαρτίζεται το trigger να είναι προγραμματιζόμενος από 1 μέχρι 16,
- τα σήματα εισόδου και εξόδου της κάρτας να είναι διαφορεικά (θα ακολουθούν το πρότυπο LVDS [23]) και
- να υπάρχουν δυο εξωτερικά πλήκτρα για την παραγωγή ενός μόνο παλμού EXT_TRIG προγραμματιζόμενης διάρκειας στις δύο ή τρεις εξόδους αντίστοιχα.

Η μονάδα πρόκειται να λειτουργεί ως κάρτα slave ενός διαύλου VME. Προγραμματίζεται μέσω κώδικα γραμμένου σε πρόγραμμα Labview (σε γραφικό περιβάλλον) και περιέχει εσωτερικούς registers για αποθήκευση των επιθυμητών τιμών duration και delay της παραγόμενης παλμοσειράς εξόδου (trigger).

Τα εξωτερικά σήματα εισόδου που θα ελέγχουν την παραγωγή του trigger είναι: α) το σήμα ext_enable που επιτρέπει τη διέλευση του εξωτερικού clock στο σύστημα (σήμα θετικής λογικής) και β) το σήμα ext_disable που απαγορεύει την παραγωγή νέας παλμοσειράς trigger (σήμα θετικής λογικής).

Τα σήματα εισόδου `wclk` (40MHz), `ext_enable` και `ext_disable` είναι διαφορεικά σήματα LVDS τα οποία στη συνέχεια μετατρέπονται στην κάρτα σε TTL προς εσωτερική χρήση.

Τα σήματα εξόδου (triggers), λογικού επιπέδου TTL, απαιτείται να εξέλθουν από την βαθμίδα επίσης ως διαφορεικά σήματα LVDS.

Η υλοποίηση έγινε με τη χρήση ολοκληρωμένων προγραμματιζόμενης λογικής τεχνολογίας CPLD και FPGA της εταιρίας Xilinx. Πλεονέκτημα είναι ο ελάχιστος χώρος που καταλαμβάνουν. Επιπλέον οι καθυστερήσεις που προκύπτουν στα σήματα είναι οι ελάχιστες δυνατές και επιτρέπεται αλλαγή και επέκταση της λογικής με επαναπρογραμματισμό της λογικής του ολοκληρωμένου.

Τέλος χρειάζεται να υπάρχουν δύο πλήκτρα (push buttons) τα οποία παράγουν έναν παλμό με διάρκεια (duration) προγραμματιζόμενη σύμφωνα με τις πιο πάνω προδιαγραφές. Το πρώτο button θα παράγει δύο ίδια triggers ενώ το δεύτερο θα παράγει τρία triggers με τα ίδια στοιχεία.

Το VMEbus είναι ένας τυπικός διάυλος “οπίσθιας μητρικής πλακέτας” (backplane) με τη δυνατότητα τοποθέτησης μονάδων είτε των 233.35mmx160mm (9.2"x6.3", 3U Eurocards) είτε των 100mm x 160mm (3.9"x6.3", 6U Eurocards). Οι μονάδες (κάρτες ή πλακέτες) συνδέονται στο VMEbus μέσω δύο συνδέτων 96-ακροδεκτών τύπου DIN41612.

Οι προδιαγραφές του VMEbus καθορίζονται από τα ακόλουθα πρότυπα: ANSI/IEEE Std 1014-1987 και VITA D8.1 VME64. Μερικά από τα κύρια χαρακτηριστικά του VMEbus (IEEE-1014-1987) είναι:

- Αρχιτεκτονική master/slave,
- Ασύγχρονος διάυλος (δεν χρησιμοποιούνται ρολόγια για τη μεταφορά δεδομένων),
- Μη πεπλεγμένος διάυλος,
- Περιοχή διευθυνσιοδότησης μεταξύ 16 και 32-bits,
- Διάυλος δεδομένων μεταξύ 8 και 32-bits,
- Εύρος μεταφοράς 40 Mbytes/s,
- Δυνατότητα ύπαρξης πολλών επεξεργαστών,
- Έως και 21 υποδοχές για τη διασύνδεση καρτών σε ένα backplane.

Ο διάυλος VME περιλαμβάνει τέσσερις υπο-διαύλους, οι οποίοι είναι:

- διάυλος μεταφοράς δεδομένων
- διάυλος προτεραιότητας διακοπών
- διάυλος διαιτησίας
- βοηθητικός διάυλος

Στην ανάπτυξη της γεννήτριας σημάτων σκανδαλισμού χρησιμοποιήθηκε μόνο ο διάυλος μεταφοράς δεδομένων. Ο διάυλος μεταφοράς δεδομένων αποτελείται από τις γραμμές διευθυνσιοδότησης, τις γραμμές δεδομένων και τις γραμμές ελέγχου. Χρησιμοποιείται για να μεταφέρει τα δεδομένα (8, 16 και 32bit) μεταξύ των μονάδων κατά τη διάρκεια των κανονικών κύκλων του διαύλου και από τους χειριστές των διακοπών κατά τη διάρκεια των κύκλων αναγνώρισης διακοπής.

Περισσότερες πληροφορίες για τις προδιαγραφές του VMEbus παρατίθενται στο παράρτημα Β.Π1.

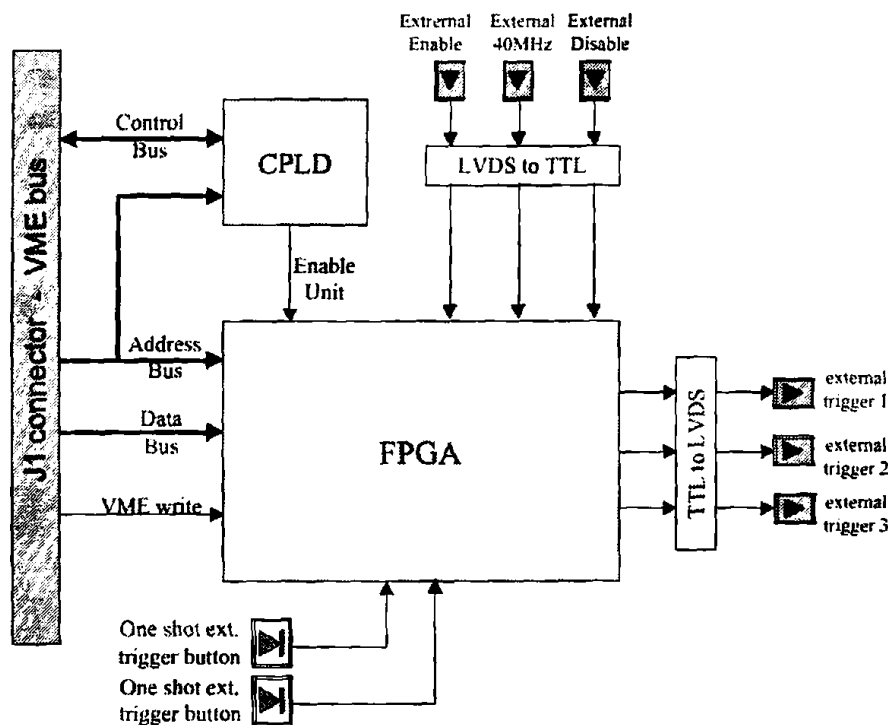


B.2 Η ΜΟΝΑΔΑ ΠΑΡΑΓΩΓΗΣ ΑΚΟΛΟΥΘΙΑΚΩΝ ΣΗΜΑΤΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Στο σχήμα B.1 φαίνεται ένα γενικό διάγραμμα της μονάδας παραγωγής παλμών σκανδαλισμού όπως αυτή ορίζεται από τις αρχικές προδιαγραφές. Η βαθμίδα χρησιμοποιεί τον συνδέτη J1 του διαύλου VME (παράρτημα B.Π1) που μεταφέρει όλα τα απαραίτητα σήματα με τη μέθοδο μεταφοράς δεδομένων Double Byte Transfer (DTB) του διαύλου.

Το εύρος του διαύλου δεδομένων που χρησιμοποιείται στη μονάδα είναι 2 bytes ή 16-bits για κάθε κύκλο εγγραφής ή ανάγνωσης ενώ το εύρος των διευθύνσεων της μονάδας είναι 24-bit (A0-A23).

Το CPLD είναι υπεύθυνο για την επικοινωνία της μονάδας με το δίαυλο VME. Όταν ο master controller του VME απαιτεί επικοινωνία με τη μονάδα και στην περιοχή των διευθύνσεών της, λαμβάνονται τα αντίστοιχα σήματα ελέγχου και το CPLD ενεργοποιεί το υπόλοιπο κύκλωμα. Τα υψηλά bits του address bus οδηγούνται στο CPLD όπου ελέγχεται αν η διεύθυνση ανήκει στη



Σχήμα B. 1: Γενικό μπλοκ διάγραμμα μονάδας παραγωγής ακολουθιακών παλμών σκανδαλισμού

μονάδα και τα χαμηλότερα bits οδηγούνται στο FPGA. Στο εσωτερικό του FPGA γίνεται αποκωδικοποίηση των διευθύνσεων που είναι αναγκαία για τη λειτουργία της μονάδας.

Το FPGA περιέχει τους καταχωρητές στους οποίους καταχωρούνται οι επιθυμητές τιμές των παραμέτρων λειτουργίας καθώς και η λογική που χρησιμοποιείται για την παραγωγή των σημάτων σκανδαλισμού.

Τα σήματα εισόδου και εξόδου της μονάδας ακολουθούν το πρότυπο LVDS.

Στη συνέχεια περιγράφεται κάθε τμήμα της μονάδας ξεχωριστά.

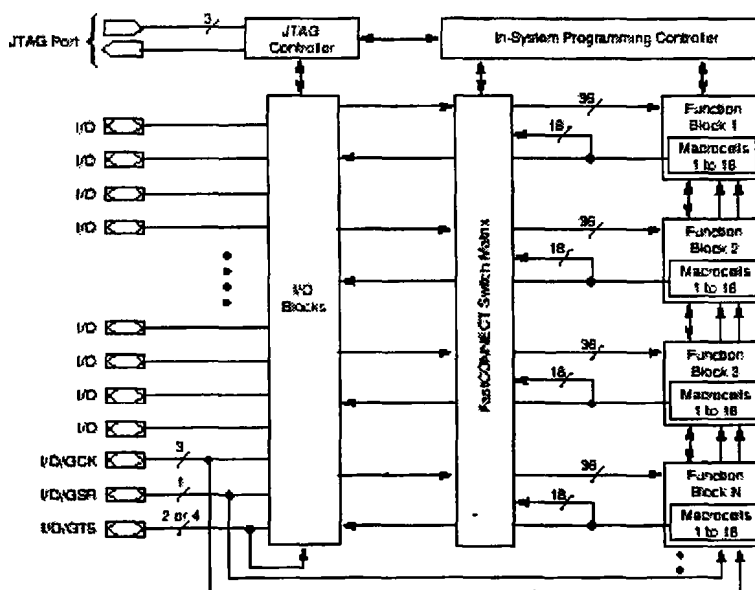
B.2.1 Ανάπτυξη κυκλώματος CPLD

Διεπαφή με το δίαυλο VME

Όπως ήδη αναφέρθηκε το ηλεκτρονικό κύκλωμα της επικοινωνίας της μονάδας με τον δίαυλο VME υλοποιήθηκε σε CPLD.

Τα CPLDs (Complex Programmable Logic Devices) αποτελούνται από function blocks (FBs) τα οποία συνδέονται μεταξύ τους μέσω διακοπών. Οι διακόπτες αυτοί είναι τρανζίστορ που ενώνονται μεταξύ δύο γραμμών σχηματίζοντας διατάξεις wired-AND κατά τη διάρκεια του προγραμματισμού του.

Η γενική δομή της αρχιτεκτονικής ενός CPLD της οικογένειας xilinx φαίνεται στο σχήμα B.2.



Σχήμα B. 2: Αρχιτεκτονική XC9500

Το CPLD που χρησιμοποιήθηκε για την υλοποίηση της διεπαφής της μονάδας με το VMEbus είναι της σειράς XC9500 και πιο συγκεκριμένα το XC9536PC44 (σε package των 44-pin) και με βαθμό ταχύτητας speed-grade=5, και η καθυστέρηση του σήματος μεταξύ δύο ακροδεκτών του είναι περίπου 5ns. Το CPLD αυτής της σειράς αποτελείται από FBs, I/O blocks και προγραμματιζόμενους διακόπτες (FastConnect switch matrix). Κάθε FB παρέχει προγραμματιζόμενη λογική με 36 εισόδους και 18 εξόδους.

Το XC9536PC44 έχει πυκνότητα 800 πυλών χρησιμοποιώντας 36 macrocells και επιτρέπει προσδιορισμό των χρησιμοποιούμενων ακροδεκτών κατά τον προγραμματισμό του. Επίσης τα I/O blocks είναι δυνατό να λειτουργήσουν είτε σε 5V είτε σε 3.3V, κάνοντας το CPLD συμβατό με συστήματα που λειτουργούν με 5 ή 3.3V.



Σχεδιασμός του κυκλώματος της διεπαφής VME σε CPLD

Η επικοινωνία της μονάδας παραγωγής παλμών σκανδαλισμού γίνεται δια μέσω του διαύλου VME. Επομένως η μονάδα καταλαμβάνει κάποιο εύρος των διευθύνσεων του διαύλου ώστε μόνο σε αυτή την περιοχή να γίνεται η μεταξύ τους επικοινωνία. Υπάρχει και η δυνατότητα αλλαγής της περιοχής αυτής από τον χρήστη ώστε να είναι πιο ευέλικτο το σύστημα σε διαφορετικά configuration του διαύλου VME.

Αυτό επιτυγχάνεται με τη χρήση μικροδιακοπών οι οποίοι ορίζουν το εύρος διευθύνσεων λειτουργίας της. Δηλαδή υπάρχει η δυνατότητα ορισμού της **βασική διεύθυνση** της μονάδας η οποία και είναι η **(600000)_{hex}**.

Προτού εξετάσουμε το κύκλωμα του CPLD είναι αναγκαίο να γίνει περιγραφή των σημάτων εισόδου και εξόδου του CPLD που χρησιμοποιούνται. Η περιγραφή γίνεται αναλυτικά στον πίνακα Β.1.

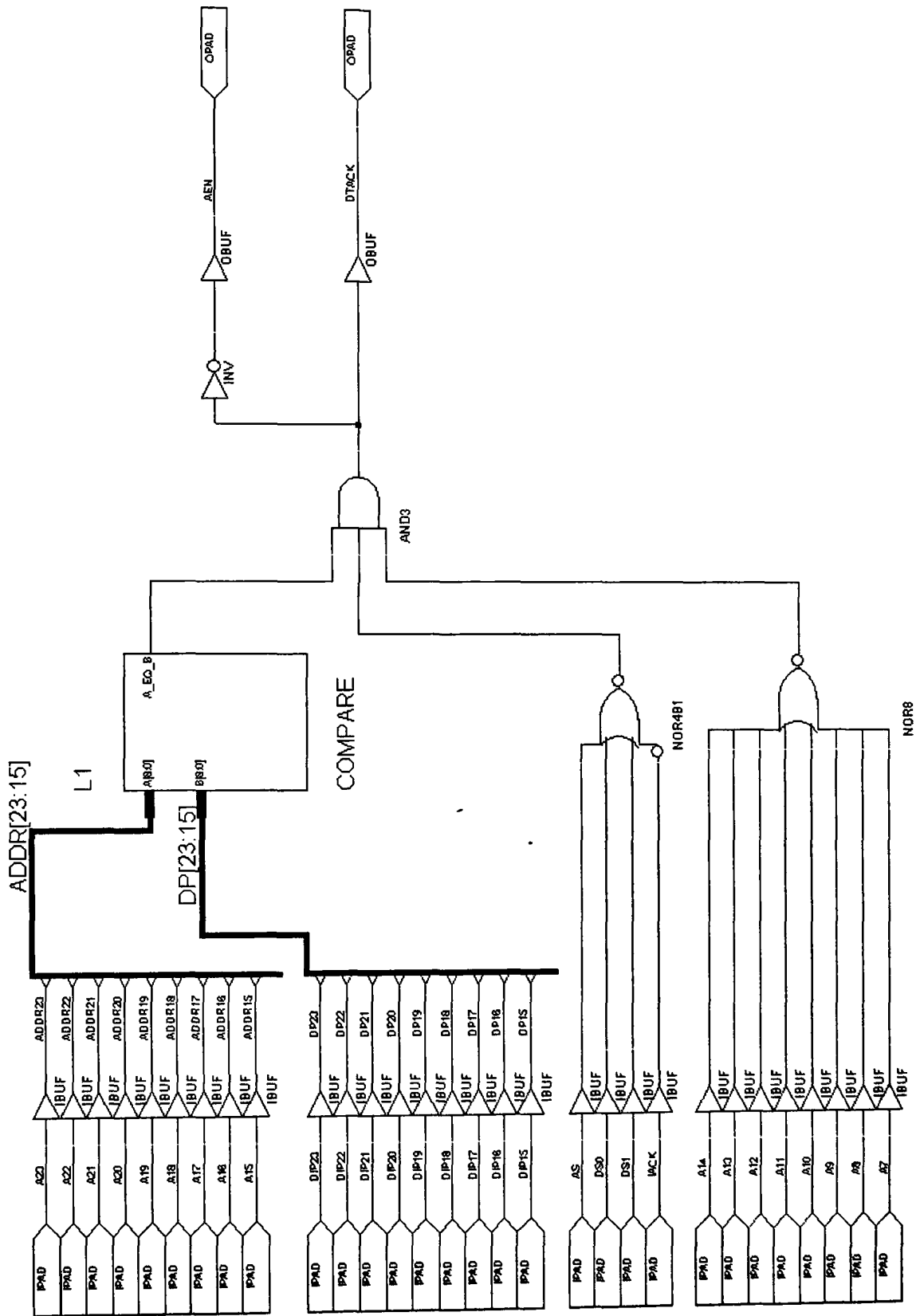
	ΠΕΡΙΓΡΑΦΗ
A7-A23	Είσοδος δίαυλου διευθύνσεων από το VME
DIP15-DIP23	Είσοδος ενδείξεων από τους μικροδιακόπτες
AS	Σήμα ύπαρξης διεύθυνσης στο VME (Address Strobe)
DS0	Πρώτο σήμα ύπαρξης δεδομένων στο data bus (data strobe 0)
DS1	Δεύτερο σήμα ύπαρξης δεδομένων στο data bus (data strobe 1)
IACK	Επιβεβαίωση διακοπής από το VME bus
AEN	Σήμα ενεργοποίησης της μονάδας (address enable)
DTACK	Σήμα επιβεβαίωσης μεταφοράς δεδομένων στη μονάδα

Πίνακας Β. 1: Σήματα εισόδου-εξόδου του CPLD

Στο σχήμα Β.3 φαίνεται το σχηματικό διάγραμμα με το οποίο έχει γίνει ο προγραμματισμός του CPLD. Τα σήματα εισόδου είναι το address bus από Α7 έως Α23, τα σήματα ελέγχου AS, DS0, DS1 και IACK καθώς και οι ενδείξεις από τους μικροδιακόπτες DIP15 έως DIP23. Για την ενεργοποίηση της μονάδας μέσω του VME, τα bits του address bus Α15 έως Α23 συγκρίνονται με τις ενδείξεις των DIP15 έως DIP23. Αν οι τιμές τους είναι όμοιες και τα Α7 έως Α14 είναι 'low' σημαίνει ότι ο master controller του VME πρόκειται να επικοινωνήσει με τη μονάδα. Με την έλευση στη συνέχεια των σημάτων ελέγχου AS='low', DS0='low', DS1='low' και IACK='high' (σύμφωνα με τις προδιαγραφές του VME), η έξοδος AEN που οδηγείται στο FPGA μεταπίπτει στο 'low' το FPGA ενεργοποιείται.

Ο δίαυλος VME είναι ασύγχρονος δίαυλος και απαιτεί, έπειτα από κάθε μεταφορά δεδομένων από ή προς κάποια μονάδα slave, κάποια ένδειξη τερματισμού της διαδικασίας μεταφοράς των δεδομένων. Το σήμα DTACK παίζει το ρόλο του συγκεκριμένου σήματος. Εφ' όσον ενεργοποιείται από πολλές μονάδες είναι σήμα active-low ανοιχτού συλλέκτη.

Για το λόγο αυτό θα πρέπει η μονάδα να αποστείλει το σήμα DTACK στον ελεγκτή ώστε να δηλωθεί ο τερματισμός του κύκλου μεταφοράς των



Σχήμα Β. 3: Ηλεκτρονικό σχέδιο CPLD

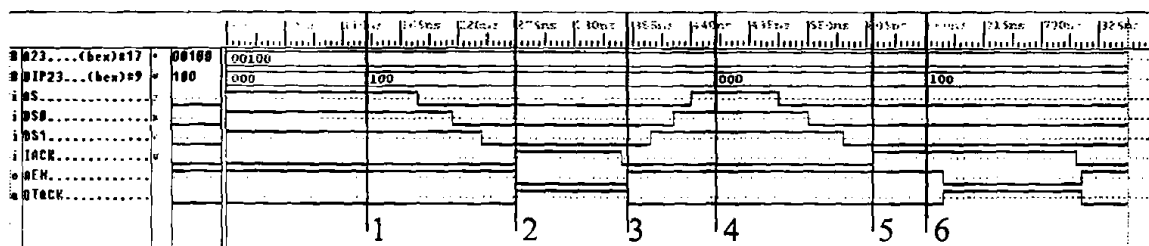
δεδομένων. Στην ουσία το σήμα αυτό (σήμα θετικής λογικής) είναι το αντίστροφο του σήματος AEN που ενεργοποιεί το υπόλοιπο κύκλωμα της μονάδας. Δηλαδή για το χρόνο στον οποίο το DTACK είναι 'low', η μονάδα είναι ενεργοποιημένη και συνεργάζεται με το VME. Στο μέτωπο ανόδου του DTACK σταματά η λειτουργία της μονάδας η οποία επαναλειτουργεί με την κάθοδο του παλμού.

Χρονική Προσομοίωση του CPLD

Στην παρούσα παράγραφο θα εξετάσουμε τον χρονικό συσχετισμό των σημάτων εισόδου και εξόδου του CPLD όπως αυτό σχεδιάστηκε. Η χρονική προσομοίωση πραγματοποιήθηκε με τη βοήθεια του προγράμματος timing simulation, που βρίσκεται ενσωματωμένο στο πακέτο Xilinx Foundation Series F3.1i με το οποίο έγινε η σχεδίαση και υλοποίηση του κυκλώματος (project).

Αναγκαίο για να γίνει η χρονική προσομοίωση του κυκλώματος, είναι πρώτα να γίνει με επιτυχία η εικονική υλοποίησή του (implementation) στον συγκεκριμένο τύπο του CPLD. Με την εκκίνηση του προγράμματος timing simulation "φορτώνονται" στη μνήμη του υπολογιστή όλες οι παράμετροι και τα αποτελέσματα του implementation ώστε να μπορέσει το πρόγραμμα να δείξει την συμπεριφορά του κυκλώματος με χρονική συσχέτιση των σημάτων που περιέχονται σε αυτό. Τα αποτελέσματα του timing simulation έχουν αρκετά μεγάλη ακρίβεια με τα πραγματικά γεγονότα.

Στα σχήματα που ακολουθούν έχουν οριστεί συγκεκριμένα σημεία που θα μας βοηθήσουν στην καλύτερη εξέταση της συμπεριφοράς του κυκλώματος στο χρόνο.



Σχήμα Β. 4: Χρονική προσομοίωση του ηλεκτρονικού σχεδίου του CPLD

Στα αριστερά του σχήματος Β.4 φαίνονται τα σήματα εισόδου και εξόδου του CPLD με τις αντίστοιχες τιμές που παίρνουν. Η είσοδος από τους μικροδιακόπτες γίνεται όμοια με αυτή των αντίστοιχων bits του address bus στο σημείο 1. Έως το σημείο 2 βλέπουμε τη διαδοχική μεταβολή των σημάτων ελέγχου AS, DS0 και DS1 χωρίς καμία μεταβολή των εξόδων AEN και DTACK. Με την ενεργοποίηση του σήματος IACK από το VMEbus (σημείο 2 – IACK='high') η κατάσταση των εξόδων αλλάζει έπειτα από 5ns περίπου. Το AEN παίρνει την τιμή '0' και ενεργοποιεί το FPGA ενώ ταυτόχρονα απελευθερώνεται από το VME το σήμα DTACK στην κάθοδο του οποίου δηλώνεται από τη μονάδα ο τερματισμός μεταφοράς των δεδομένων (σημείο 3). Έως το σημείο 4 το VME αρχικοποιεί τα σήματα ελέγχου και ετοιμάζεται

για νέο κύκλο λειτουργίας. Στο σημείο 4 γίνεται αλλαγή της ένδειξης των μικροδιακοπών (από το χρήστη) και ξεκινά νέος κύκλος λειτουργίας.

Στη συγκεκριμένη προσομοίωση ορίστηκε σαν βασική διεύθυνση της μονάδας, η $(600000)_{hex}$ και επομένως μολονότι το σήμα IACK παίρνει την τιμή '1' στο σημείο 5 δεν υπάρχει αλλαγή της εξόδου έως ότου η ένδειξη των μικροδιακοπών γίνει ίδια με την ένδειξη του address bus στο σημείο 6.

Ακροδέκτες του CPLD

Στον πίνακα που ακολουθεί (πίνακας Β.2) παρουσιάζονται όλοι οι ακροδέκτες του CPLD όπως αυτό υλοποιήθηκε. Αναφέρονται όλα τα σήματα εισόδου – εξόδου, οι ακροδέκτες τροφοδοσίας και γείωσης καθώς επίσης και οι ακροδέκτες με ειδική σημασία για τη λειτουργία του.

Με γκρι χρώμα εμφανίζονται οι ακροδέκτες που συνεργάζονται με εξωτερικά κυκλώματα προγραμματισμού του CPLD.

CPLD pin-out table					
PIN	signal	description	PIN	signal	description
1	A7	VME address bus	23	GND	
2	A14		24	DS1	VME Data Strobe1
3	A15		25	A EN	Address Enable
4	A16		26	DIP23	DIP Switches
5	A17		27	DIP22	
6	IACK	VME Interrupt Ackn.	28	DIP21	
7	A18	VME address bus	29	DIP20	
8	A19		30	TDO	programming
9	AS	VME Address Strobe	31	GND	
10	GND		32	Vcc	
11	A20	VME address bus	33	DIP19	DIP Switches
12	A21		34	DIP18	
13	A22		35	DIP17	
14	A23		36	DIP16	
15	TDI	programming	37	DIP15	
16	TMS	programming	38	A08	VME address bus
17	TCK	programming	39	A09	
18	-	-	40	A10	
19	-	-	41	Vcc	
20	DTACK	VME Data Ackn.	42	A11	VME address bus
21	Vcc		43	A12	
22	DS0	VME Data strobe0	44	A13	

select FPGA programming mode

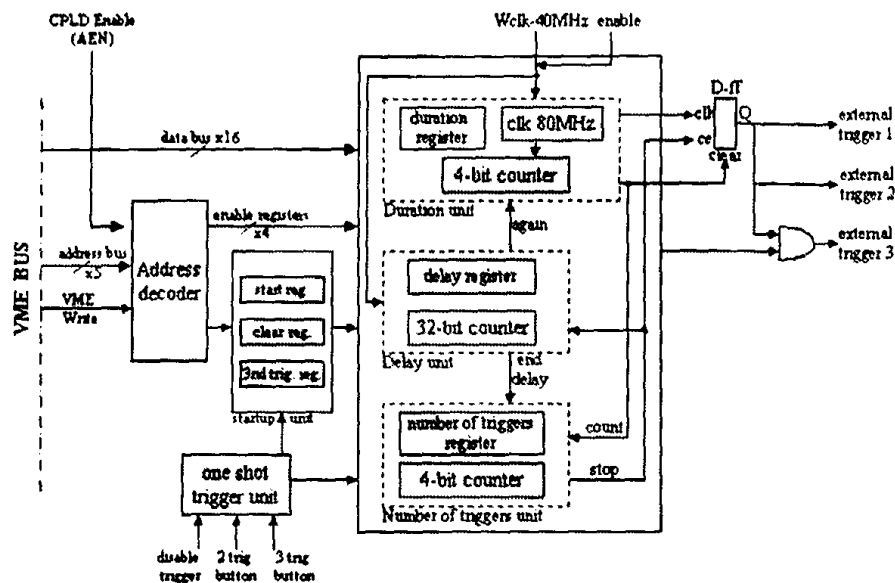
Πίνακας Β. 2: Περιγραφή ακροδεκτών CPLD



B.2.2 Κύκλωμα της μονάδας παραγωγής σημάτων σκανδαλισμού σε FPGA

- Γενικά

Το μεγαλύτερο μέρος της μονάδας παραγωγής παλμών σκανδαλισμού υλοποιήθηκε σε FPGA. Το FPGA που χρησιμοποιήθηκε είναι της σειράς 4003E της Xilinx και πιο συγκεκριμένα το XC4003EPC84 σε package των 84pin. Η φιλοσοφία σύμφωνα με την οποία έγινε ο σχεδιασμός του FPGA φαίνεται στο παρακάτω γενικό διάγραμμα (σχ. Β.5).



Σχίμα Β. 5: Γενικό διάγραμμα ηλεκτρονικού σχεδίου του FPGA

Τα χαμηλότερα bits του διαύλου διευθύνσεων του VME (A2 έως A6) δεν αποκωδικοποιούνται από το CPLD αλλά εισέρχονται στο FPGA με σκοπό να γίνει η διευθυνσιοδότηση των εσωτερικών καταχωρητών (registers) από τον αποκωδικοποιητή διευθύνσεων (address decoder). Το σήμα AEN από το CPLD είναι 'low' όταν το VME πρόκειται να απευθυνθεί στη μονάδα και επομένως ενεργοποιείται ο address decoder. Με την έλευση του σήματος VME write (active low) ενεργοποιούνται οι αντίστοιχοι registers και αποθηκεύουν την ήδη σταθεροποιημένη τιμή του διαύλου δεδομένων.

Η υπομονάδα startup είναι υπεύθυνη για την έναρξη της παραγωγής του trigger σύμφωνα με τις τιμές που έχουν αποθηκευτεί στους καταχωρητές.

Η υπομονάδα duration unit που εκτελεί τη βασική λειτουργία παραγωγής του trigger, χρονίζεται με συχνότητα $80\text{MHz} \rightarrow T=12.5\text{ns}$ που παράγεται εσωτερικά στο FPGA. Σκοπός της είναι ο έλεγχος του χρόνου duration του trigger σε βήματα των 12.5ns .

Το trigger εξόδου παράγεται από το flip flop εξόδου τύπου-D (D-ff). Η υπομονάδα duration είναι υπεύθυνη για τη δημιουργία παλμών που θέτουν την έξοδο Q του D-ff σε κατάσταση 'high' (λόγω της εισόδου CLK) ή 'low' (λόγω της εισόδου clr) για την παραγωγή των σημάτων external trigger 1 έως 3.

Η υπομονάδα delay unit είναι υπεύθυνη για τη ρύθμιση του χρόνου μεταξύ των διαδοχικών triggers σε βήματα των 25ns και χρονίζεται από τη συχνότητα των 40MHz $\rightarrow T=25ns$. Παράγει επίσης ένα εσωτερικό σήμα 'again' για το ξεκίνημα νέου κύκλου παραγωγής trigger.

Η υπομονάδα number of triggers καταγράφει τον αριθμό των παλμών που στέλνονται την είσοδο clear του flip-flop εξόδου (σήμα count). Όταν ο αριθμός των παλμών clear, φθάσει την επιθυμητή τιμή του αριθμού των παλμών του trigger τότε απενεργοποιούνται ταυτόχρονα (από το σήμα stop) το D-ff και η υπομονάδα delay οπότε και σταματά κάθε λειτουργία.

Οι τρεις υπομονάδες του FPGA, duration, delay και number of triggers χρησιμοποιούν για τη λειτουργία τους down counters οι οποίοι προτοποθετούνται στις αντίστοιχες επιθυμητές τιμές που βρίσκονται αποθηκευμένες στους καταχωρητές.

Τέλος υπάρχει και η υπομονάδα one shot trigger η οποία ελέγχει τόσο τη λογική σύμφωνα με την οποία θα παραχθεί μόνο ένας παλμός στις εξόδους external trigger, όσο και την ενεργοποίηση ή όχι της μονάδας του FPGA με βάση την τιμή του σήματος εισόδου disable trigger (active high).

Το σήμα enable δίνει την δυνατότητα στο FPGA να κάνει χρήση του εξωτερικού παλμού χρονισμού $wclk=40MHz$ εσωτερικά. Σκοπός των εισόδων 2 trig. button και 3 trig. button είναι η παραγωγή δύο (2) όμοιων external trigger 1 και 2 ή τριών όμοιων external trigger 1, 2 και 3 αντίστοιχα αλλά μόνο για την περίπτωση παραγωγής ενός μόνο παλμού στην έξοδο.

Ο πίνακας B.3 περιέχει τις διευθύνσεις των καταχωρητών στο FPGA καθώς και το εύρος τους (σε bits).

Internal Register	VME Address	Bits
Duration	600000 _{hex}	4
Delay Low	600004 _{hex}	16
Delay High	600008 _{hex}	16
Number of Triggers	60000C _{hex}	4
3nd trigger	600010 _{hex}	1
Clear	600014 _{hex}	1
Start	600018 _{hex}	1

Πίνακας B. 3: Διευθύνσεις καταχωρητών στο FPGA

Η τιμή που αποθηκεύεται στον Delay Low internal register αντιστοιχεί στα 16 λιγότερα σημαντικά bits της εισόδου του 32-bit down counter της υπομονάδας delay. Αντίστοιχα η τιμή του Delay High internal register αντιστοιχεί στα 16 περισσότερο σημαντικά bits της εισόδου του 32-bit down counter της υπομονάδας delay.

Η μονάδα παραγωγής παλμών σκανδαλισμού που εξ ορισμού παράγει δύο (2) ίδιες παλμοσειρές trigger έχει και τη δυνατότητα ενεργοποίησης της τρίτης εξόδου external trigger 3. Εάν η τιμή του καταχωρητή 3nd trigger είναι '1' τότε ενεργοποιείται η έξοδος external trigger 3.



Ηλεκτρονικό Σχέδιο FPGA

Το ηλεκτρονικό σχέδιο του FPGA εμφανίζεται στο σχ. Β.6. Σε αυτό φαίνονται όλες οι υπομονάδες που το απαρτίζουν, τα σχηματικά διαγράμματα και η αναλυτική περιγραφή των οποίων περιέχονται στο παράρτημα Β.Π3.

Ο δίαυλος εισόδου **Data[15:0]** απαρτίζεται από τα σήματα του διαύλου δεδομένων (data bus) του VME. Οδηγούνται στους αντίστοιχους καταχωρητές που βρίσκονται εσωτερικά σε κάθε υπομονάδα.

Ο δίαυλος **REG[6:0]** απαρτίζεται από τα σήματα εξόδου του αποκωδικοποιητή διευθύνσεων (decoder) που οδηγούνται στην είσοδο των αντίστοιχων καταχωρητών για την εγγραφή των δεδομένων **Data[15:0]**.

Η είσοδος **enable** αποσκοπεί στην απαγόρευση ή μη της διέλευσης του εξωτερικού clock των 40MHz στο κύκλωμα του FPGA.

Το σήμα εισόδου **disable_tr** όταν βρίσκεται σε λογική κατάσταση 'low' επιτρέπει την λειτουργία της μονάδας, ενώ στην αντίθετη περίπτωση την απαγορεύει την εγγραφή του start register ώστε να ξεκινήσει η παραγωγή νέου trigger. Επίσης ενεργοποιεί ή όχι το κύκλωμα εισόδου των σημάτων **2_triggers** και **3_triggers** που αποσκοπούν στην παραγωγή ενός μόνο παλμού στις εξόδους του trigger από το FPGA. Οι εισοδοί **2_triggers** και **3-triggers** προέρχονται από εξωτερικά push buttons που βρίσκονται στην πρόσοψη της μονάδας.

Εξωτερικά των υπομονάδων υπάρχουν 3 flip flop τύπου D (FDC) που αντιστοιχούν στους τρεις καταχωρητές εύρους 1-bit: start register, clear register και 3rd trigger register. Οι εισοδοί **2_triggers** και **3_triggers** σε συνεργασία με την είσοδο **disable_tr** τοποθετούν τα αντίστοιχα flip flop εισόδου σε κατάσταση η τιμή της οποίας ορίζει τις λειτουργίες παραγωγής one shot pulse. Η πύλη **OR (1)** στέλνει το σήμα έναρξης της λειτουργίας είτε από τον start register ή από το δικτύωμα των flip flop εισόδου των σημάτων **2_triggers** και **3_triggers**. Στην περίπτωση που απαιτείται η παραγωγή ενός παλμού εξόδου με την ενεργοποίηση του σήματος **2_triggers** ή του σήματος **3_triggers**, η έξοδος της πύλης **OR (2)** βρίσκεται σε κατάσταση 'high' και απενεργοποιεί της υπομονάδες **delay** και **tr_number** ώστε να λειτουργήσει μόνο για έναν κύκλο εργασίας η υπομονάδα **duration** και να παραχθεί ένας παλμός στην έξοδο. Τέλος η έξοδος της πύλης **OR (3)** δίνει ένδειξη αποδοχής ή μη του τρίτου παλμού trigger στην έξοδο του FPGA.

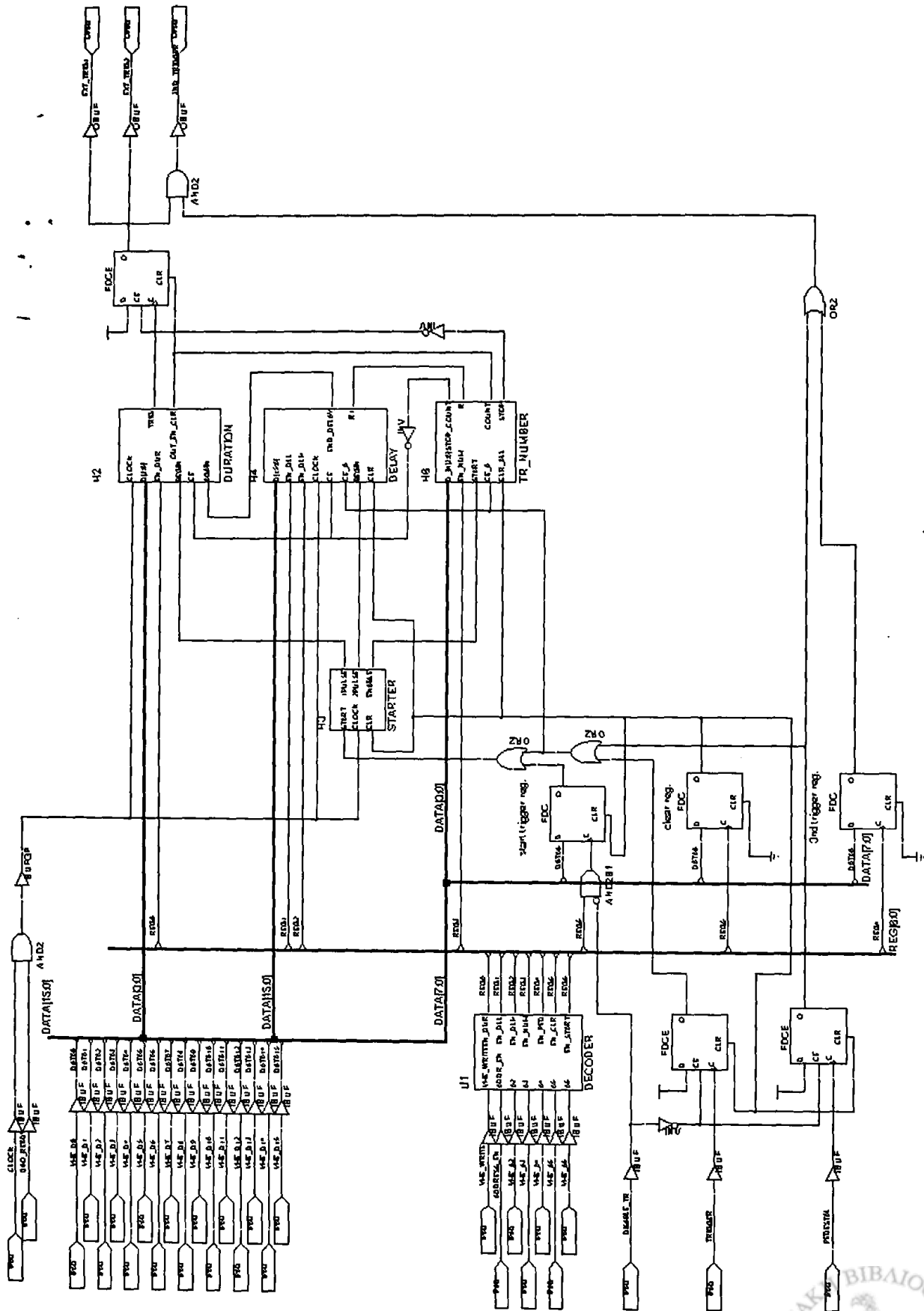
Η εκκίνηση της λειτουργίας των υπομονάδων **duration** και **delay** γίνεται από την υπομονάδα **starter** (για την παραγωγή μιας παλμοσειράς **external trigger**). Μόλις ξεκινήσει η μέτρηση του χρόνου της διάρκειας του παλμού εξόδου (**duration**) παράγεται ένας παλμός στην έξοδο **TRIG** (της μονάδας **duration**) και τοποθετείται το FDC σε λογικό 'high'. Με το πέρας της μέτρησης του χρόνου **duration** παράγεται ένας παλμός στην έξοδο **OUT_EN_CLR** (της μονάδας **duration**) και η έξοδος του FDC μεταβαίνει σε κατάσταση 'low'. Στη συνέχεια η υπομονάδα **duration** αρχικοποιείται και περιμένει την έλευση

παλμού στην είσοδο AGAIN για την επόμενη μέτρηση του αντίστοιχου χρόνου. Ο παλμός αυτός προέρχεται από την υπομονάδα delay που χρονικά παράγεται με το πέρας του χρόνου delay. Όταν η υπομονάδα tr_number μετρήσει τόσους παλμούς OUT_EN_CLR όσοι και οι επιθυμητοί παλμοί με τους οποίους έχει προγραμματιστεί, απενεργοποιεί αμέσως το flip flop εξόδου. Η απενεργοποίηση των υπολοίπων υπομονάδων συμβαίνει μετά από χρόνο 25 ns ώστε να προλάβει η υπομονάδα delay να αρχικοποιήσει τις ρυθμίσεις της.

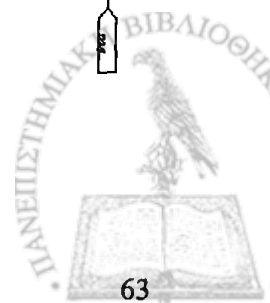
Για τη σωστή λειτουργία της μονάδας παραγωγής παλμών trigger, μετά από κάθε κύκλο λειτουργίας κατά τον οποίο παράγεται trigger θα πρέπει να δοθεί από τον χρήστη παλμός clear για να γίνει αρχικοποίηση του εσωτερικού κυκλώματος του FPGA. Ο παλμός clear αρχικοποιεί τα κυκλώματα του FPGA και μηδενίζει την ένδειξη του start register. Δεν επιφέρει όμως καμία αλλαγή στις τιμές των υπόλοιπων καταχωρητών.

Κατά τη διαδικασία αποστολής στο FPGA του παλμού clear γίνεται αρχικά εγγραφή στον clear register με την τιμή 'high' και αμέσως μετά με την τιμή 'low', δηλαδή απαιτούνται δύο διαδοχικές εγγραφές. Μετά από το clear που θα δεχτεί το FPGA είναι εφικτή η άμεση επανάληψη του trigger με τις ήδη υπάρχουσες τιμές των καταχωρητών, με μία απλή εγγραφή της τιμής '1' από το VME στον καταχωρητή που αποθηκεύει την εντολή έναρξης (start-register).





Σχήμα Β. 6: Ηλεκτρονικό σχέδιο FPGA



Υλοποίηση του FPGA

Ο προγραμματισμός του FPGA έγινε με τη βοήθεια του λογισμικού πακέτου της Xilinx, Foundation Series F3.1i όπως επίσης και η σχεδίασή του. Ο προγραμματισμός του έγινε με τον ίδιο ακριβώς τρόπο όπως και στο σύστημα του ReadOut Board που περιγράφεται στο πρώτο μέρος της παρούσης εργασίας και στο κεφάλαιο A.3.2.4.

Το σχέδιο του FPGA πέρασε από το στάδιο της υλοποίησης (implementation) με τις εξ' ορισμού παραμέτρους που δίνει το λογισμικό πακέτο αλλά μόνο με την πιο κάτω διαφοροποίηση:

στις επιλογές (options) του **implementation** έχει οριστεί η εξής παράμετρος

Place & Route Effort Level → Fastest Runtime



Ακροδέκτες του FPGA

Στον πίνακα που ακολουθεί (πίνακας Β.4) παρουσιάζονται όλοι οι ακροδέκτες του FPGA όπως αυτό υλοποιήθηκε. Αναφέρονται όλα τα σήματα εισόδου – εξόδου, οι ακροδέκτες τροφοδοσίας και γείωσης καθώς επίσης και οι ακροδέκτες με ειδική σημασία για τη λειτουργία του.

Με κίτρινο χρώμα εμφανίζονται οι ακροδέκτες που συνεργάζονται με εξωτερικά κυκλώματα επιλογής του τρόπου προγραμματισμού του FPGA.

Με γκρι χρώμα εμφανίζονται οι ακροδέκτες προγραμματισμού του FPGA.

FPGA pin-out table					
PIN	signal	description	PIN	signal	description
1	Vcc		43	Vcc	
2	Gnd		44	Disable	Disable trigger
3	VME_d0	VME data bus	45	2 triggers	2_triggers button
4	VME_d1		46	3 triggers	3_triggers button
5	VME_d2		47	-	
6	VME_d3		48	-	
7	VME_d4		49	-	
8	VME_d5		50	-	
9	VME_d6		51	-	
10	-		52	Vcc	
11	Gnd		53	DONE	programming mode
12	Vcc	54	Gnd		
13	-	55	PROGRAM	programming mode	
14	VME_d7	VME data bus	56	-	
15	VME_d8		57	-	
16	VME_d9		58	-	
17	VME_d10		59	-	
18	VME_d11		60	Ext_trigger3	3nd external trigger
19	Clock	Ext. wclk 40MHz	61	Ext_trigger1	1st external trigger
20	Enable	Enable wclk	62	Ext_trigger2	2nd external trigger
21	Vcc		63	Gnd	
22	Gnd		64	Vcc	
23	VME_d12	VME data bus	65	-	
24	VME_d13		66	-	
25	VME_d14		67	-	
26	VME_d15		68	-	
27	VME_write	VME write signal	69		
28	VME_A2	VME address bus	70	-	
29	-		71	DIN	programming mode
30	MD0	set FPGA mode	72	-	
31	Vcc		73	CCLK	programming mode
32	MD1	set FPGA mode	74	Gnd	
33	Gnd		75	-	
34	MD2	set FPGA mode	76	Vcc	

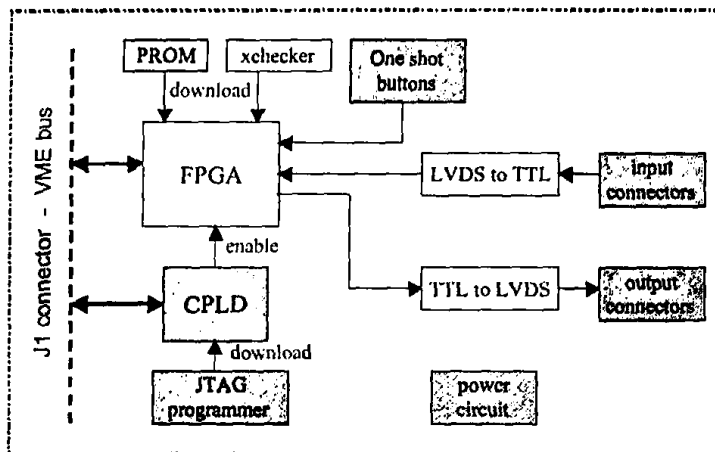
FPGA pin-out table					
35	-		77	-	
36	VME_A3	VME address bus	78	-	
37	VME_A4		79	-	
38	VME_A5		80	-	
39	VME_A6		81	-	
40	AEN		Address enable	82	-
41	INIT	programming mode	83	-	
42	Gnd		84	-	
<p>select FPGA programming mode</p> <p>FPGA pins for programming</p>					

Πίνακας Β. 4: Περιγραφή ακροδεκτών του FPGA



B.3 ΣΧΕΔΙΑΣΗ ΤΗΣ ΠΛΑΚΕΤΑΣ ΤΗΣ ΜΟΝΑΔΑΣ ΠΑΡΑΓΩΓΗΣ ΠΑΛΜΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Η σχεδίαση της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού έγινε με τη βοήθεια του σχεδιαστικού λογισμικού πακέτου της εταιρίας OrCad version 9.1 σε περιβάλλον windows. Στο σχ. B.7 φαίνεται το γενικό διάγραμμα της μονάδας παραγωγής παλμών σκανδαλισμού.

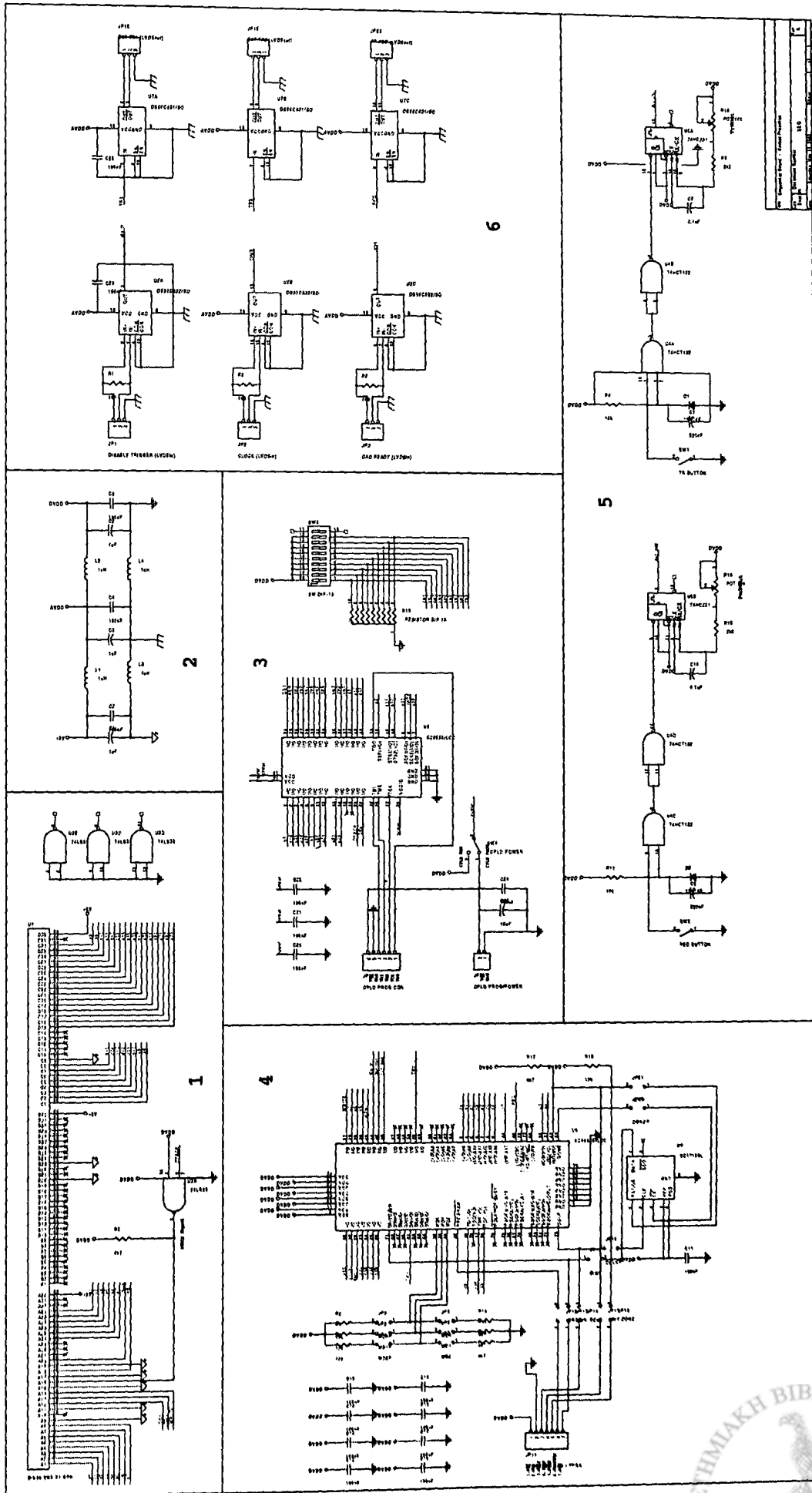


Σχήμα B. 7: Γενικό διάγραμμα της μονάδας παραγωγής παλμών σκανδαλισμού

Περιέχει:

1. τον συνδέτη (J1) επικοινωνίας της με τον δίαυλο VME,
2. ένα κύκλωμα υποστήριξης τροφοδοσίας,
3. το FPGA με τα δύο εναλλακτικά κυκλώματα προγραμματισμού του,
4. το CPLD με το κύκλωμα προγραμματισμού του,
5. τις μονάδες μετατροπής των σημάτων εισόδου και εξόδου από LVDS σε TTL και αντίστροφα και τέλος
6. τους περιφερειακούς συνδέτες (connectors) εισόδου και εξόδου

Στο σχήμα B.8 παρατίθεται το αναλυτικό σχηματικό κύκλωμα της μονάδας, όπου έχει γίνει ο διαχωρισμός του σε έξι τομείς (1 έως 6). Στη συνέχεια θα γίνει ανάλυση για κάθε τομέα ξεχωριστά ώστε να δοθούν παράλληλα και μερικές λεπτομέρειες.



Σχήμα Β. 8: Σχηματικό κύκλωμα μονάδας παραγωγής παλμών σκανδαλισμού

Συνδέτης επικοινωνίας με τον δίαυλο VME

Η επικοινωνία της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού με τον δίαυλο VME υλοποιείται μέσω του συνδέτη J1 του διαύλου VME.

Στο σχήμα B.8 – τομέας1 φαίνεται ο συνδέτης J1 μαζί με το κύκλωμα οδήγησης του σήματος DTACK. Επειδή είναι σήμα ανοιχτού συλλέκτη οδηγείται στον δίαυλο VME μέσω μιας πύλης NAND δύο εισόδων (74LS38) και με μια αντίσταση pull-up στην έξοδό της. Στο σχήμα φαίνονται επίσης όλα τα σήματα που συνδέονται στο υπόλοιπο κύκλωμα της μονάδας.

Κύκλωμα υποστήριξης τροφοδοσίας

Η μονάδα τροφοδοτείται με συνεχή τάση DC +5V από το VMEbus διαμέσω των pins A32, B32 και C32 του συνδέτη J1. Η τάση που παρέχεται είναι ήδη σταθεροποιημένη από το εσωτερικό κύκλωμα του τροφοδοτικού του συστήματος του VME. Μεταξύ των ολοκληρωμένων που περιέχει η μονάδα και των pins τροφοδοσίας του J1 παρεμβάλλεται το κύκλωμα του σχήματος B.8 – τομέας2. Από το σημείο AVDD τροφοδοτούνται τα ολοκληρωμένα μετατροπής των σημάτων LVDS σε TTL και αντίστροφα. Από το σημείο DVDD τροφοδοτούνται όλα τα υπόλοιπα ολοκληρωμένα της πλακέτας. Η χρήση των δικτυωμάτων (L-C) των φεριτών L1, L2, L3 και L4 και των πυκνωτών 100nF έχει σκοπό την αποκοπή του ανεπιθύμητου θορύβου στις τροφοδοσίες AVDD και DVDD.

Κύκλωμα διεπαφής με τον δίαυλο VME

Το κύκλωμα διεπαφής της μονάδας όπως έχει αναφερθεί υλοποιείται από το ολοκληρωμένο προγραμματιζόμενη λογική CPLD (σχ. B10 – τομέας3)

Περιέχει το CPLD (XC9536PC44), τους τρεις πυκνωτές αποσύζευξης στα pins τροφοδοσίας του, το κύκλωμα καθορισμού της διεύθυνσης λειτουργίας της μονάδας που αποτελείται από τους μικροδιακόπτες SW-DIP10 καθώς και το κύκλωμα προγραμματισμού του CPLD.

Οι μικροδιακόπτες συνδέονται στην τροφοδοσία DVDD και σε μια συστοιχία αντιστάσεων pull-down για να δοθεί στο CPLD ως είσοδος λογικό '0' ή '1'.

Στον συνδέτη JP22 συνδέεται το παράλληλο καλώδιο JTAG programmer που χρησιμοποιείται για τον προγραμματισμό του CPLD.

Στον συνδέτη JP24 εφαρμόζεται σταθεροποιημένη τάση +5V που χρησιμοποιείται κατά τον προγραμματισμό του CPLD και η πλακέτα δεν έχει τοποθετηθεί στη μητρική κάρτα του VME. Κατά τη διαδικασία του προγραμματισμού ο διακόπτης SW4 πρέπει να βρίσκεται στη θέση 1 για την παροχή της τάσεως των +5V στο CPLD. Μετά τον προγραμματισμό του CPLD

γίνεται μεταγωγή του SW4 στη θέση 2 ώστε αυτό να τροφοδοτηθεί με την τάση που παρέχει το VME crate. Στο τυπωμένο κύκλωμα που δημιουργήθηκε για την κατασκευή της πλακέτας, ο διακόπτης SW4 υλοποιείται με έναν απλό 3-pin header όπου βραχυκυκλώνονται τα αντίστοιχα pins.

Κύκλωμα FPGA με τα βοηθητικά κυκλώματα προγραμματισμού

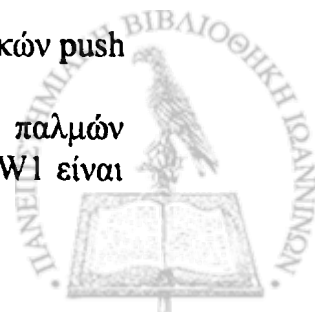
Τα μέρη του κυκλώματος του FPGA που φαίνεται στο σχ. B10 – τομέας4 είναι:

1. οι πυκνωτές αποσύζευξης στους ακροδέκτες τροφοδοσίας του C12-C19,
2. το δικτύωμα του συνδέτη xchecker connector με τους αντίστοιχους βραχυκυκλωτήρες (jumpers) JP12, JP13, JP14, JP17, JP18 που συνδέουν ή αποκόπτουν τους αντίστοιχους ακροδέκτες του FPGA,
3. το δικτύωμα της μνήμης PROM με τους αντίστοιχους βραχυκυκλωτήρες (jumpers) JP16, JP19, JP20, και JP21 που την συνδέουν ή την αποκόπτουν από τους αντίστοιχους ακροδέκτες του FPGA,
4. το κύκλωμα επιλογής της μεθόδου με την οποία θα γίνει ο προγραμματισμός του FPGA. Είναι το δικτύωμα των αντιστάσεων R6, R7, R8, R12, R13, R14 και των βραχυκυκλωτήρων JP4, JP5, JP6, JP7, JP8 και JP9 και τέλος
5. όταν βραχυκυκλώνονται τα JP7, JP8, JP9 και τα JP4, JP5, JP6 μένουν ανοικτά τότε το FPGA λειτουργεί σε Master Serial Mode και το πρόγραμμα φορτώνεται από τη μνήμη PROM. Θα πρέπει ταυτόχρονα τα jumpers που σχετίζονται με το δικτύωμα της μνήμης να είναι “κλειστά” και τα jumpers του δικτύωμάτος του xchecker να είναι “ανοικτά”.
6. Στην αντίστροφη περίπτωση, το FPGA λειτουργεί σε Slave Serial Mode και το πρόγραμμα φορτώνεται από τη σειριακή θύρα του υπολογιστή μέσω του ειδικού καλωδίου xchecker connector που συνδέεται στον συνδέτη JP11.

Η μνήμη PROM που χρησιμοποιήθηκε στην τελική φάση της υλοποίησης της πλακέτας είναι η XC17128DPC. Το μειονέκτημά της είναι ότι επιδέχεται εγγραφή μόνο μία φορά. Αρχικά λοιπόν έγινε ο έλεγχος του κυκλώματος και μόλις αυτό έφθασε στην τελική του μορφή, προγραμματίστηκε η PROM. Με την τοποθέτησή της πάνω στη μονάδα έγινε αντίστοιχη αλλαγή στα jumpers που ενεργοποιούν το κύκλωμά της καθώς και αντίστοιχη αλλαγή στα jumpers του mode λειτουργίας του FPGA ώστε αυτό να δουλεύει σε Master Serial Mode.

Κύκλωμα παραγωγής ενός παλμού σκανδαλισμού χειροκίνητα

Για την δημιουργία ενός και μόνο παλμού με τη χρήση εξωτερικών push button χρησιμοποιήθηκε το κύκλωμα του σχήματος B10 – τομέας5. Είναι δύο πανομοιότυπα κυκλώματα για τη δημιουργία δύο όμοιων παλμών από δύο διαφορετικά εξωτερικά push buttons. Το πλήκτρο (button) SW1 είναι



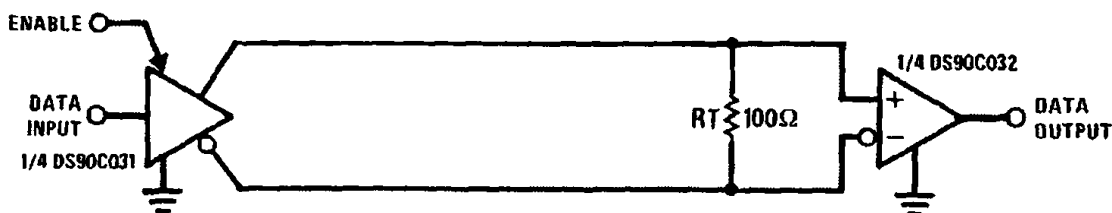
υπεύθυνο για την παραγωγή δύο όμοιων trigger, external trigger 1,2 ενώ το πλήκτρο SW2 είναι υπεύθυνο για την παραγωγή τριών όμοιων trigger, external trigger 1,2 και 3.

Το δικτύωμα των διασταυρούμενων πυλών NAND (με χρήση του 74HCT132 [24]) έχει σκοπό την παραγωγή ενός παλμού που διεγείρει την είσοδο ενός μονοσταθούς πολυδονητή με τη χρήση του 74HC221 [25]. Στο κύκλωμα του μονοσταθούς πολυδονητή έχουν συνδεθεί οι μεταβλητές αντιστάσεις R10 και R16 για να υπάρχει ευελιξία κατά τον έλεγχο του κυκλώματος. Οι μεταβλητές αυτές αντιστάσεις χρησιμοποιούνται για τη μεταβολή της διάρκειας του παλμού εξόδου από τον πολυδονητή.

Κυκλώματα μετατροπής σημάτων LVDS σε TTL και αντίστροφα

Τα σήματα που χρησιμοποιούνται εσωτερικά στη μονάδα παραγωγής παλμών σκανδαλισμού είναι σήματα λογικού επιπέδου TTL. Επιπλέον τα μεν σήματα εισόδου της μονάδας προέρχονται από άλλες διατάξεις τα δε σήματα εξόδου απευθύνονται σε κάποια άλλα συστήματα. Για το λόγο ότι η μεταφορά των σημάτων TTL από και προς άλλες εξωτερικές μονάδες δεν είναι δυνατή με τη μορφή αυτή, χρησιμοποιείται το πρότυπο IEEE 1596.3 SCI LVDS standard που παρέχει αρκετό ρεύμα σε σχέση με το TTL και σε αντίθεση με τα σήματα TTL τα σήματα LVDS είναι διαφορεικά.

Το πρότυπο LVDS (Low Voltage Differential Signaling) υποστηρίζει αξιόπιστη μεταφορά σημάτων σε απόσταση όσον αφορά το χρονισμό και το πλάτος τους. Επίσης λόγω του ότι τα σήματα είναι διαφορεικά, γίνεται ελαχιστοποίηση του θορύβου, έχει εξαιρετικά μικρή κατανάλωση ενέργειας και υψηλούς ρυθμούς ταχύτητας μετάδοσης.



Σχήμα Β. 9: Διάγραμμα εκπομπού & δέκτη σήματος με το πρότυπο LVDS

Στο σχήμα Β.9 φαίνεται ο τρόπος μεταφοράς σημάτων LVDS. Το TTL σήμα (data input) μετατρέπεται από τον εκπομπό σε διαφορικό σήμα και ο δέκτης το μετατρέπει ξανά σε επίπεδο TTL (data output). Απαραίτητος είναι ο τερματισμός της γραμμής μεταφοράς του σήματος με μια αντίσταση στην περιοχή των 100Ω που πρέπει να τοποθετηθεί όσο το δυνατόν πιο κοντά στο δέκτη. Η αντίσταση μετατρέπει το πηγαιό ρεύμα από τον εκπομπό σε τάση που ανιχνεύεται από τον δέκτη.

Η μονάδα δέχεται τρία σήματα LVDS σαν είσοδο και παράγει τρία σήματα LVDS που τα παρέχει σε εξόδους. Επομένως υλοποιήθηκαν μετατροπές σημάτων LVDS σε TTL για τις εισόδους και TTL σε LVDS για τις

εξόδους. Χρησιμοποιήθηκαν για το σκοπό αυτό δύο ολοκληρωμένα της εταιρίας National σε τεχνολογία SMT (surface mount technology). Περιέχουν στο εσωτερικό τους τέσσερις διαφορετικούς μετατροπείς σήματος που υποστηρίζουν ταχύτητα μετάδοσης σήματος μεγαλύτερη των 155.5Mbps (77.7MHz) και δέχονται σήματα εισόδου επιπέδων TTL ή CMOS τα οποία τα μετατρέπουν σε διαφορικό σήμα πολύ χαμηλής τάσης ($\pm 350\text{mV}$).

Τα ολοκληρωμένα είναι το DS90C032 [26] (LVDS Quad CMOS Differential Line Receiver) για τη μετατροπή των LVDS σημάτων εισόδου σε TTL και το DS90C031 [27] (LVDS Quad CMOS Differential Line Driver) για τη μετατροπή των TTL σημάτων εξόδου του FPGA σε LVDS.

Ο πίνακας Β.5 περιλαμβάνει τις μετατροπές που απαιτούνται στα σήματα εισόδου και εξόδου της υπομονάδας.

Όνομασία σήματος	Είδος	Είδος μετατροπής
Clock	Είσοδος	LVDS σε TTL
Disable trigger	Είσοδος	LVDS σε TTL
Enable	Είσοδος	LVDS σε TTL
Ext_trigger 1	Έξοδος	TTL σε LVDS
Ext_trigger 2	Έξοδος	TTL σε LVDS
Ext_trigger 3	Έξοδος	TTL σε LVDS

Πίνακας Β. 5

Το κύκλωμα που υλοποιήθηκε για τις μετατροπές των σημάτων εισόδου και εξόδου φαίνεται στο σχήμα Β10 – τομέαςβ.

Οι συνδέτες εισόδου και εξόδου JP1, JP2, JP3, JP10, JP15 και JP23 υλοποιήθηκαν κατά την κατασκευή της πλακέτας με απλά headers τριών ακροδεκτών.



B.4 ΈΛΕΓΧΟΣ ΜΟΝΑΔΑΣ ΠΑΡΑΓΩΓΗΣ ΑΚΟΛΟΥΘΙΑΚΩΝ ΣΗΜΑΤΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Στο παρόν κεφάλαιο παρατίθενται οι έλεγχοι που έγιναν στην μονάδα παραγωγής σημάτων σκανδαλισμού για την διαπίστωση της καλής λειτουργίας της.

Το τυπωμένο κύκλωμα (layout) της πλακέτας αφού σχεδιάστηκε, στάλθηκαν τα αντίστοιχα layouts στην εταιρία Χουρδάκης Α.Ε. η οποία και την κατασκεύασε σε μορφή δύο επιπέδων με επιμεταλλωμένες οπές. Τα τυπωμένα κυκλώματα που χρησιμοποιήθηκαν για την κατασκευή της παρατίθενται στο παράρτημα Β.Π5.

Αφού έγινε η συναρμολόγηση των εξαρτημάτων στην πλακέτα και κάποιων βάσεων DIP, έγινε ο ηλεκτρικός έλεγχος της πλακέτας. Στη συνέχεια έγινε η τοποθέτηση και ο προγραμματισμός του ολοκληρωμένου CPLD πάνω στην πλακέτα με παροχή σταθεροποιημένης τάσης +5V στον συνδέτη JP24. Ακολούθως έγινε έλεγχος της λειτουργίας του κυκλώματος του CPLD με το πρόγραμμα Labview. Πράγματι παρατηρήθηκε η σωστή απόκριση του CPLD (AEN 'high'-'low') σε μια υποτιθέμενη εγγραφή δεδομένων σε κάποιον register του FPGA (παράρτημα ΒΠ.6). Τοποθετήθηκαν τα υλικά τύπου DIP που σχετίζονται με το κύκλωμα παραγωγής one shot pulse και παρατηρήθηκε η ορθή παραγωγή παλμού με το πάτημα των αντίστοιχων push buttons. Η παρατήρηση του παλμού έγινε στο σημείο εισόδου του FPGA ώστε να επιβεβαιωθεί και η σωστή διασύνδεσή του με το FPGA. Τέλος έγινε η τοποθέτηση του FPGA σε βάση τύπου DIP και η συγκόλληση των ολοκληρωμένων SMD (Surface Mount Devices) DS90C032 και DS90C032.

Στο επόμενο στάδιο έγινε ο έλεγχος της μετατροπής των σημάτων εισόδου LVDS σε TTL από το DS90C032. Για το σκοπό αυτό κατασκευάστηκαν σε δοκιμαστική διάτρητη πλακέτα κυκλώματα παραγωγής λογικών σημάτων (TTL) '0' και '1' (για την υλοποίηση των σημάτων εισόδου enable και disable trigger) καθώς και ενός παλμού χρονισμού 40MHz επίσης επιπέδου TTL. Για την μετατροπή τους σε σήματα LVDS χρησιμοποιήθηκε μια μονάδα μετατροπής σημάτων TTL σε LVDS και αντίστροφα του εργαστηρίου Φυσικής Υψηλών Ενεργειών Παν/μίου Ιωαννίνων. Δόθηκε σε κάποιο κανάλι της σήμα TTL λογικού '0' και '1' και η αντίστοιχη LVDS έξοδος οδηγήθηκε σαν είσοδος στους συνδέτες JP1, JP2 και JP3 της μονάδας. Το σήμα TTL που μετρήθηκε στο αντίστοιχο pin του FPGA ήταν το ίδιο με το αρχικό πράγμα που επιβεβαίωσε τη σωστή λειτουργία όλων των επιμέρους μετατροπέων σήματος του ολοκληρωμένου DS90C032.

Το τελικό στάδιο αφορά τη σωστή λειτουργία του FPGA και τον προγραμματισμό του μέσω του xchecker. Τοποθετήθηκαν τα jumpers στο κύκλωμα του FPGA ώστε αυτό να λειτουργεί σε slave serial mode. Για τον έλεγχο σχεδιάστηκε ένα πολύ απλό κύκλωμα με έναν καταχωρητή 1-bit στον οποίο γίνεται εγγραφή μέσω του διαύλου VME της τιμής του bit D0 του διαύλου δεδομένων (data bus) και η απόδοση στη συνέχεια της τιμής αυτής σε κάποιο άλλο pin εξόδου του FPGA.

Διαπιστώθηκαν λοιπόν οι εξής λειτουργίες:

1. η καλή λειτουργία του FPGA,
2. η σωστή επικοινωνία ολόκληρης της μονάδας με τον δίαυλο VME και
3. ο σωστός προγραμματισμός του FPGA μέσω του κυκλώματος του xchecker.

Τέλος φορτώθηκε το κύκλωμα του FPGA του οποίου πριν είχε ελεγχθεί και προσομοιωθεί η λειτουργία του.



B.5 ΑΠΟΤΙΜΗΣΗ ΤΗΣ ΜΟΝΑΔΑΣ ΠΑΡΑΓΩΓΗΣ ΣΗΜΑΤΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Από τα βοηθητικά κυκλώματα που χρησιμοποιήθηκαν για τον έλεγχο της μονάδας παρασχέθηκαν όλα τα απαραίτητα σήματα για τη λειτουργία της. Το disable trigger σε κατάσταση 'low', το enable σε κατάσταση 'high' και ο εξωτερικός παλμός χρονισμού συχνότητας 40MHz, όλα σε μορφή LVDS.

Η μορφή του external trigger από τις τρεις διαφορετικές εξόδους του FPGA είναι ακριβώς η ίδια. Οι παρακάτω κυματομορφές που αντιστοιχούν σε μία από τις εξόδους (ext_trigger1) ισχύουν και για τις άλλες δύο (ext_trigger2 και ext_trigger3).

Η μονάδα προγραμματίστηκε με τη βοήθεια εφαρμογής Labview με τη διαδικασία που περιγράφεται στο παράρτημα Β.Π6.

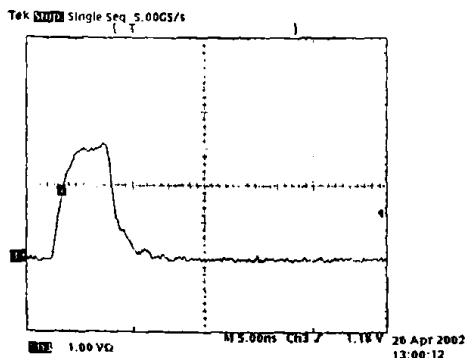
Οι μετρήσεις έγιναν με τη βοήθεια του παλμογράφου TDS684B της εταιρίας Tektronix με τη χρήση active probe για καλύτερη αποτύπωση του σήματος εξόδου. Το σήμα (trigger) που μετράμε μετά από τη διπλή μετατροπή που επιδέχεται (TTL-LVDS-TTL) η έξοδος του FPGA, είναι λογικού επιπέδου LVTTTL (low-voltage TTL). Οι αντίστοιχες λογικές στάθμες (LVTTTL) είναι:

$$\text{'high'} = '2\text{Volt}_{\min}' \text{ και } \text{'low'} = '0.8_{\max}'.$$

Η τιμή της διάρκειας και της χρονικής απόστασης μεταξύ των παλμών που αναγράφεται στα σχήματα Β.10 έως Β.24 αντιστοιχεί στη στάθμη των 2Volt (LVTTTL high). Επομένως η μέτρηση του ζητούμενου χρόνου θα γίνει στην αντίστοιχη λογική στάθμη.

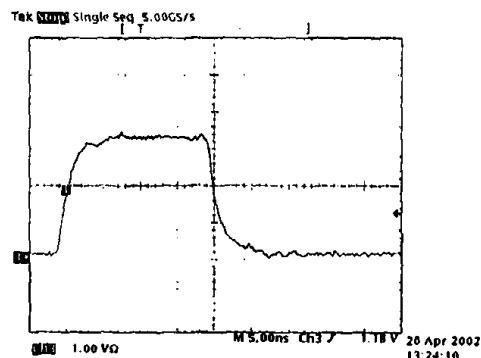
Η διάρκεια του παλμού εξόδου (duration) του trigger, για όλες τις τιμές που είναι δυνατό να πάρει ο καταχωρητής διάρκειας παλμού φαίνονται στα παρακάτω σχήματα. Για κάθε μέτρηση αναγράφονται η τιμή του καταχωρητή διάρκειας (duration register) με την ένδειξη **Data** καθώς και η μετρούμενη με τον παλμογράφο πραγματική τιμή της διάρκειας με την ένδειξη **duration**.

Η διεύθυνση VME του καταχωρητή είναι η **600000_{hex}**.



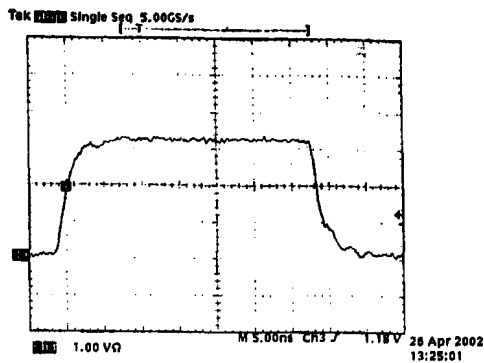
Σχήμα Β. 10

Data: 1_{hex} Duration: 7 ns



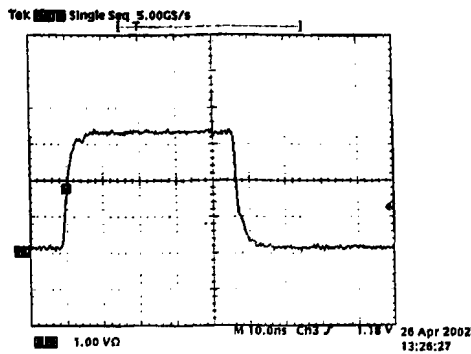
Σχήμα Β. 11

Data: 2_{hex} Duration: 20 ns



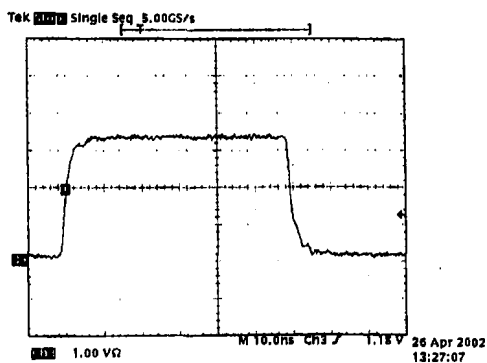
Σχήμα B. 12

Data: 3_{hex} Duration: 33 ns



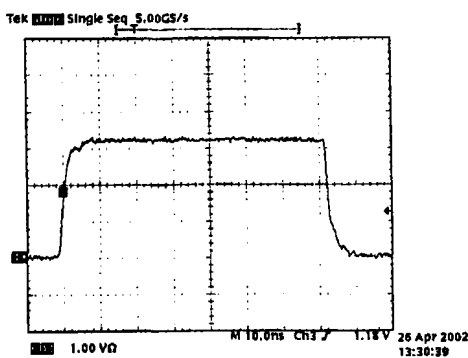
Σχήμα B. 13

Data: 4_{hex} Duration: 46 ns



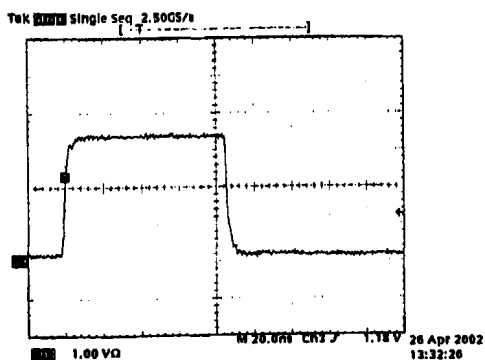
Σχήμα B. 14

Data: 5_{hex} Duration: 59 ns



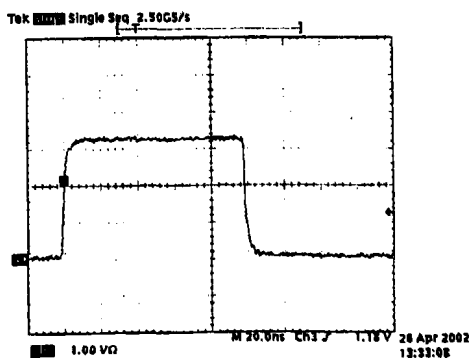
Σχήμα B. 15

Data: 6_{hex} Duration: 72 ns



Σχήμα B. 16

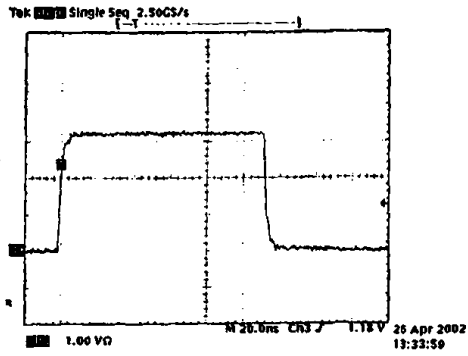
Data: 7_{hex} Duration: 85 ns



Σχήμα B. 17

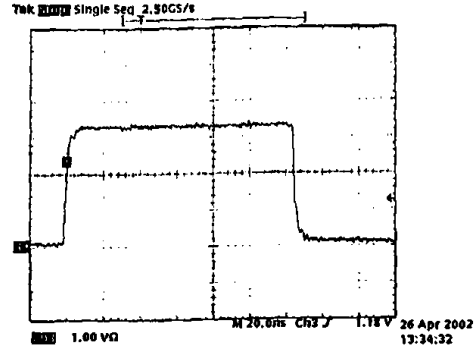
Data: 8_{hex} Duration: 98 ns





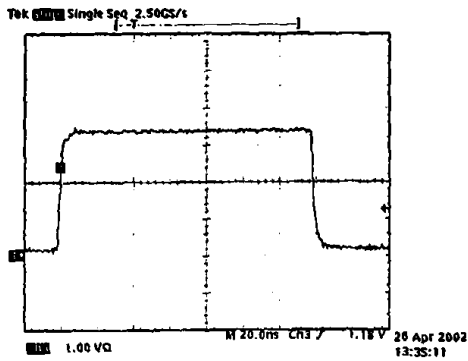
Σχήμα B. 18

Data: 9_{hex} Duration: 112 ns



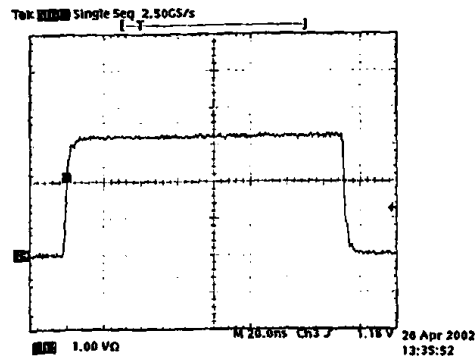
Σχήμα B. 19

Data: A_{hex} Duration: 124 ns



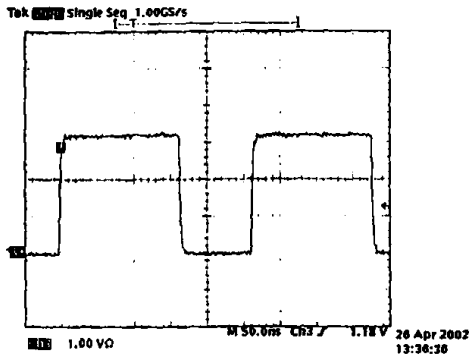
Σχήμα B. 20

Data: B_{hex} Duration: 138 ns



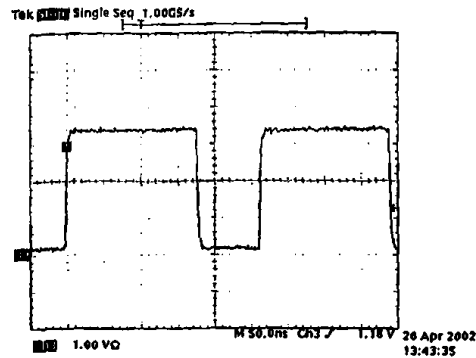
Σχήμα B. 21

Data: C_{hex} Duration: 151 ns



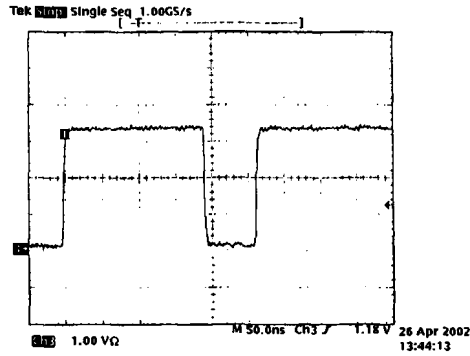
Σχήμα B. 22

Data: D_{hex} Duration: 163 ns



Σχήμα B. 23

Data: E_{hex} Duration: 176 ns



Σχήμα B. 24

Data: F_{hex} Duration: 190 ns

Από τα αποτελέσματα των μετρήσεων καταλήγουμε στο συμπέρασμα ότι η διάρκεια (duration) του παραγόμενου παλμού υπολογίζεται από τη σχέση (1).

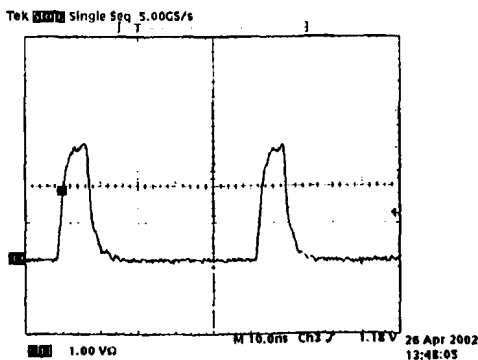
$$Duration (ns) = 7 + [13 \times (n_{10}-1)] (ns)$$

Σχέση (1)

όπου $n=1,2,\dots,14$ είναι η τιμή που αποθηκεύεται στον καταχωρητή duration του FPGA εκφραζόμενη στο δεκαδικό σύστημα αρίθμησης.

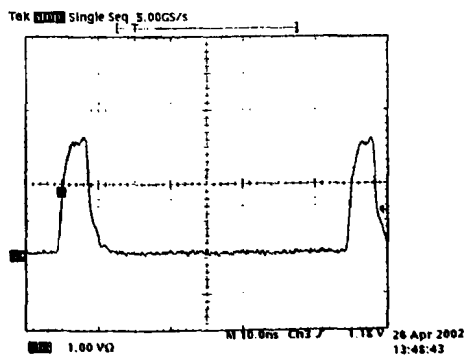
Στα σχήματα B.25 έως B.32 παρατίθενται δειγματοληπτικές μετρήσεις που έγιναν για τη μέτρηση του χρόνου μεταξύ των διαδοχικών παλμών (delay time). Για κάθε μέτρηση αναγράφονται η τιμή του καταχωρητή delay με την ένδειξη Data καθώς και η μετρούμενη με τον παλμογράφο πραγματική τιμή της καθυστέρησης με την ένδειξη delay.

Η διεύθυνση VME του 16-bit καταχωρητή `delay_low` είναι η 600004_{hex} .



Σχήμα B. 25

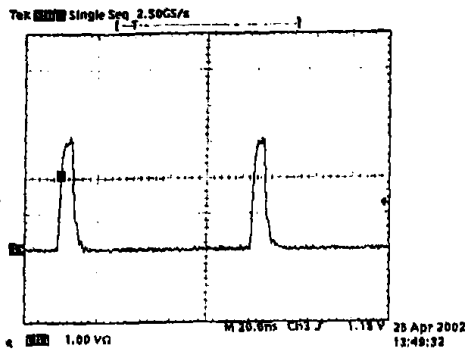
Data: 1_{hex} Delay: 52.5 ns



Σχήμα B. 26

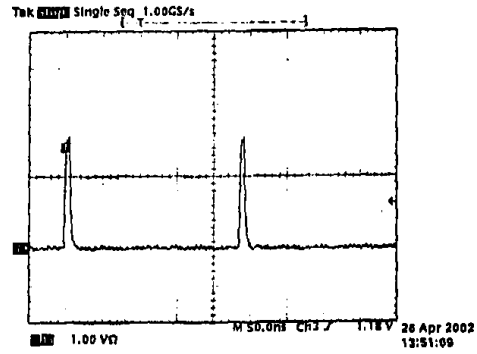
Data: 2_{hex} Delay: 80 ns





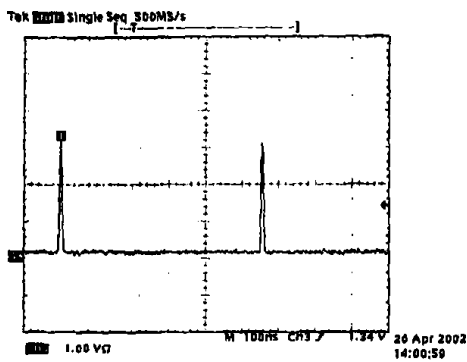
Σχήμα B. 27

Data: 3_{hex} Delay: 106 ns



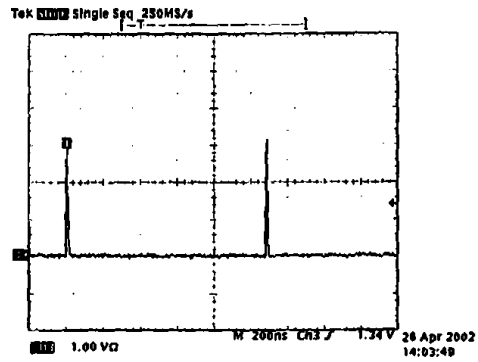
Σχήμα B. 28

Data: 7_{hex} Delay: 235 ns



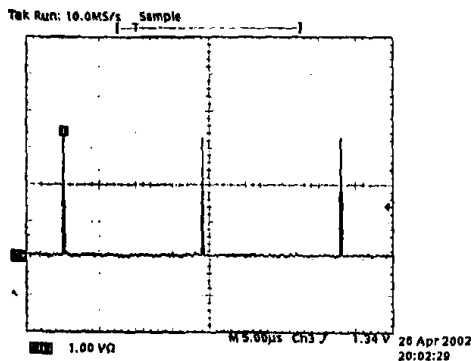
Σχήμα B. 29

Data: 14_{hex} Delay: 555 ns



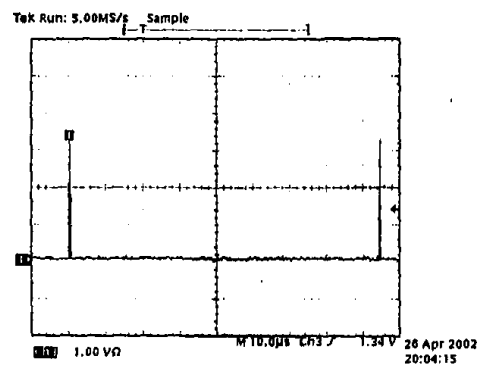
Σχήμα B. 30

Data: 29_{hex} Delay: 1.08 μs



Σχήμα B. 31

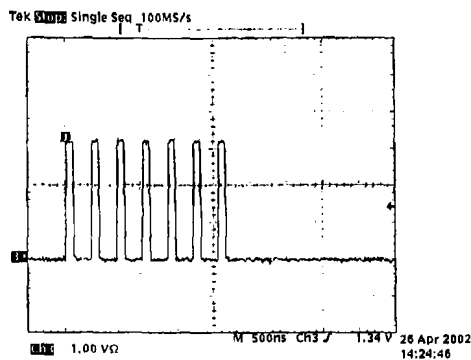
Data: 2F6_{hex} Delay: 19 μs



Σχήμα B. 32

Data: D46_{hex} Delay: 85 μs

Στο σχήμα B.33 φαίνεται ένα παράδειγμα παραγωγής επτά (7) διαδοχικών παλμών με διάρκεια 100ns και χρονική απόσταση μεταξύ τους 300ns.



Σχήμα B. 33

Data: 8_{hex} Duration: 98 ns
Data: C_{hex} Delay: 350 ns

Αποτίμηση μετρήσεων

Τιμές του delay μεγαλύτερες των 100μs δεν είναι δυνατόν να μετρηθούν με τον συγκεκριμένο παλμογράφο γιατί θα πρέπει αυτός να αποτυπώσει δύο διαδοχικά triggers με πολύ μικρό σχετικά duration value και για μεγαλύτερους χρόνους μειώνεται πολύ η δειγματοληψία του παλμογράφου (samples/sec). Παρ' όλα αυτά όμως έγιναν μετρήσεις για πολύ μεγαλύτερες τιμές του χρόνου delay με τον αναλογικό παλμογράφο Tektronix 2465A του εργαστηρίου.

Επιβεβαιώθηκε λοιπόν η σωστή λειτουργία της μονάδας σε τιμές της τάξης των millisecond (ms) αλλά δεν ήταν δυνατή η αποθήκευσή των αντίστοιχων κυματομορφών.

Βάση της λογικής σχεδίασης του ηλεκτρονικού σχεδίου που περιέχεται στο FPGA απορρέει το συμπέρασμα ότι η διάρκεια (delay) του trigger εξόδου ακολουθεί τη σχέση (2):

$$\text{Delay (ns)} = [(25 \times n_{10}) + 50] \text{ (ns)}$$

Σχέση (2)

όπου n είναι η τιμή που αποθηκεύεται στον 32-bit καταχωρητή delay του FPGA εκφραζόμενη στο δεκαδικό σύστημα αρίθμησης.

Ο χρόνος των 50ns με τον οποίο γίνεται η προσαύξηση του επιθυμητού χρόνου οφείλεται στο γεγονός ότι ο μετρητής που χρησιμοποιείται δεν προλαβαίνει να προ-τοποθετηθεί εκ' νέου με την τιμή του καταχωρητή σε χρόνο μικρότερο των 25ns.

Από τα αποτελέσματα των μετρήσεων καταλήγουμε στο συμπέρασμα ότι η πραγματική διάρκεια (delay) του παραγόμενου παλμού είναι διάφορη της αναμενόμενης τιμής λόγω των εσωτερικών χρονο-καθυστερήσεων των σημάτων.



Ο χρόνος delay time είναι δυνατό να υπολογιστεί κατά προσέγγιση από τη σχέση (3):

$$\text{Delay (ns)} = [(25 \times n_{10}) + 50] + (\approx 10,15) \text{ (ns)}$$

Σχέση(3)

όπου n είναι η τιμή που αποθηκεύεται στον 32-bit καταχωρητή delay του FPGA εκφραζόμενη στο δεκαδικό σύστημα αρίθμησης.

ΣΗΜΑΝΤΙΚΟ να τονιστούν είναι και κάποιες λειτουργικές ιδιαιτερότητες της μονάδας που είναι οι εξής:

Στην περίπτωση που παράγονται triggers με συγκεκριμένο αριθμό παλμών, για την παραγωγή νέου trigger απαιτείται να δοθεί στο FPGA παλμός clear από το VMEbus.

Αν ο καταχωρητής του FPGA *tr_number* προγραμματιστεί με την τιμή $0_{10}=0_{\text{hex}}$ τότε το FPGA παίζει το ρόλο γεννήτριας συνεχόμενης ακολουθίας παλμών προγραμματιζόμενων χρόνων *duration* και *delay*. Αυτό συμβαίνει γιατί δεν πρόκειται ποτέ να υπάρξει σήμα απενεργοποίησης των υπομονάδων του FPGA (που προέρχεται από την υπομονάδα *tr_number*) και υπομονάδες *duration* και *delay* λειτουργούν χωρίς διακοπή.

Αν η μονάδα λειτουργεί ως γεννήτρια συνεχόμενου trigger, είναι εφικτή η άμεση αλλαγή των χρόνων *duration* και *delay* κατά την λειτουργία παραγωγής του trigger. Με τον εκ νέου προγραμματισμό των αντίστοιχων καταχωρητών οι μετρητές που είναι υπεύθυνοι για την μέτρηση των χρόνων προ-τοποθετούνται άμεσα με τις νέες τιμές (των καταχωρητών) και το παραγόμενο trigger αλλάζει αμέσως μορφή.

ΑΝΑΦΟΡΕΣ

- [1] "CMS, The Compact Muon Solenoid, Technical Proposal",
CERN/LHCC 94 – 38 Geneva, 1994
- [2] LHC. <http://lhc.web.cern.ch/lhc>
- [3] CMS-ECAL TDR
Preshower. <http://cmsdoc.cern.ch/cms/TDR/ECAL/ref/C7.pdf>
- [4] Anna Peisert, "Instrumentation in High Energy Physics – Silicon Microstrip Detectors",
Istituto Nazionale di Fisica Nucleare, Sezione di Padova, 1992
- [5] "Xilinx Configuration PROMs"
<http://direct.xilinx.com/partinfo/ds027.pdf>
- [6] Kenneth Ayala, "The 8051 Microcontroller – Architecture, Programming and Applications", West Publishing Company, 1991
- [7] "12-Bit, 41MSPS Monolithic A/D Converter AD9042"
Analog Devices Inc., 1996. <http://www.analog.com>
- [8] "The Programmable Logic Data Book"
Xilinx, 1999
- [9] Christopher Strangio, "Data Communications Basics – A Brief Introduction to Digital Data Transfer", CAMI Research Inc., Massachusetts, 1997,
<http://www.camiresearch.com>
Christopher Strangio, "The RS232 Standard – A Tutorial with Signal Names and Definitions", CAMI Research Inc., Massachusetts, 1997
<http://www.camiresearch.com>
- [10] Kenneth Ayala, "The 8051 Microcontroller – Architecture, Programming and Applications", West Publishing Company, 1991
Βασίλης Χριστοφιλάκης, Λογισμικό για τον μικροελεγκτή, 2000
- [11] Universal Programmer. <http://www.xeltek.com>
- [12] "LabVIEW User Manual", National Instruments, 1998
"technical Seminar Series" National Instruments
LabVIEW Proven Productivity – December 1997 Edition
- [13] "OrCAD User Manual"
"OrCAD Capture User's Guide" for windows
"OrCAD Layout User's Guide" for windows
- [14] Regulator 7805. <http://www.us.st.com/stonline/books/pdf/docs/2146.pdf>
- [15] Regulator 7905. <http://www.us.st.com/stonline/books/pdf/docs/2149.pdf>
- [16] John Kershaw, "Digital Electronics, Logic and Systems"
Delmar Publishers Inc., 3rd edition, 1988
Κ. Καρούμπαλου, "Εισαγωγή στη Θεωρία Θορύβου και Εφαρμογές"
Εκδόσεις Πανεπιστημίου Αθηνών, Αθήνα, 1990

- [17] "MAX233: +5V-powered, multichannel RS232 Driver/Receiver"
Maxim. <http://www.maxim-ic.com>
- [18] Power Supply LG 4303D
<http://www.testequipmentdepot.com/goldstar/powersup.htm>
- [19] "Oscilloscope Tektronix TDS684B" <http://www.tek.com>
- [20] "Generator Hewlett Packard 33120A". <http://www.tm.agilent.com>
- [21] Ν. Γ. Τζούλης, "Σύστημα καταγραφής και απεικόνισης ηλεκτρικών σημάτων από τον μικρολωριδιακό αισθητήρα πυριτίου του ανιχνευτή Preshower"
Μεταπτυχιακή Διπλωματική Εργασία Ε.Φ.Υ.Ε. Παν/μιου Ιωαννίνων, 2001
- [22] "VMEbus Specification Manual", Revision C.1 October 1985 (Second printing)
Τσαγκούριας Κ. Νικόλαος, "Ανάπτυξη μονάδας VME για την παραγωγή σημάτων ρύθμισης στο σύστημα ανάγνωσης, μικρολωριδιακών ανιχνευτών πυριτίου",
Μεταπτυχιακή Διπλωματική Εργασία Ε.Φ.Υ.Ε. Παν/μιου Ιωαννίνων, 2001
- [23] "Application Note, An Overview of LVDS Technology", National Corporation
<http://www.national.com/an/AN/AN-971.pdf>
- [24] "74HCT132: Quad 2-Input NAND Schmitt Trigger"
http://support.tandy.com/support_supplies/doc14/14811.htm
- [25] "Digital Electronics Logic and Systems" Third Edition
John D. Kershaw, CALCOMP Display Products Division formerly of West Virginia Northern Community College
"Designers Encyclopedia of One-Shots"
<http://www.fairchildsemi.com/apnotes/>
<http://www.fairchildsemi.com/an/AN/AN-366.pdf>
"74VHC221A" Dual Non-Retriggerable Monostable Multivibrator"
<http://www.fairchildsemi.com>
<http://www.fairchildsemi.com/pf/74/74VHC221A.html>
- [26] "DS90C032: LVDS Quad CMOS Differential Line Receiver"
<http://www.national.com/pf/DS/DS90C032.html>
- [27] "DS90C031: LVDS Quad CMOS Differential Line Driver"
<http://www.national.com/pf/DS/DS90C031.html>
- [28] "Measurement and Automation Software" National Instruments"
<http://zone.ni.com/devzone/devzone.nsf/webcategories/4F40E451C90E20F686256A960072518B?opendocument>
<http://www.ni.com/devzone/libraries/>



ΕΡΓΑ ΠΡΟΤΥΠΟΥ

ΠΑΡΑΡΤΗΜΑ Α

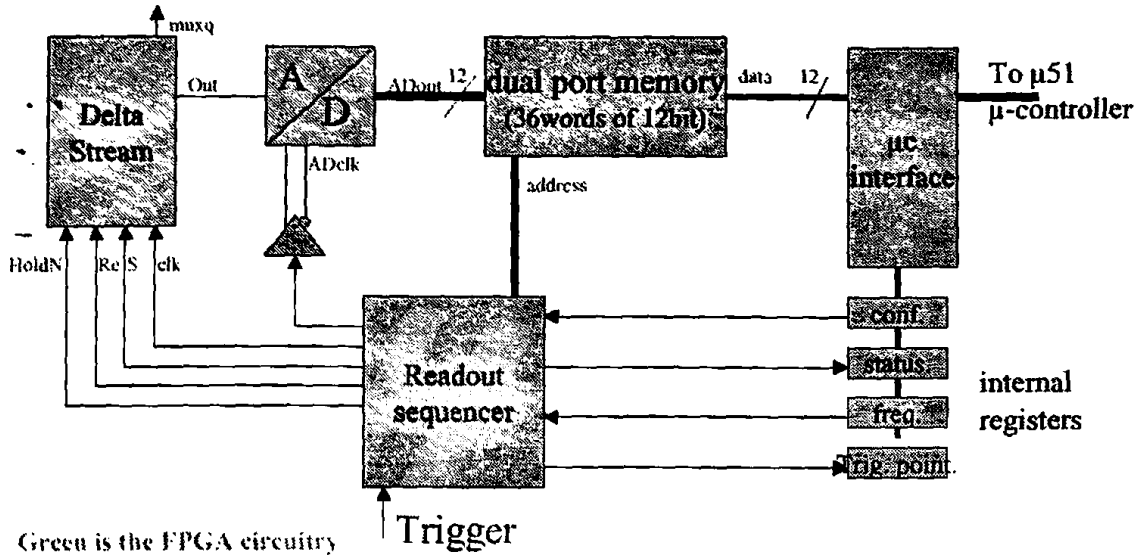
Το παρόν Παράρτημα Α περιλαμβάνει τα κείμενα των εργαζομένων που έχουν υποβάλει αίτηση για την απόκτηση του τίτλου του Εργαζομένου Προτύπου. Τα κείμενα αυτά είναι:

- 1. Η δήλωση του ενδιαφέροντος.
- 2. Η βιογραφική σημειώση.
- 3. Η δήλωση της επιθυμίας να υποβάλει αίτηση για την απόκτηση του τίτλου του Εργαζομένου Προτύπου.
- 4. Η δήλωση της επιθυμίας να υποβάλει αίτηση για την απόκτηση του τίτλου του Εργαζομένου Προτύπου.



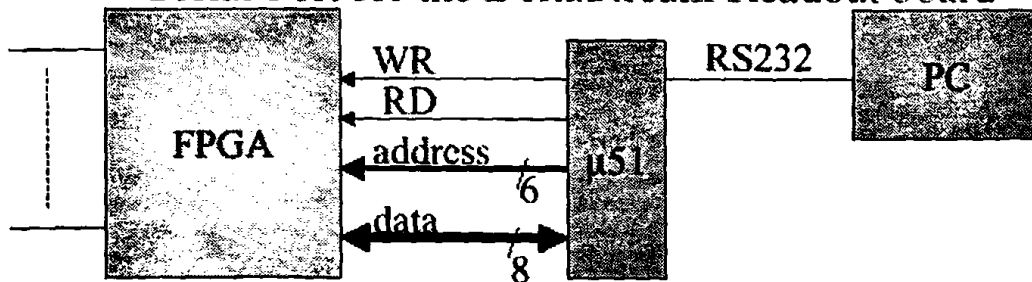
A.III ROB SPECIFICATIONS DELTASTREAM READOUT PRELIMINARY SPECIFICATIONS

FPGA block diagram



Σχήμα ΑΠ. 1

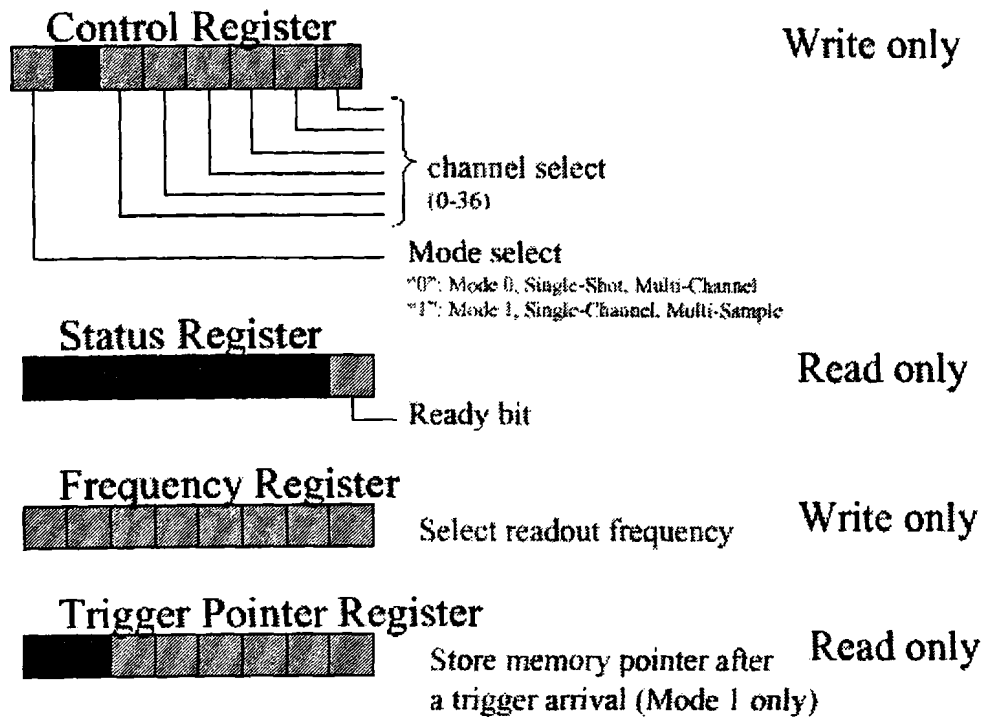
Serial Port for the DeltaStream Readout board



1. The FPGA controls the readout sequence of the DeltaStream chip.
2. The acquired data at the end of a readout cycle will be kept on registers residing in the FPGA.
3. The FPGA will also have a small number of status and control registers.
4. The microcontroller should be capable of addressing up to 64 registers with Read/Write access.
5. The task of the microcontroller will be only to provide the means of serial communication access from a PC computer to the registers residing in the FPGA.
6. The interface between the microcontroller and the FPGA consists of 8-bit bi-directional data lines, 6-bit address lines and two control lines to indicate the read and write operations.
7. The PC user/programmer should be provided with two commands: a write command and a read command in order to access the FPGA registers

Σχήμα ΑΠ. 2

FPGA Internal Registers



Σχήμα ΑΠ. 3

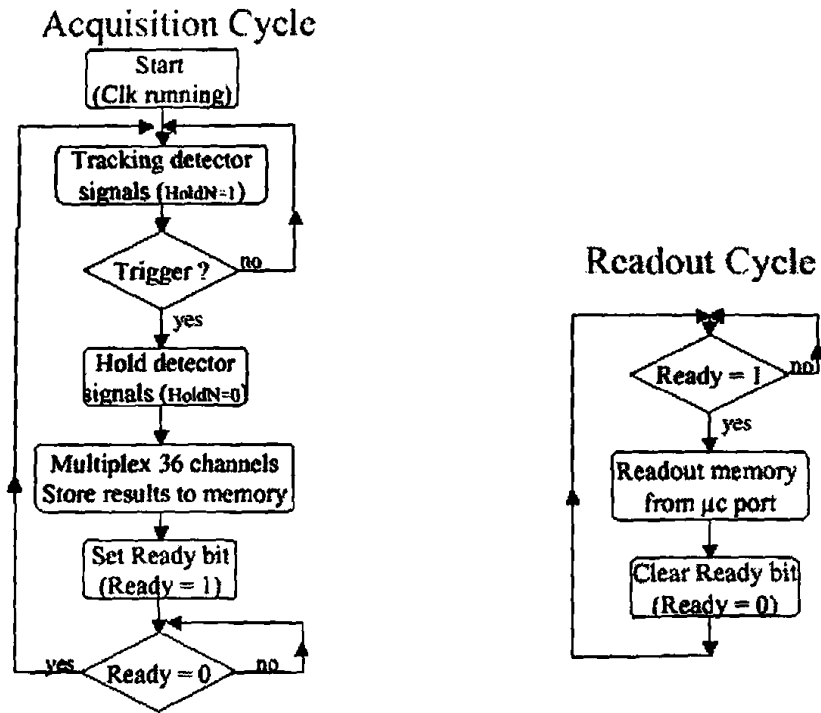
Modes of operation

- **Mode 0: Single-Shot, Multi-Channel mode**
 - In this mode the system takes a "snapshot" of the 36 channels upon the arrival of a trigger pulse. Normally the "track & hold" unit on the DeltaStream chip is in the "track" mode. When a trigger pulse is issued it is changed over to the "hold" mode. Then a sequence starts which will multiplex the analog values stored in the 36 channels digitize them one-by-one and store the values in the FPGA memory. When this sequence is finished the "Ready" bit in the "Status Register" will be set. The μ -controller monitors this bit and starts a full memory readout when found set. The data are transferred to the PC via the RS232 and displayed on an oscilloscope like window. The possibility of storing the data in a file should be provided also.
- **Mode 1: Single-Channel, Multi-Sample mode**
 - In this mode the user selects a specific detector channel to acquire data from. This is done by strobing-in the DeltaStream "Clk" line a number of clock pulses equal to the number of the channel that has to be selected. After that the "Clk", "Re" and "S" line should remain quiet. The "track & hold" unit on the DeltaStream chip should be set in the "track" mode. Then a sequence starts which stores the data coming out from the ADC to the FPGA memory. These data correspond to the digitized value of the analog signal of the selected detector channel. In this mode the memory should work in a pipelined operation. This means that when the memory pointer reaches the end it should roll back to the beginning (like having connected to the address lines of the memory a counter that overruns). When a trigger pulse is issued then the the sample currently processes and one more are stored to the memory and the sampling stops. The pointer of the memory is saved in the "Trigger Pointer Register" and the "Ready" bit in the "Status Register" is set. The μ -controller monitors this bit and starts a full memory readout when found set. The data are transferred to the PC via the RS232 and displayed on an oscilloscope like window. The possibility of storing the data in a file should be provided also.

Σχήμα ΑΠ. 4

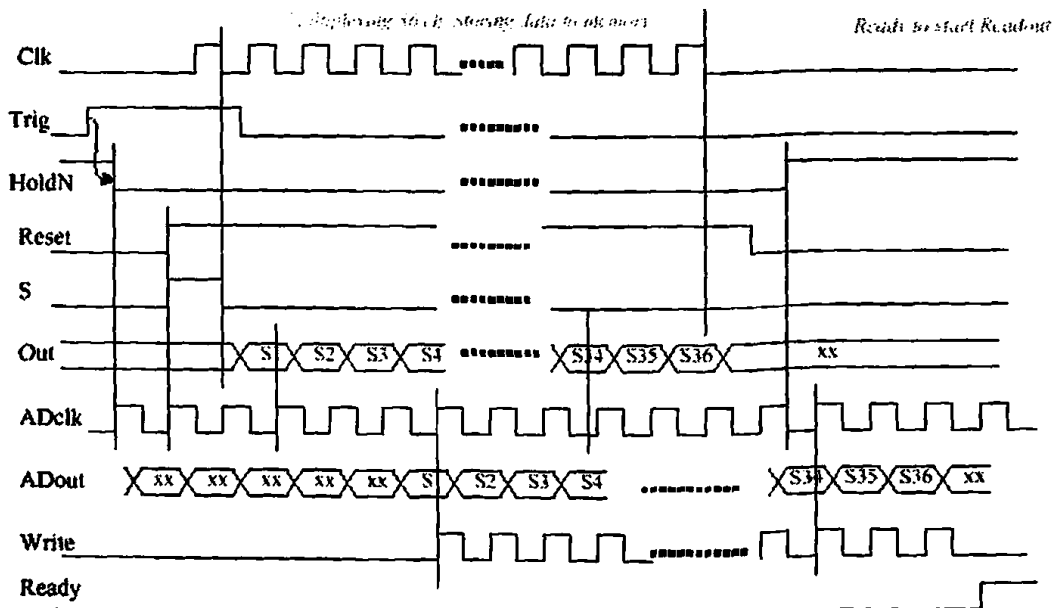


Mode 0 Flowchart



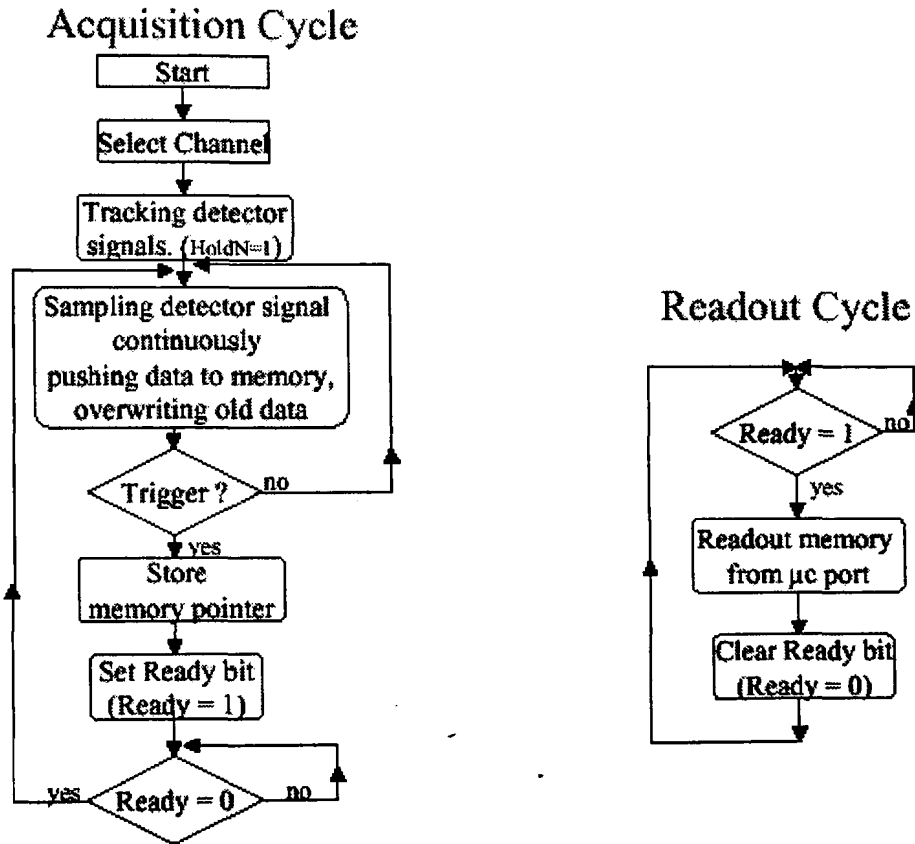
Σχήμα ΑΠ. 5

MODE 0: Single-Shot, Multi-Channel mode



Σχήμα ΑΠ. 6

Mode 1 Flowchart

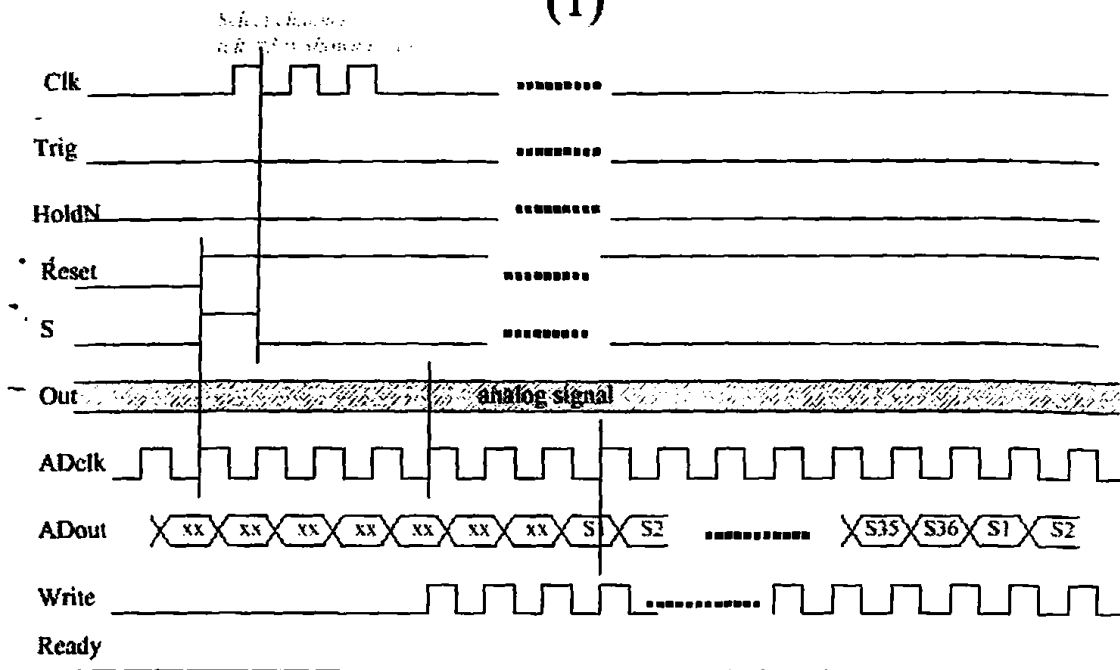


Σχήμα ΑΠ. 7



MODE 1: Single-Channel, Multi-Sample mode

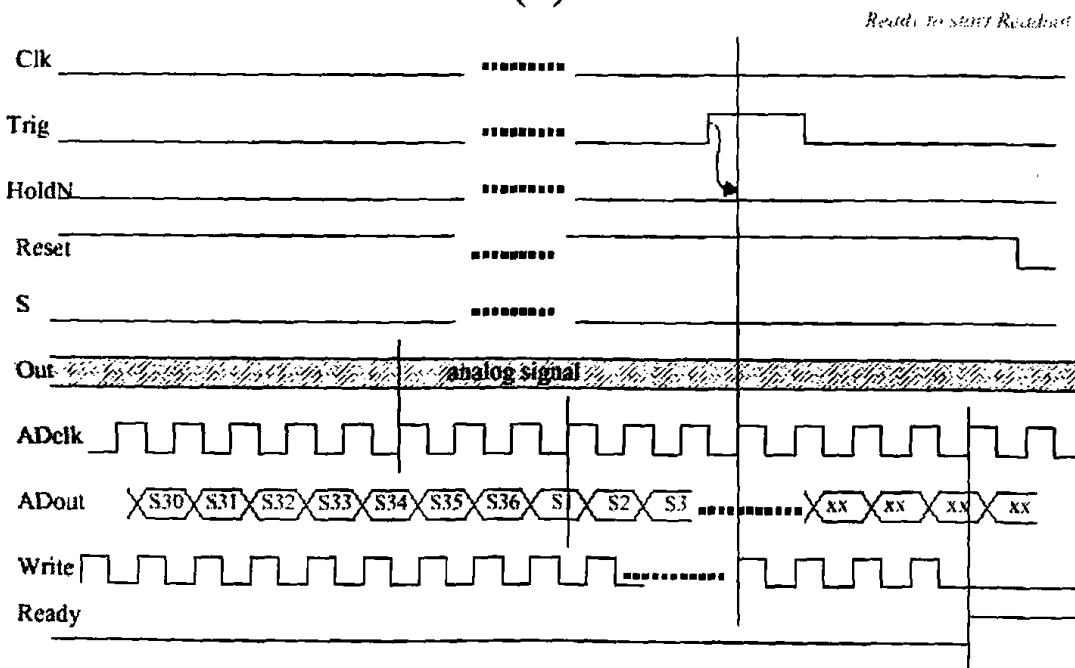
(1)



Σχήμα ΑΠ. 8

MODE 1: Single-Channel, Multi-Sample mode

(2)



Σχήμα ΑΠ. 9

Α.Π2 ΥΠΟΜΟΝΑΔΕΣ ΕΣΩΤΕΡΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ FPGA

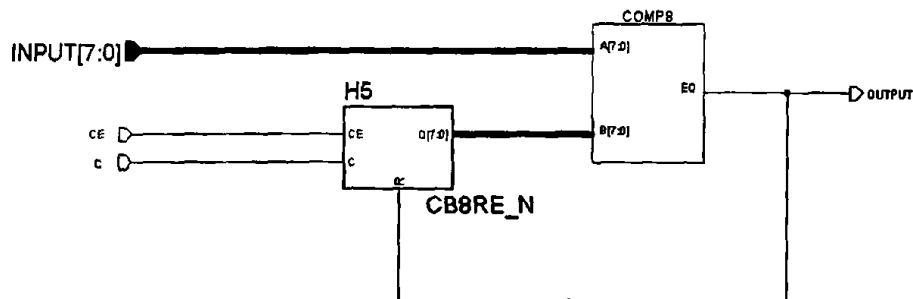
1. Υπομονάδα Χρονισμού

Η υπομονάδα CLK_GEN, σχ.ΑΠ.10 είναι υπεύθυνη για τον υποπολλαπλασιασμό της συχνότητας των 40MHz που παράγεται εξωτερικά από κύκλωμα κρυστάλλου και παραγωγή της εσωτερικής συχνότητας λειτουργίας του FPGA με την οποία επίσης χρονίζεται ο ADC και το DeltaStream.

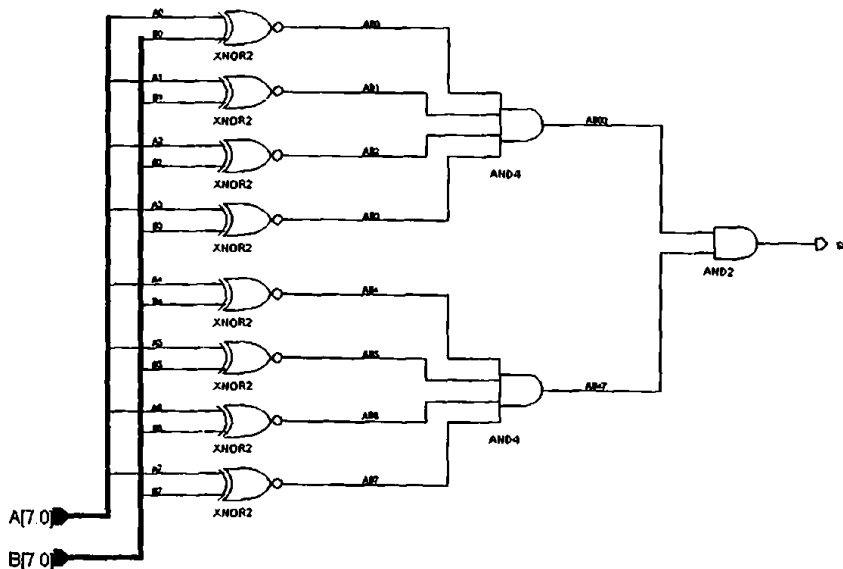
Αποτελείται από έναν συγκριτή 2 λέξεων των 8-bit (COMP8, σχ.ΑΠ.11) και έναν μετρητή 8-bit (CB8RE_N, σχ.ΑΠ.12) με είσοδο (C) τη συχνότητα των 40MHz. Ο συγκριτής είναι η μονάδα που δίνει στην έξοδό της την επιθυμητή διαιρεμένη συχνότητα λειτουργίας. Έχει σαν εισόδους του την ένδειξη του μετρητή και την ένδειξη του frequency register-INPUT[7:0]. Η συχνότητα εξόδου της υπομονάδας χρονισμού ακολουθεί τη συνάρτηση:

$$f_{out} = 40\text{MHz} / (N_{10}+1) \quad \text{ή} \quad N_{10} = (40\text{MHz}/f_{out}) - 1$$

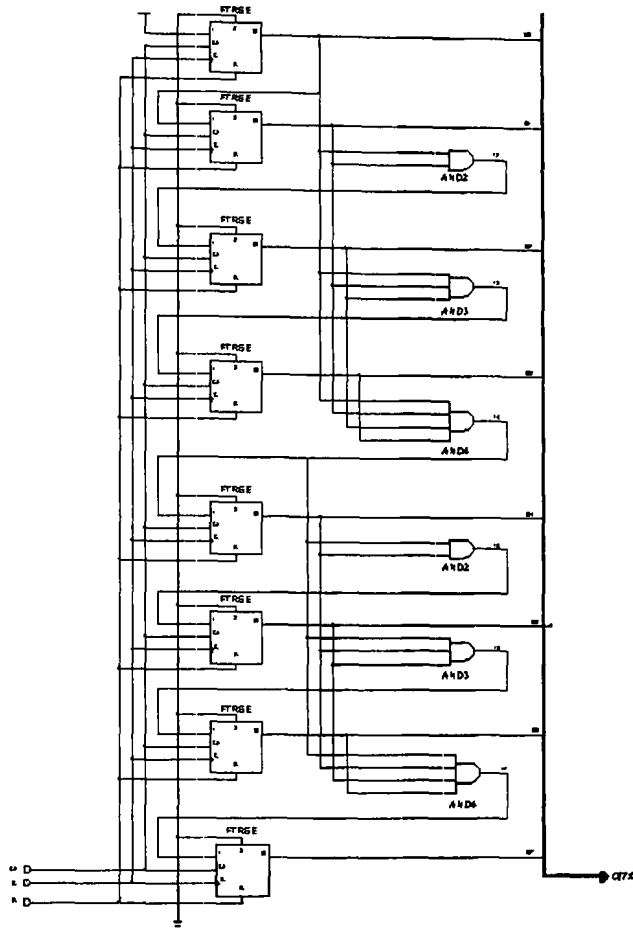
όπου N είναι η τιμή με την οποία προγραμματίζεται ο frequency register εκφραζόμενη στο δεκαδικό σύστημα αρίθμησης



Σχήμα ΑΠ. 10: Υπομονάδα παραγωγής συχνότητας



Σχήμα ΑΠ. 11: Σχηματικό διάγραμμα συγκριτή COMP8

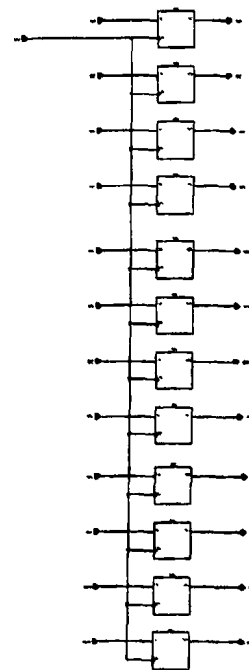


**Σχήμα ΑΠ. 12: Σχηματικό διάγραμμα μετρητή CB8RE_N
8-Bit Cascadable Binary Counters with Clock Enable and Synchronous Reset**

2. Υπομονάδα Καταχωρητών Εισόδου

Ο ρόλος της υπομονάδας καταχωρητών εισόδου (11FF, σχ.ΑΠ.13) είναι η συγκράτηση των ψηφιακών δεδομένων που στέλνει ο ADC ώστε να γίνει δυνατή στη συνέχεια η καταγραφή τους στη μνήμη RAM. Ο χρονισμός της γίνεται με την επιθυμητή συχνότητα λειτουργίας του συστήματος.

Αποτελείται από 11 D flip-flops και τα οποία κατά το implementation του FPGA δηλώνεται ότι πρέπει να καταλάβουν θέσεις όχι σε κάποιο CLB του FPGA αλλά μέσα στο ίδιο το pad εισόδου του, ώστε να αποφευχθούν τυχόν επιπλέον καθυστερήσεις των σημάτων εισόδου.



**Σχήμα ΑΠ. 13:
Καταχωρητής εισόδου**

3. Υπομονάδα Εσωτερικής Μνήμης RAM

Η μνήμη RAM που χρησιμοποιείται εσωτερικά στο FPGA για την προσωρινή αποθήκευση των δεδομένων από τον ADC έχει επιλεχθεί να είναι τύπου Dual Port. Ο τύπος αυτός μνήμης έχει τη δυνατότητα της ταυτόχρονης εγγραφής και ανάγνωσης δεδομένων από διαφορετική πόρτα και σε διαφορετικές θέσεις μνήμης.

Inputs			Outputs	
WE (mode)	WCLK	D12-D0	SPO12-SPO0	DPO12-DPO0
0 (read)	X	X	data_a	data_d
1 (read)	0	X	data_a	data_d
1 (read)	1	X	data_a	data_d
1 (write)	↑	D12-D0	D12-D0	data_d
1 (read)	↓	X	data_a	data_d

data_a = word addressed by bits A5-A0
data_d = word addressed by bits DPRA5-DPRA0

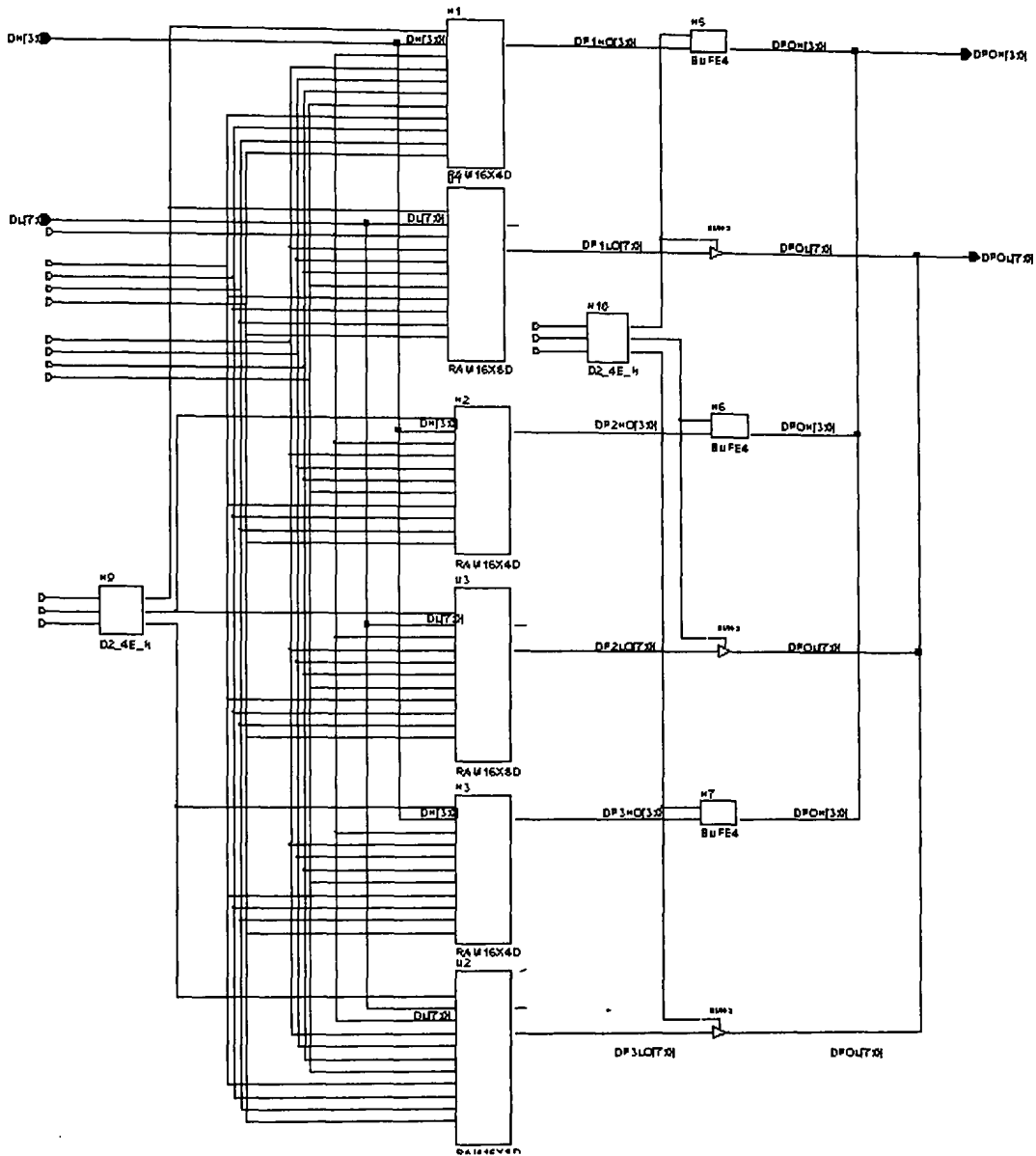
Πίνακας ΑΠ. 1

Από τον πίνακα αληθείας της (πίνακας ΑΠ.1) απορρέει το συμπέρασμα ότι γίνεται η προσωρινή εγγραφή των δεδομένων από την είσοδο D12-D0 στην άνοδο του παλμού χρονισμού, ενώ ταυτόχρονα είναι δυνατή η ανάγνωση μιας οποιασδήποτε θέσης μνήμης (που διευθυνσιοδοτείται από τα DPRA5-DPRA0) από την έξοδο DPO12-DPO0.

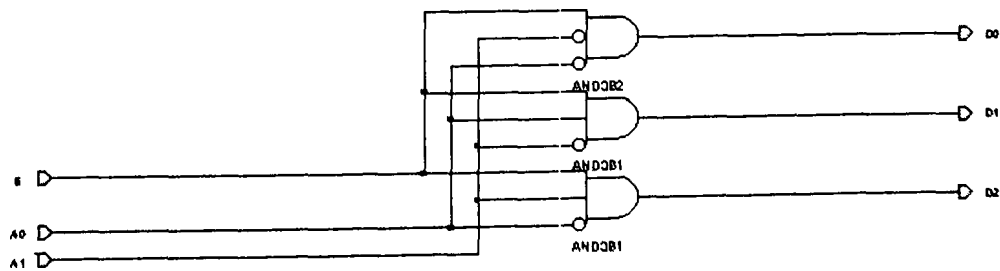
Το μέγεθός της έχει σχεδιαστεί σε 48 θέσεις μνήμης των 12bit (RAM48x12D, σχ.ΑΠ.14) αντί για 64x12 ($2^6=64$) η κάθε μια για το λόγο ότι πάντα υπάρχει η ανάγκη ελαχιστοποίησης του χώρου που καταλαμβάνουν οι υπομονάδες λόγω περιορισμένου αριθμού CLBs. Από τις 48 θέσεις που είναι διαθέσιμες χρησιμοποιούνται μόνο οι πρώτες 36 σύμφωνα με τα specifications του παραρτήματος Α.Π1.

Αποτελείται από 3 ίδια block μνήμης 16x12D που ενεργοποιούνται αντίστοιχα από έναν αποκωδικοποιητή των δύο υψηλών διευθύνσεων (A4, A5) σε τρεις (D2_4E_N, σχ.ΑΠ.15). Το κάθε block αποτελείται από δύο επιμέρους μονάδες, μια 16x8D και μια 16x4D (RAM16x8D-σχ.ΑΠ.16, RAM16x4D-σχ.ΑΠ.17). Η έξοδος των δεδομένων που είναι αποθηκευμένα γίνεται από τις 'πόρτες' DPOL[0:3] και DPOH[0:7] για κάθε block σύμφωνα πάλι με την ίδια αποκωδικοποίηση διευθύνσεων αλλά αυτή τη φορά στην περιοχή εξόδου όπου ένας ίδιος με τον προηγούμενο αποκωδικοποιητή ενεργοποιεί τους αντίστοιχους buffers εξόδου BUFE (σχ.ΑΠ.18).

Η λογική αυτή μας παρέχει τη δυνατότητα να γίνεται εγγραφή των δεδομένων εισόδου (D12-D0) στην άνοδο του παλμού χρονισμού και να μπορούμε να την διαβάσουμε από την πόρτα DP12-DP0 σε όλες τις καταστάσεις του παλμού χρονισμού.

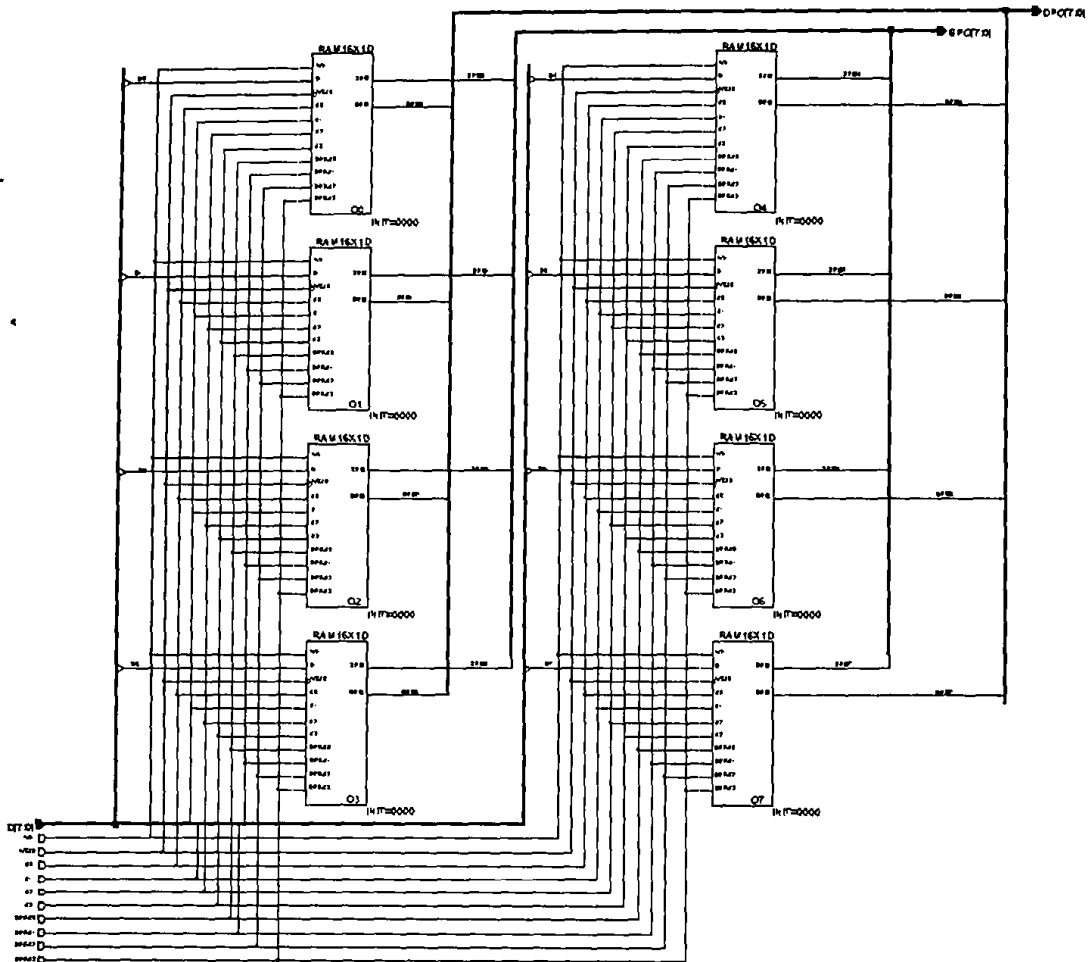


Σχήμα ΑΠ. 14: Σχηματικό διάγραμμα μνήμης RAM
48-Deep by 12-Wide Static Dual Port Synchronous RAM

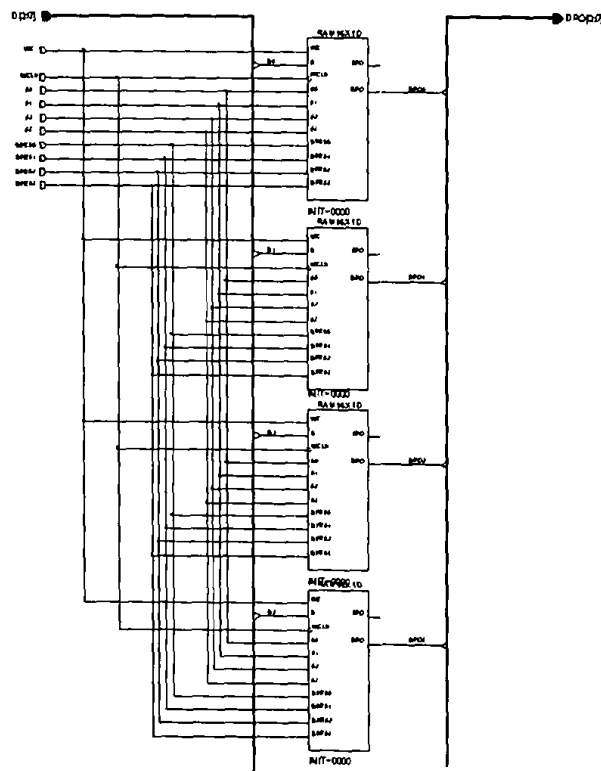


Σχήμα ΑΠ. 15: Σχηματικό διάγραμμα αποκωδικοποιητή διεθόδσεων D2_4E_N

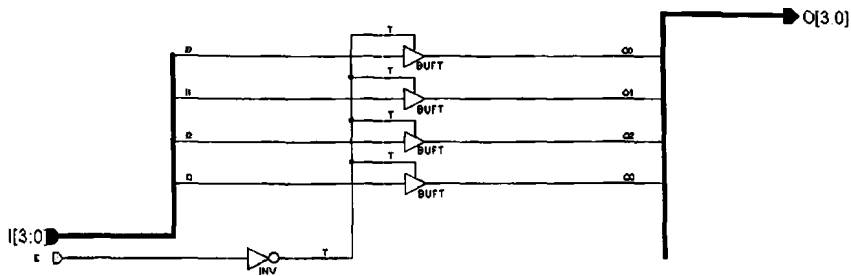




**Σχήμα ΑΠ. 16: Σχηματικό διάγραμμα μνήμης RAM
16-Deep by 8-Wide Static Dual Port Synchronous RAM**



**Σχήμα ΑΠ. 17: Σχηματικό διάγραμμα μνήμης RAM
16-Deep by 4-Wide Static Dual Port Synchronous RAM**

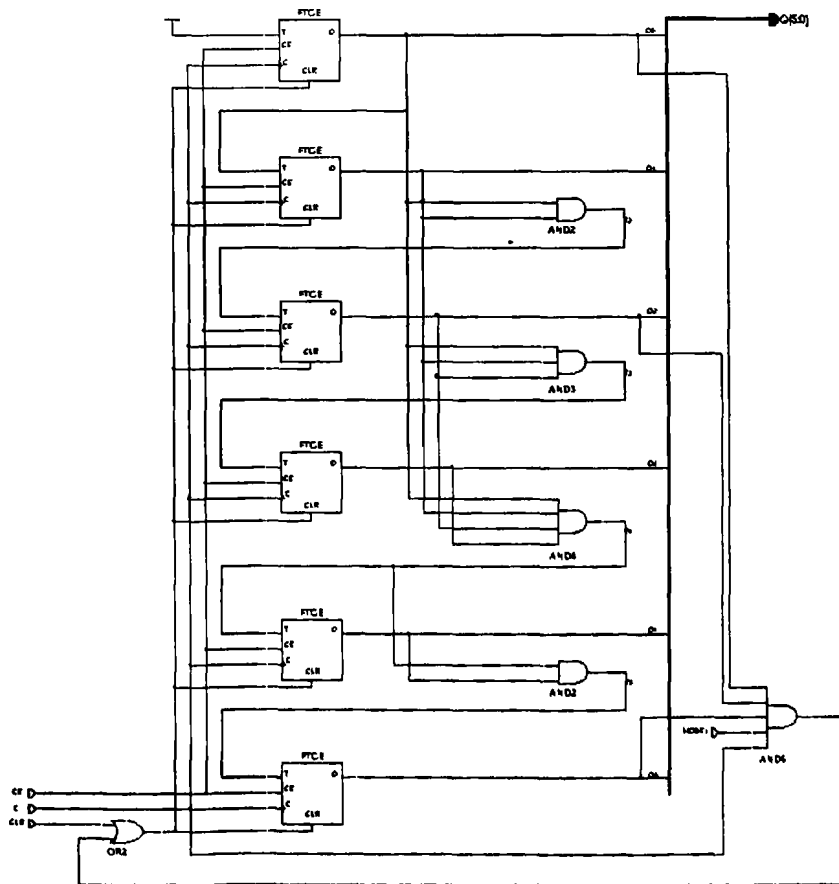


Σχήμα ΑΠ. 18: Σχηματικό διάγραμμα του buffer εξόδου BUFE

4. Υπομονάδα Διευθυνσιοδότησης Μνήμης RAM

Σκοπός της είναι η ενεργοποίηση του address bus στη μνήμη RAM. Αποτελείται από έναν up-counter 6-bit ο οποίος 'ανοίγει' διαδοχικά τις θέσεις αποθήκευσης της μνήμης ώστε να γίνει δυνατή η εγγραφή των δεδομένων εισόδου που έχουν ήδη καταχωρηθεί στη μονάδα εισόδου του FPGA (11FF).

Μια σημαντική ιδιαιτερότητα του μετρητή (CB6CE_1, σχ.ΑΠ.19) είναι ότι θα πρέπει να δουλεύει και στα δύο mode λειτουργίας του συστήματος τα οποία κάνουν την εγγραφή της μνήμης με δύο διαφορετικούς τρόπους.



Σχήμα ΑΠ. 19: Σχηματικό διάγραμμα μετρητή CB6CE_1
6-Bit Cascadable Binary Counters with Clock Enable and Asynchronous Clear



Έτσι λοιπόν έχει προστεθεί στον μετρητή μία ακόμη είσοδος (mode1).

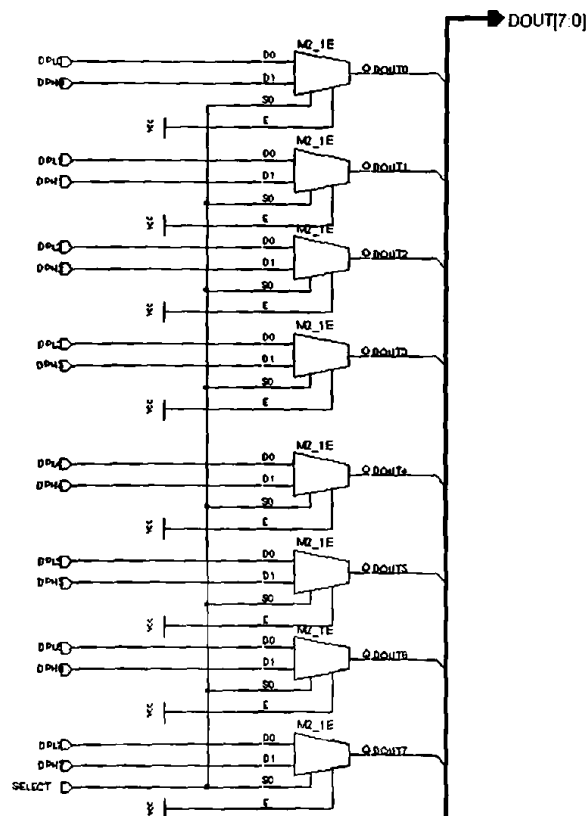
Όταν η λειτουργία γίνεται σε mode1 (είσοδος mode1='1'), μετά την ενεργοποίηση της 36^{ης} θέσης μνήμης, ο μετρητής αρχικοποιείται και επιστρέφει στην 1^η θέση μνήμης για να συνεχιστεί 'κυκλικά' η εγγραφή των δεδομένων.

Αντίστοιχα, όταν το σύστημα λειτουργεί σε mode0 (είσοδος mode1='0'), ο μετρητής ξεκινάει από την 1^η θέση μνήμης και σταματάει στην 37^η, μετά δηλαδή την εγγραφή και του 36^{ου} καναλιού του ανιχνευτή.

5. Υπομονάδα Εξόδου Δεδομένων της Μνήμης

Η μνήμη RAM απαρτίζεται από 48 θέσεις αποθήκευσης των 12bit. Οι απαιτήσεις όμως του συστήματος όπως αυτές περιγράφονται στα specifications του παραρτήματος Α.Π1 είναι να αποδοθούν στον μC οι λέξεις των 12 bit διαμέσω μιας 'πόρτας' 8-bit.

Για την επίτευξη όμως του στόχου έχει οριστεί ακόμη ένα bit ελέγχου που στέλνεται από τον μικροελεγκτή σε έναν πολυπλέκτη 2 λέξεων 8-bit (MUX2_1_8N, σχ.ΑΠ.20) και ορίζει τα δεδομένα της μνήμης που κάθε φορά θα διαβάζονται από αυτόν. Το bit ελέγχου είναι το "H_L". Όταν ισχύει "H_L"='0' στέλνονται προς την έξοδο τα οκτώ (8) least significant bits της αποθηκευμένης πληροφορίας. Όταν όμως ισχύει "H_L"='1' στέλνονται προς την έξοδο τα 4 most significant bits της πληροφορίας της RAM ενώ προστίθενται ακόμη τέσσερα (4) bits που εξορισμού βρίσκονται σε λογική κατάσταση 'low' για να συμπληρωθεί η 8-bit λέξη που οδεύει προς την έξοδο.



Σχήμα ΑΠ. 20: Σχηματικό διάγραμμα πολυπλέκτη MUX2_1_8N
2 bytes-to-1 byte multiplexer with enable

6. Υπομονάδα Μετάδοσης Δεδομένων Εξόδου

Η υπομονάδα που ελέγχει τα δεδομένα εξόδου από το FPGA στην περίπτωση $Read='1'$ (όπου ο μC διαβάζει δεδομένα από το FPGA) δεν είναι παρά ένας 8-bit πολυπλέκτης δύο (2) εισόδων που επιλέγει αν θα αποδοθούν στην έξοδο τα δεδομένα από τη μνήμη ή την βαθμίδα των register (MUX2_1_8, σχ.ΑΠ.21).

Η συγκεκριμένη λειτουργία ελέγχεται από το σήμα REG_MEM που στέλνει ο ίδιος ο μC και λαβαίνουν χώρα τα εξής γεγονότα:

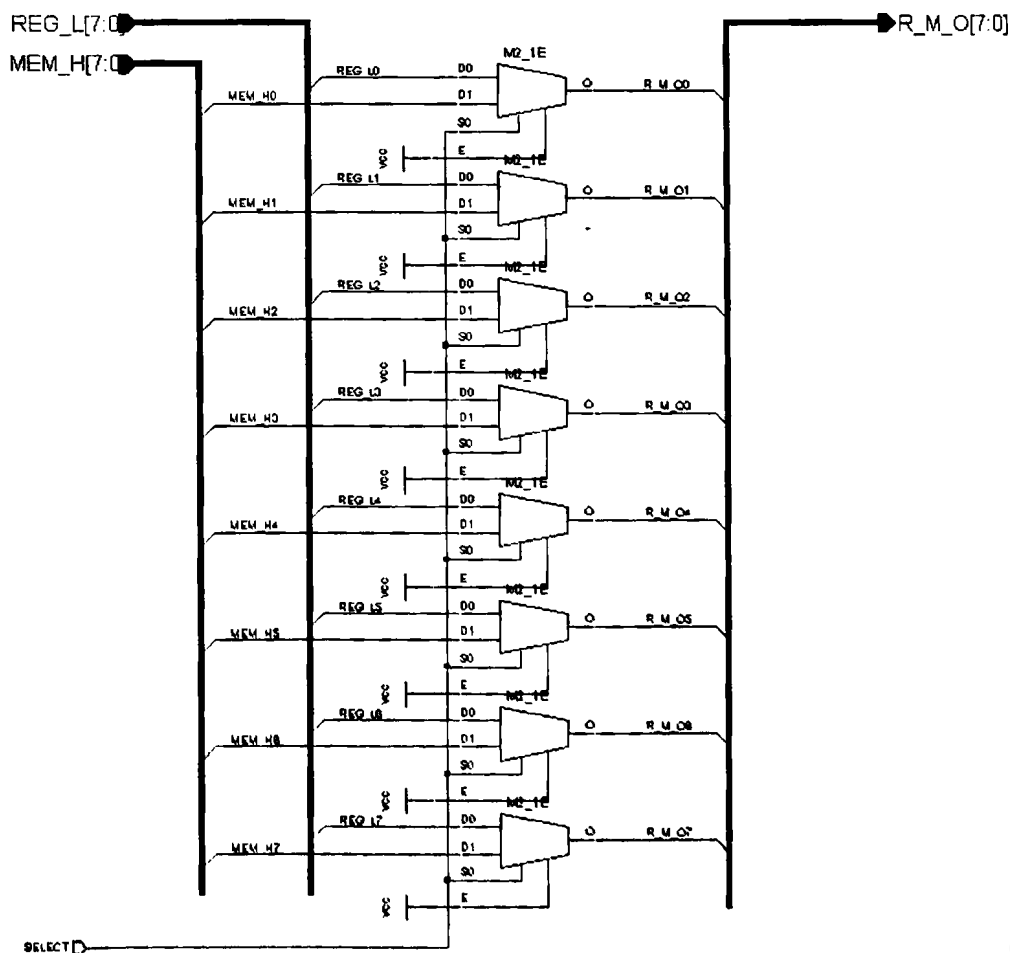
A) Κατά την ανάγνωση της μνήμης ($Read='1'$ - Data bus: output)

$REG_MEM='0'$: ενεργοποίηση της βαθμίδας register και της πόρτας εισόδου $REG_L[7:0]$ ώστε να δοθεί στον μC η πληροφορία που είναι αποθηκευμένη στον Trigger Pointer Register (για τη λειτουργία mode1)

$REG_MEM='1'$: απενεργοποίηση της βαθμίδας register και ταυτόχρονη ενεργοποίηση της πόρτας εισόδου $MEM_H[7:0]$ ώστε να επιτραπεί η διέλευση των δεδομένων της μνήμης προς τον μC

B) Κατά τον προγραμματισμό των register ($Read='0'$ - Data bus: input)

το σήμα REG_MEM πρέπει να είναι '0' γιατί ενεργοποιούνται οι registers ενώ δεν έχει καμία σημασία για την συγκεκριμένη μονάδα πολύπλεξης εξόδου γιατί αποκόπτεται το κανάλι διέλευσης προς την έξοδο ($Read='0'$).



Σχήμα ΑΠ. 21: Σχηματικό διάγραμμα πολυπλέκτη MUX2_1_8
2 bytes-to-1 byte multiplexer with enable

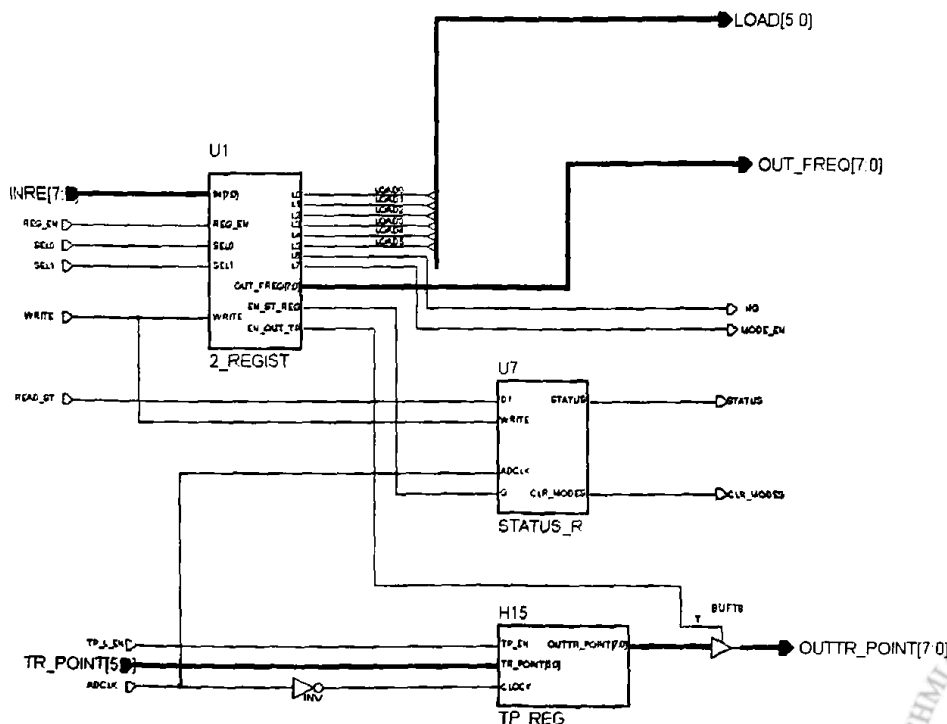
7. Υπομονάδα Καταχωρητών

Στην υπομονάδα των καταχωρητών (4_regist, σχ.ΑΠ.22) περιέχονται όλοι οι registers που αναφέρονται στο σχήμα A.12 του κεφαλαίου A.3.1 μετά τις αλλαγές που έγιναν στα αρχικά specifications του συστήματος.

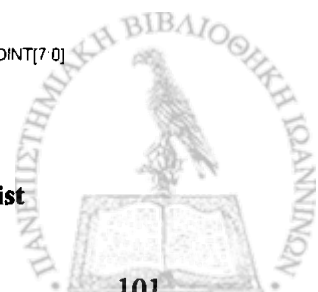
Στον πίνακα ΑΠ.2 δίνεται περιγραφή των σημάτων εισόδου και εξόδου της υπομονάδας ώστε να γίνει κατανοητή η λειτουργία της όπως αυτή θα εξηγηθεί στη συνέχεια.

ΠΕΡΙΓΡΑΦΗ	
Σήματα Εισόδου	
INRE[7:0]	Δίαυλος εισόδου των δεδομένων από τον μC
REG EN	Είσοδος ενεργοποίησης της βαθμίδας των καταχωρητών
SEL0, SEL1	Είσοδος για αποκωδικοποίηση των διευθύνσεων των καταχωρητών
WRITE	Σήμα εγγραφής που στέλνει ο μC (high enable)
READ ST	Σήμα κατάστασης (status) της λειτουργίας του συστήματος
TP L EN	Σήμα ενεργοποίησης του trigger pointer register
TR POINT[5:0]	Η διεύθυνση της μνήμης RAM (για λειτουργία mode1)
ADCLK	Σήμα χρονισμού του συστήματος
Σήματα Εξόδου	
LOAD[5:0]	Το επιθυμητό κανάλι δειγματοληψίας του ανιχνευτή (binary)
OUT_FREQ[7:0]	Η επιθυμητή συχνότητα λειτουργίας του συστήματος (binary)
HG	Επιλογή υψηλής ή χαμηλής ενίσχυσης του ενισχυτή του DeltaStream
MODE EN	Ενεργοποίηση του αντίστοιχου mode λειτουργίας του συστήματος
STATUS	Ένδειξη κατάστασης της δειγματοληψίας του ανιχνευτή
CLR MODES	Σήμα αρχικοποίησης των καταστάσεων του κυκλώματος του FPGA
OUTTR_POINT[7:0]	Ένδειξη της τιμής του trigger pointer register

Πίνακας ΑΠ. 2



Σχήμα ΑΠ. 22: Σχηματικό διάγραμμα υπομονάδας καταχωρητών 4_regist



Οι επιμέρους υπομονάδες που απαρτίζουν την 4_regist είναι οι εξής:

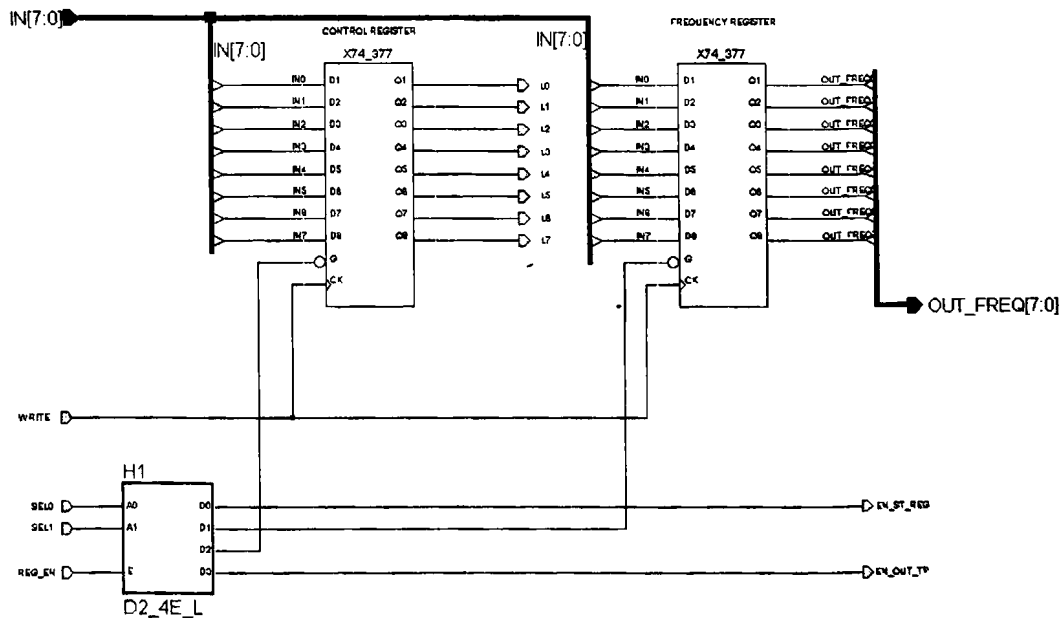
A) Η βαθμίδα 2_regist (σχ.ΑΠ.23) περιέχει:

1. τον αποκωδικοποιητή των διευθύνσεων στις οποίες είναι κατανομημένοι οι επιμέρους καταχωρητές (D2_4E_L, σχ.ΑΠ.24),
2. τον 8-bit control register (X74_377, σχ. ΑΠ.25) και
3. τον 8-bit frequency register (X74_377, σχ. ΑΠ.25)

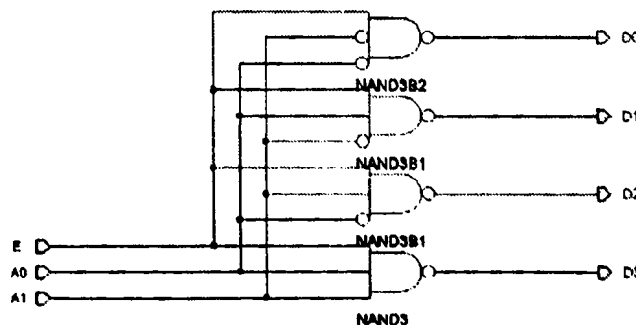
Η αποκωδικοποίηση των διευθύνσεων των καταχωρητών οι οποίοι είναι low enable και ενεργοποιούνται κάθε φορά από τον μC φαίνεται στον πίνακα Α3.

REG_MEM	sel1 (DPRA1)	sel0 (DPRA0)	Register
0	0	0	Status
0	0	1	Frequency
0	1	0	Control
0	1	1	Trigger pointer
1	x	x	Disable Register

Πίνακας ΑΠ. 3

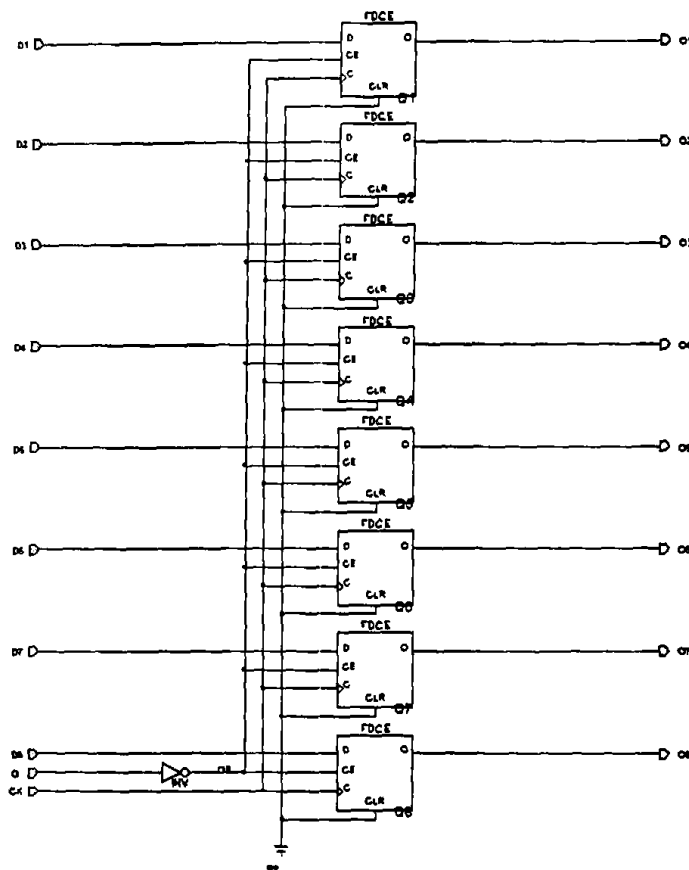


Σχήμα ΑΠ. 23: Σχηματικό διάγραμμα υπομονάδας 2_regist



Σχήμα ΑΠ. 24: Σχηματικό διάγραμμα αποκωδικοποιητή διευθύνσεων D2_4E_L

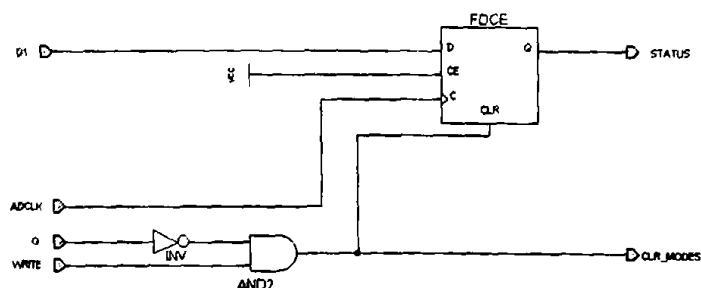




Σχήμα ΑΠ. 25: Σχηματικό διάγραμμα X74_377
(8-Bit Data Register with Active-Low Clock Enable)

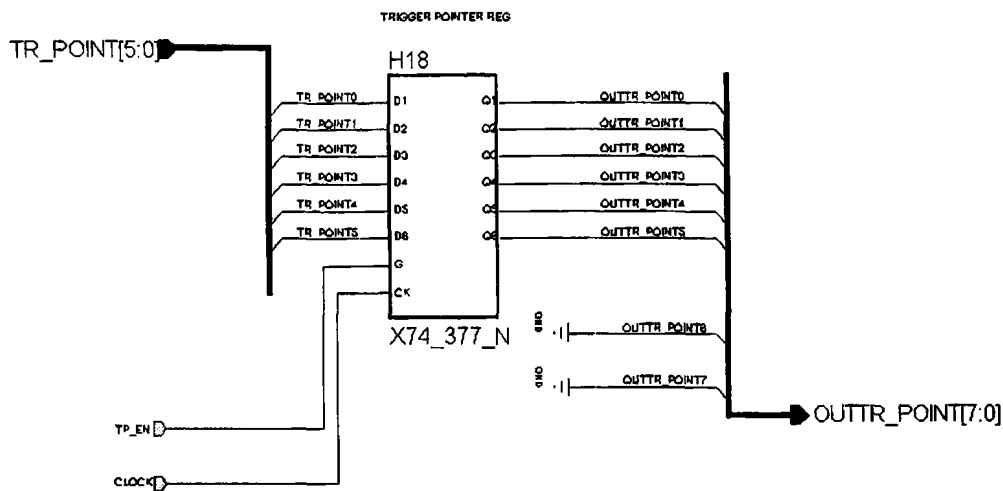
Β) Η βαθμίδα STATUS_R (σχ.ΑΠ.26) περιέχει ένα D flip flop στο οποίο γίνεται η εγγραφή της τιμής του σήματος READY (είσοδος D1) που προέρχεται από το κύκλωμα λογικής λειτουργίας του FPGA. Η τιμή αυτή δειγματοληπτείται με συχνότητα, τη συχνότητα λειτουργίας του συστήματος ενώ η έξοδος του flip flop παρακολουθείται συνεχώς από τον μικροελεγκτή ώστε να είναι γνώστης της κατάστασης λειτουργίας.

Η λογική των πυλών που περιέχονται προσδιορίζει την ενεργοποίηση του status register – low enable (είσοδος G) – που με την εγγραφή του (σήμα write) στέλνει το ίδιο παλμό write σε όλα τις υπομονάδες του FPGA για αρχικοποίηση των κυκλωμάτων τους και έναρξη του νέου κύκλου δειγματοληψίας καθώς επίσης και επαναφορά του status register σε κατάσταση low.



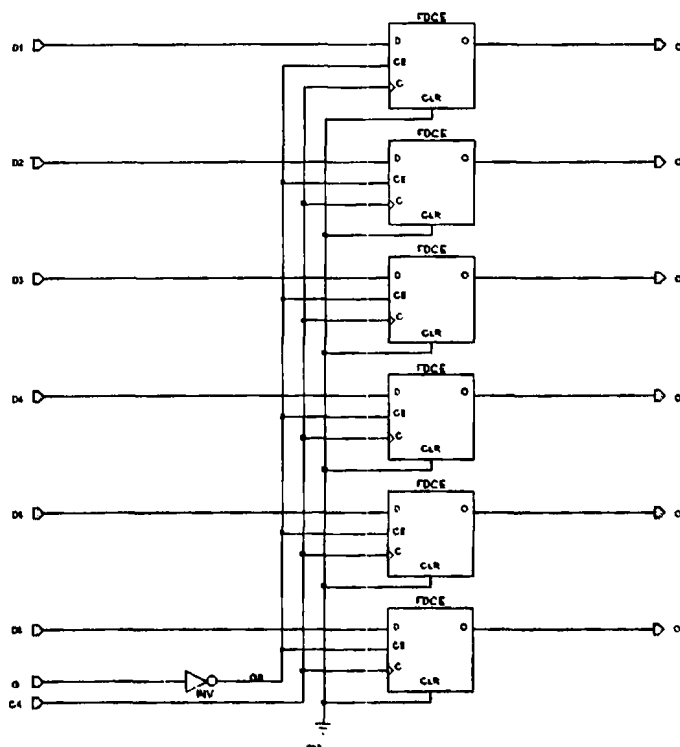
Σχήμα ΑΠ. 26: Σχηματικό διάγραμμα καταχωρητή STATUS_R

Γ) Η βαθμίδα του καταχωρητή trigger pointer (TP_REG, σχ.ΑΠ.27) αποθηκεύει την τιμή της διεύθυνσης της μνήμης RAM στην οποία έχει σταματήσει η αποθήκευση των πληροφοριών (λειτουργία mode1).



Σχήμα ΑΠ. 27: Σχηματικό διάγραμμα υπομονάδας TP_REG

Η διεύθυνση της RAM αποθηκεύεται στην κάθοδο του παλμού χρονισμού adclk και μετά την ενεργοποίησή του από την αντίστοιχη βαθμίδα του mode λειτουργίας. Η τιμή του καταχωρητή αποδίδεται στην έξοδο της βαθμίδας με την ενεργοποίηση του buffer εξόδου BUFT8 έπειτα από εντολή του ελεγχόμενου από τον μC αποκωδικοποιητή διευθύνσεων D2_4E_L. Στο εσωτερικό του περιέχει έναν 6-bit καταχωρητή (X74_377_N, σχ.ΑΠ.28) που απαρτίζεται από flip flops τύπου D.



Σχήμα ΑΠ. 28: Σχηματικό διάγραμμα υπομονάδας X74_377_N
(6-Bit Data Register with Active-Low Clock Enable)



8. Υπομονάδα μεθόδου δειγματοληψίας mode0

Όπως έχει ήδη αναφερθεί σε προηγούμενο κεφάλαιο, κατά τη μέθοδο δειγματοληψίας mode0, με την έλευση ενός εξωτερικού παλμού Trigger γίνεται σάρωση και των 36 καναλιών του μικρολωριδιακού ανιχνευτή πυριτίου από το DeltaStream και αποθηκεύεται σε κάθε θέση της μνήμης RAM η πληροφορία του κάθε καναλιού.

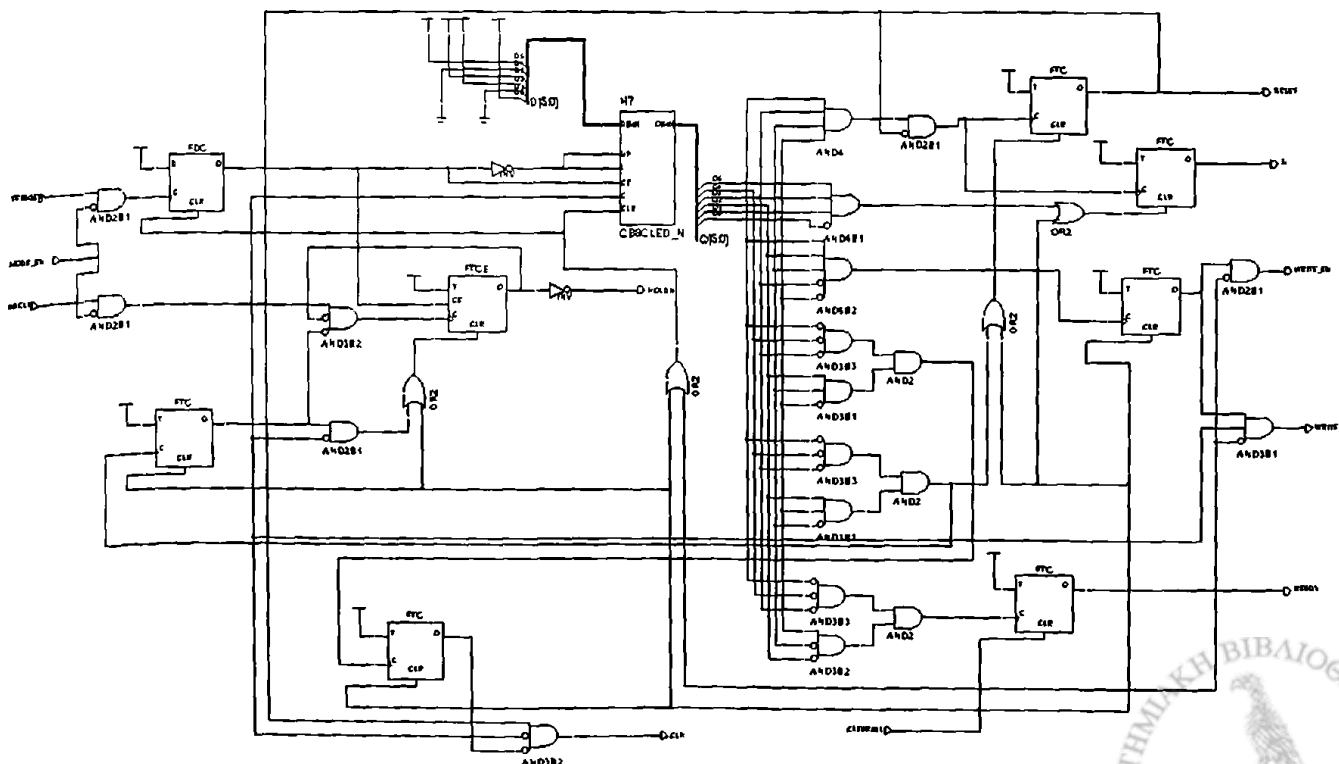
Η συγκεκριμένη υπομονάδα (F-MODE0, σχ.ΑΠ.29) απαρτίζεται από ένα πλήθος πυλών και έναν μετρητή παλμών (CB8CLED_N, σχ.ΑΠ.30) με διάταξη πυλών στις εξόδους του ώστε να παράγονται τα κατάλληλα σήματα ελέγχου που οδηγούν το DeltaStream.

ΛΕΙΤΟΥΡΓΙΑ:

Με την εγγραφή της τιμής '0' στο 8^ο του control register (είσοδος MODE_EN) χρονίζεται το εσωτερικό κύκλωμα της βαθμίδας. Ο μετρητής βρίσκεται σε συνδεσμολογία down counter που προτοποθετείται σε συγκεκριμένη τιμή για το mode λειτουργίας. Με την έλευση του παλμού trigger ξεκινάει η λειτουργία του μετρητή. Για κάθε τιμή του της εξόδου του, παράγεται και κάποιο αντίστοιχο σήμα από το κύκλωμα των λογικών πυλών, ώστε να παραχθούν στις εξόδους της βαθμίδας τα ακόλουθα σήματα:

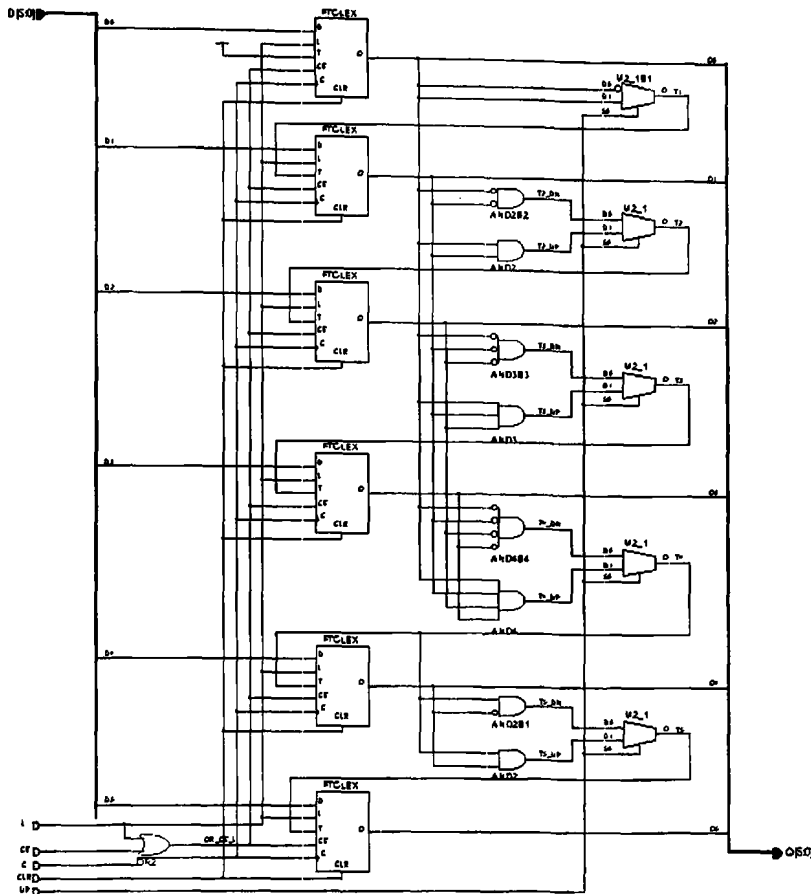
1. clk, holdN, reset, S: σήματα ελέγχου του DeltaStream,
2. write, write_en: σήματα ελέγχου της μνήμης RAM και
3. ready: σήμα κατάδειξης της κατάστασης λειτουργίας του συστήματος που δειγματοληπτείται συνεχώς από τον status register

Η αρχικοποίηση ολοκλήρου του κυκλώματος γίνεται με εφαρμογή ενός παλμού στην είσοδο clearall που προέρχεται από την υπομονάδα των register.



Σχήμα ΑΠ. 29: Σχηματικό διάγραμμα υπομονάδας F_MODE0





Σχήμα ΑΠ. 30: Σχηματικό διάγραμμα υπομονάδας CB8CLED_N (8-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear)

9. Υπομονάδα μεθόδου δειγματοληψίας model

Κατά τη μέθοδο δειγματοληψίας model γίνεται δειγματοληψία του αναλογικού σήματος που προέρχεται από ένα και μόνο (επιθυμητό) κανάλι του μικρολωριδιακού ανιχνευτή πυριτίου.

Η συγκεκριμένη υπομονάδα (FINDEL19, σχ.ΑΠ.31) απαρτίζεται από κύκλωμα λογικών πυλών συνδεσμοποιημένες σε διάταξη συνεργασίας με τρεις (3) δυαδικούς μετρητές για την παραγωγή των σημάτων ελέγχου προς το DeltaStream. Η βαθμίδα FINDEL19 περιέχει:

1. Τον 3-bit binary up counter (CB3CE, σχ.ΑΠ.32) με την ενεργοποίηση του οποίου ξεκινά η λειτουργία της υπομονάδας,
2. Έναν 6-bit loadable, cascadable, bidirectional, binary, counter (με όνομα CB8CLED_N2, σχ.ΑΠ.33) και
3. Τον 3-bit binary up counter (CB3CE_1 σχ.ΑΠ.34) με την ενεργοποίηση του οποίου φθάνουμε στο τέλος της διαδικασίας δειγματοληψίας σε model



ΛΕΙΤΟΥΡΓΙΑ:

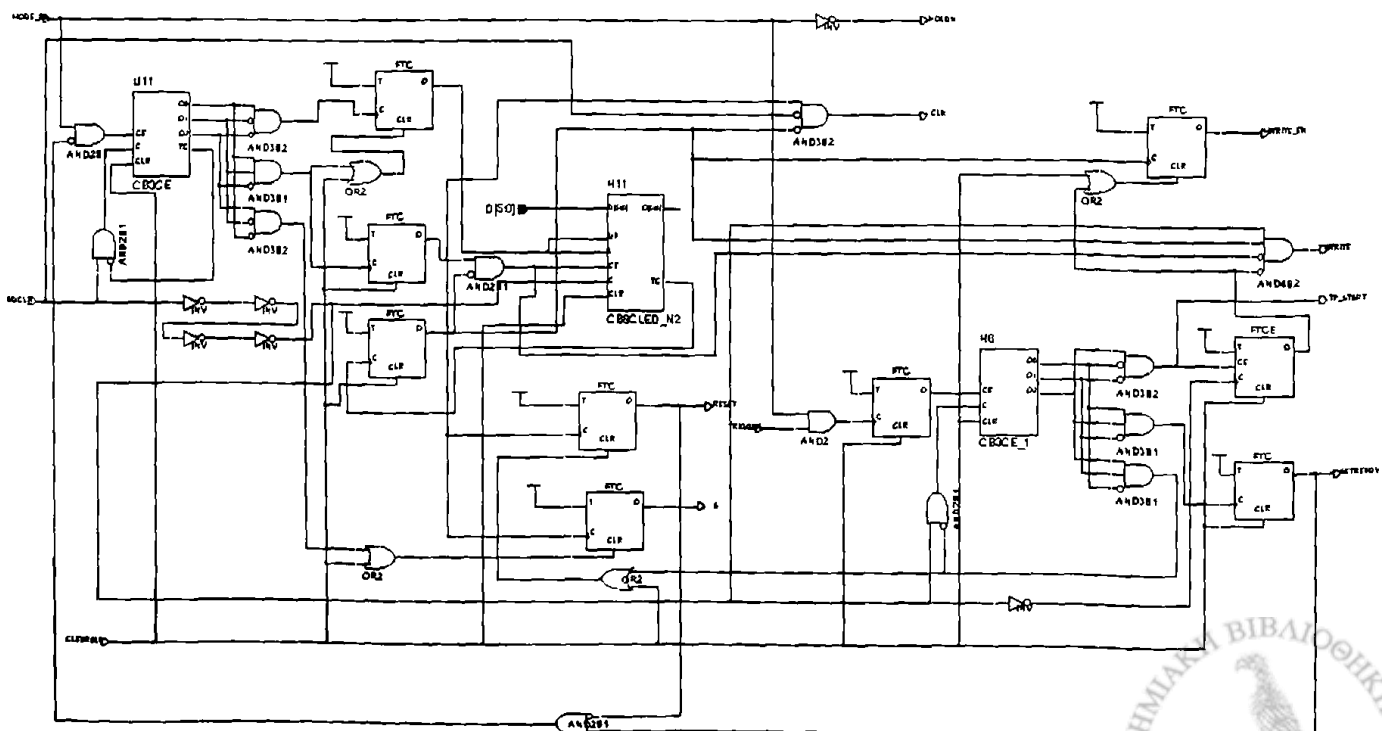
Με την εκκίνηση του συστήματος και την εγγραφή της συχνότητας λειτουργίας στον frequency register χρονίζεται ο μετρητής CB8CLED_N2. Στη συνέχεια γίνεται εγγραφή του control register και ο μετρητής προτοποθετείται στην άνοδο του ADCLK στην binary ένδειξη των 6 least significant bits του καταχωρητή. Αμέσως ενεργοποιείται ο μετρητής CB3CE και ξεκινάει η παραγωγή τόσο των σημάτων ελέγχου του DeltaStream όσο και ο χρονισμός της μνήμης RAM στην οποία εγγράφονται οι πληροφορίες του καναλιού που έχει επιλεγεί. Με την έλευση του παλμού trigger ενεργοποιείται ο μετρητής CB3CE_1 και αρχίζει η διαδικασία τερματισμού της λειτουργίας mode1.

Κατά τον έλεγχο του συστήματος παρατηρήθηκε ότι δεν γινόταν σωστά ο χρονισμός της συγκεκριμένης υπομονάδας. Προς αποφυγήν του προβλήματος προστέθηκε μια διάταξη τεσσάρων αντιστροφών (INV) σε σειρά. Η διάταξη προκαλεί εσωτερική χρονική καθυστέρηση ($4 \times 1,2\text{ns} = 4,8\text{ns}$) του παλμού χρονισμού ADCLK και διορθώνεται η χρονική σύμπτωση των εσωτερικών σημάτων λειτουργίας της υπομονάδας.

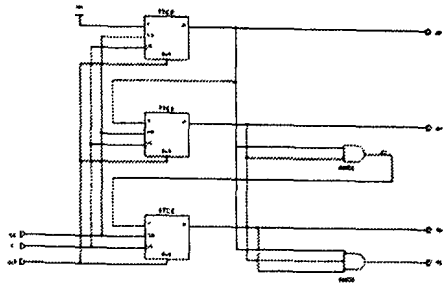
Τα σήματα που παράγονται είναι:

1. clk, holdN, reset, S: σήματα ελέγχου του DeltaStream,
2. write, write_en: σήματα ελέγχου της μνήμης RAM,
3. setready: σήμα κατάδειξης της κατάστασης λειτουργίας του συστήματος που δειγματοληπτείται συνεχώς από τον status register και
4. tr_start: σήμα που ενεργοποιεί στο αρνητικό του μέτωπο, την εγγραφή της διεύθυνσης της RAM στον trigger pointer register.

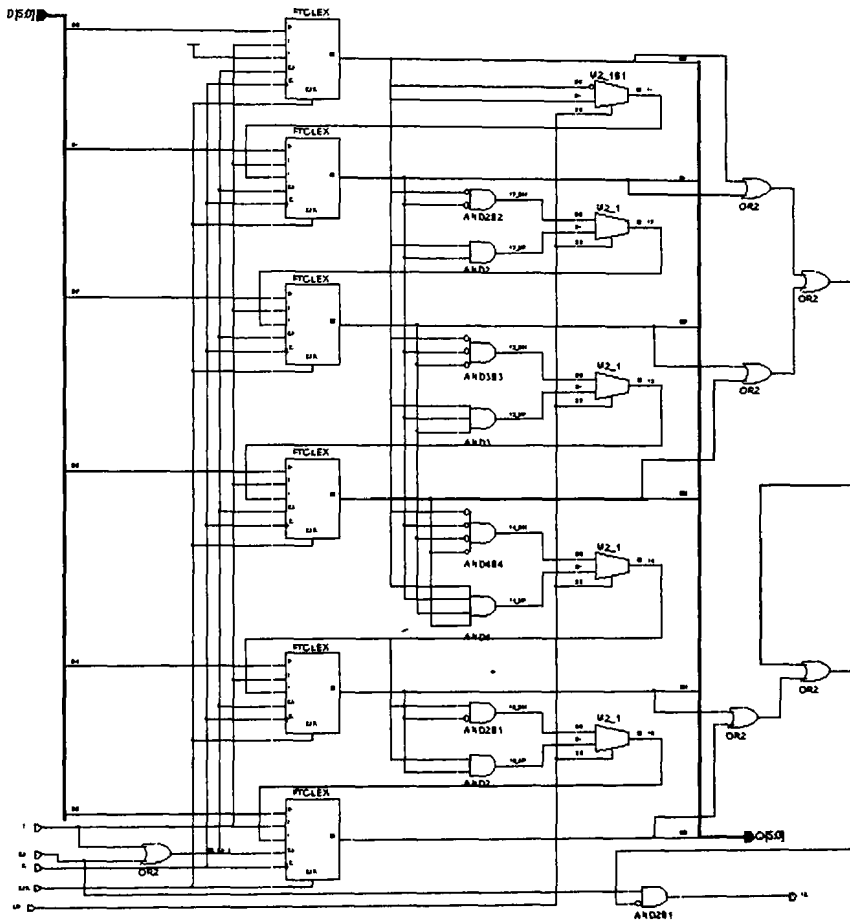
Η αρχικοποίηση ολοκλήρου του κυκλώματος της υπομονάδας γίνεται όπως και στην υπομονάδα F-MODE0 με την εφαρμογή του παλμού clearall που προέρχεται από την υπομονάδα των register.



Σχήμα ΑΠ. 31: Σχηματικό διάγραμμα υπομονάδας FINDEL19

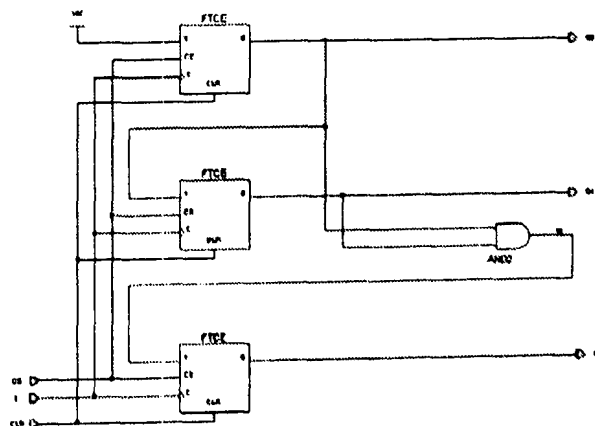


Σχήμα ΑΠ. 32: Σχηματικό διάγραμμα υπομονάδας CB3CE (3-bit binary up counter)



Σχήμα ΑΠ. 33: Σχηματικό διάγραμμα υπομονάδας CB8CLED_N2

16-Bit Loadable Cascadable Bidirectional Binary Counters with Clock Enable and Asynchronous Clear



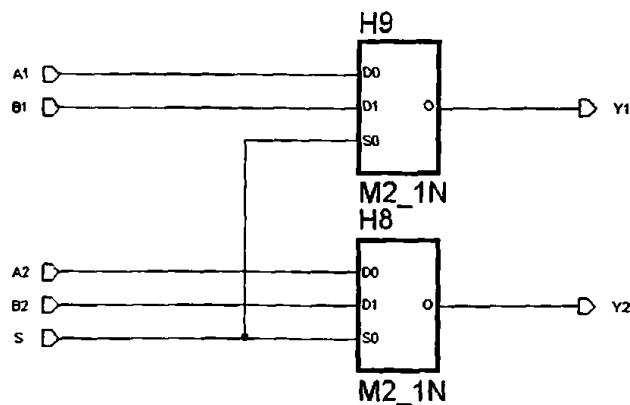
Σχήμα ΑΠ. 34: Σχηματικό διάγραμμα υπομονάδας CB3CE_1 (3-bit binary up counter)



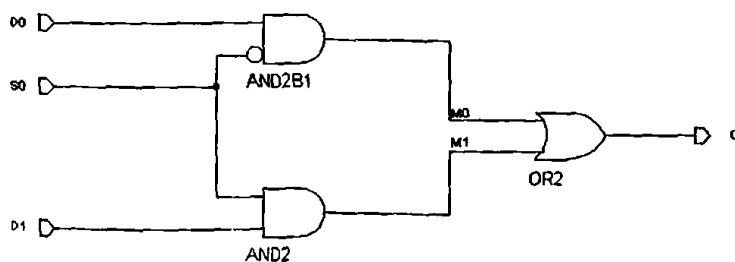
10. Υπομονάδες πολύπλεξης σημάτων ελέγχου

Τα σήματα ελέγχου που παράγονται από τις υπομονάδες μεθόδου δειγματοληψίας (f-mode0 και findel19, σχ.Α.14 – κεφ.Α.3.2.1) στέλνονται είτε στον μετρητή που διευθυνσιοδοτεί τη μνήμη RAM είτε στο DeltaStream. Οι πολυπλέκτες που χρησιμοποιούνται για τους σκοπούς αυτούς ορίζουν τις εξής λειτουργίες:

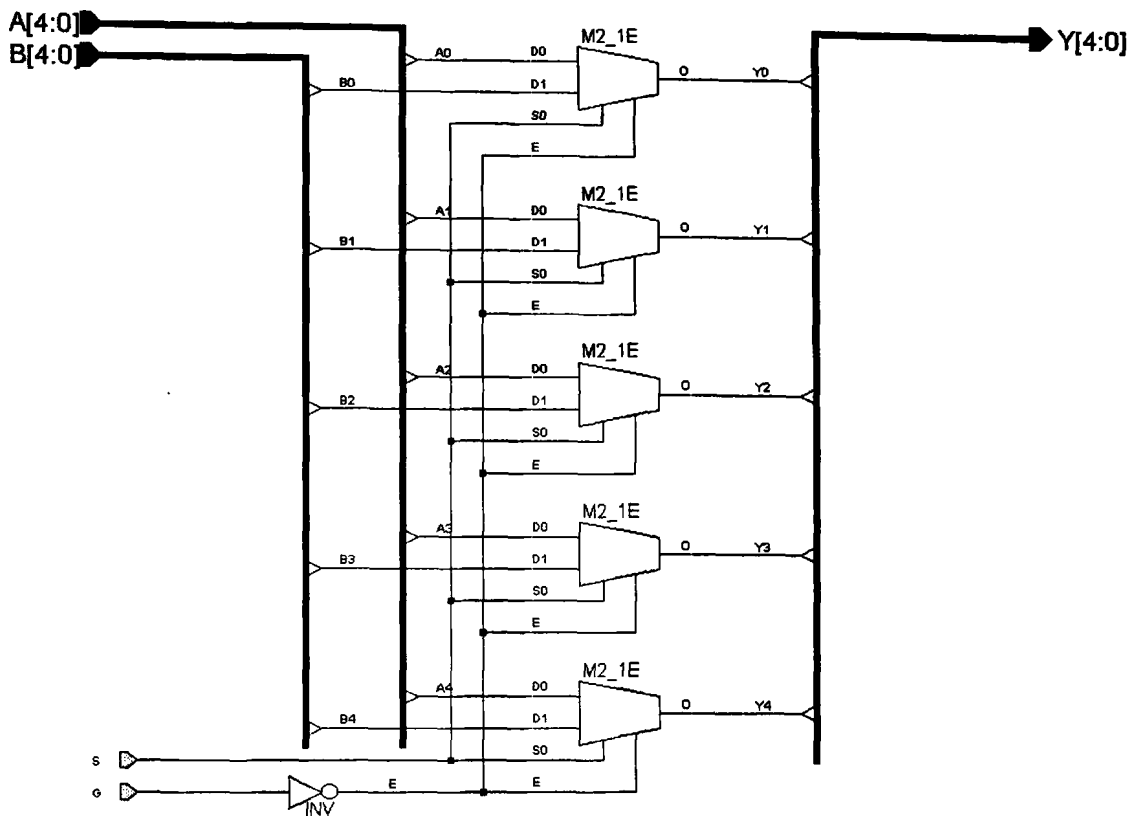
1. ο έλεγχος του μετρητή CB6CE_1 με τους παλμούς χρονισμού (write) και ενεργοποίησης (write_en) υλοποιείται μέσω ενός πολυπλέκτη δύο λέξεων των 2 bit (2BIT_M2_1N, σχ.ΑΠ.35). Όταν η είσοδος επιλογής του mode λειτουργίας (S) βρίσκεται σε κατάσταση '0' στέλνονται στο μετρητή τα σήματα ελέγχου της RAM από τη βαθμίδα F_MODE0. Τα αντίστοιχα σήματα ελέγχου της βαθμίδας FINDEL19 στέλνονται στο μετρητή όταν S='1',
2. ανάλογα με τη μέθοδο δειγματοληψίας που χρησιμοποιείται κάθε φορά θα πρέπει να σταλούν τα αντίστοιχα σήματα ελέγχου προς το DeltaStream και προς τον status register. Η επιλογή αυτή υλοποιείται από έναν δεύτερο πολυπλέκτη 2 λέξεων των 5bit σε 1 λέξη των 5bit (MUX2_1_5, σχ.ΑΠ.37). Από την 5-bit έξοδό του τα σήματα clk, holdN, freset και S οδεύουν προς τους buffers εξόδου του FPGA. Το σήμα ready οδεύει προς τον status register για να γίνει η εγγραφή της τιμής του.



Σχήμα ΑΠ. 35: Σχηματικό διάγραμμα υπομονάδας πολύπλεξης 2BIT_M2_1N



Σχήμα ΑΠ. 36: Σχηματικό διάγραμμα της εσωτερικής υπομονάδας M2_1N



Σχήμα ΑΠ. 37: Σχηματικό διάγραμμα υπομονάδας πολύπλεξης MUX2_1_5

Έπειτα από την αναλυτική περιγραφή όλων των επιμέρους υπομονάδων που απαρτίζουν το FPGA μπορούμε να παρατηρήσουμε ότι στα περισσότερα από αυτά υπάρχει ο ελάχιστος αριθμός πυλών και flip-flop που απαιτείται ώστε να επιτευχθεί ο τελικός στόχος.

Η υλοποίησή του έγινε με πολύ μεγάλη δυσκολία και το αποτέλεσμα όπως θα εξηγήσουμε αναλυτικότερα σε άλλο κεφάλαιο είναι να καταληφθούν σχεδόν όλα τα διαθέσιμα CLBs που διαθέτει το FPGA XC4003EPC84 που χρησιμοποιείται στο Readout Board του DeltaStream.

A.Π3 ΠΡΟΓΡΑΜΜΑ ΜΙΚΡΟΕΛΕΓΚΤΗ

Ο κώδικας που χρησιμοποιήθηκε για τον προγραμματισμό του μικροελεγκτή AT89Σ8252-ATMEL, γράφτηκε σε γλώσσα χαμηλού επιπέδου Assembly και παρατίθεται αναλυτικά παρακάτω.

Ο προγραμματισμός του έγινε με τη βοήθεια του προγραμματιστή SUPERPRO II της εταιρίας XELTEK που διαθέτει το εργαστήριο Φυσικής Υψηλών Ενεργειών.

```

;@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@;
; Dcode.a51 ;
; LAST UPDATE:13/10/00 ;
;-----;
; Author: Vasilis Christofilakis ;
; HEP LAB, University of Ioannina ;
;-----;
;@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@@;
;*****;
; PSEUDO OPS ;
;*****;
; Constants ;
;-----;
; READ_COMMAND EQU 52H ;ASCII 'R' ;
; WRITE_COMMAND EQU 57H ;ASCII 'W' ;
; B_RATE EQU 0FDH ;
; Memory addresses ;
;-----;
; ADDRESS DATA 20H ;
; DATA_BYTE DATA 21H ;
; STATUS_FLAG BIT 10H ;
; STATUS_PIN BIT P3.2 ;
; Ports ;
;-----;
; DATA_PORT DATA P2 ;
; ADDR_PORT DATA P0 ;
; READ_PIN BIT P0.7 ;
; WRITE_PIN BIT P0.6 ;
;-----;
;*****;
; BEGIN CODE ;
;*****;
; ORG 0000H ;
; SJMP START ;
;-----;
; interrupts ;
; vector addresses ;
;-----;
; ORG 0003H ; EXTERNAL IE 0 ;
; ORG 000BH ; T/C IE 0 ;
; ORG 0013H ; EXTERNAL IE 1 ;
; ORG 001BH ; T/C IE 1 ;
; ORG 0023H ; SERIAL, SPI ;
; ORG 002BH ; TIMER 2 IE ;
;-----;
;*****;
; INITIALIZE ;
;*****;

```



```

START:      ORG 0033H
            MOV SP,#2FH ;INITIALIZE STACK
            ;
            ACALL INITIALIZE
again:      ACALL MAIN
            LJMP again
;-----;
;          INITIALIZE ROUTINE
;-----;
;-----;
; B.R=9600BPS
; TIMER 1 IN AUTORELOAD MODE
; (GENERATE BAUD RATE)
;-----;
INITIALIZE:
            CLR READ_PIN
            CLR WRITE_PIN
            MOV ADDR_PORT,#0 ;addr = 0
            MOV DATA_PORT,#0 ;data = 0
            ORL TCON,#00000001B ;IT0=1
            MOV SCON,#50H
            MOV TMOD,#00100001B
            MOV TH1,#B_RATE ; BAUD RATE 9600
            ORL PCON,#00H ; SMOD=0 (K=1)
            SETB TR1 ; GENERATE BR
            CLR TF0
            CLR RI
            CLR TI
            RET
;-----;
;-----;
;          MAIN ROUTINE
;-----;
;RECEIVE 1st BYTE
;1st byte --> CTRL BYTE
; R,W,P,S
MAIN:
            JNB RI,$
            MOV A,SBUF
            CLR RI
CHECK_R:   CJNE A,#'R',CHECK_W
            LJMP READ
CHECK_W:   CJNE A,#'W',CHECK_P
            LJMP WRITE
CHECK_P:   CJNE A,#'P',CHECK_S
            LJMP SET_CLR_PIN
CHECK_S:   CJNE A,#'S',ERROR
            LJMP STATUS
            MOV SP,#02FH
            mov dptr,#Again
            push dpl
            push dph
            RET
;-----;
;////////////////////////////////////
ERROR:     MOV SP,#02FH

```



```

        mov dptr,#Again
        push dpl
        push dph
        RET
;////////////////////////////////////
;-----;
;          READ LABEL          ;
;-----;
READ:    JNB RI,$
        MOV A,SBUF
        CLR RI
        MOV ADDRESS,A      ;PROTECT
        CJNE A,#63,CHECK
        AJMP CORRECT_ADDRESS
CHECK:   JNC WRONG_ADDRESS
        CLR C
CORRECT_ADDRESS:CLR C
        MOV P0,ADDRESS      ;WRITE ADDR
        SETB WRITE_PIN      ;W=1
        CLR WRITE_PIN       ;W=0
        MOV P2,#0FFH
        SETB READ_PIN       ;READ DATA BYTE
        MOV A,P2            ;
        CLR READ_PIN        ;
        CLR RI              ;TRANSMIT DATA BYTE
        CLR TI
        MOV SBUF,A
        JNB TI,$
        CLR TI
        MOV SP,#02FH
        mov dptr,#Again
        push dpl
        push dph
        RET
;-----;
;////////////////////////////////////
WRONG_ADDRESS:  LJMP ERROR
;////////////////////////////////////
;-----;
;          WRITE LABEL         ;
;-----;
WRITE:    JNB RI,$
        MOV A,SBUF
        CLR RI
        MOV ADDRESS,A      ;PROTECT
        CJNE A,#63,CHECK1
        AJMP CORRECT_ADDRESS1
CHECK1:   JNC WRONG_ADDRESS
        CLR C
CORRECT_ADDRESS1:  CLR C
        JNB RI,$
        MOV A,SBUF
        CLR RI
        MOV DATA_BYTE,A
        MOV P2,DATA_BYTE   ;data
        MOV P0,ADDRESS     ;ADDR
        SETB WRITE_PIN     ;W=1
        CLR WRITE_PIN      ;W=0
        MOV SP,#02FH
        mov dptr,#Again

```



```

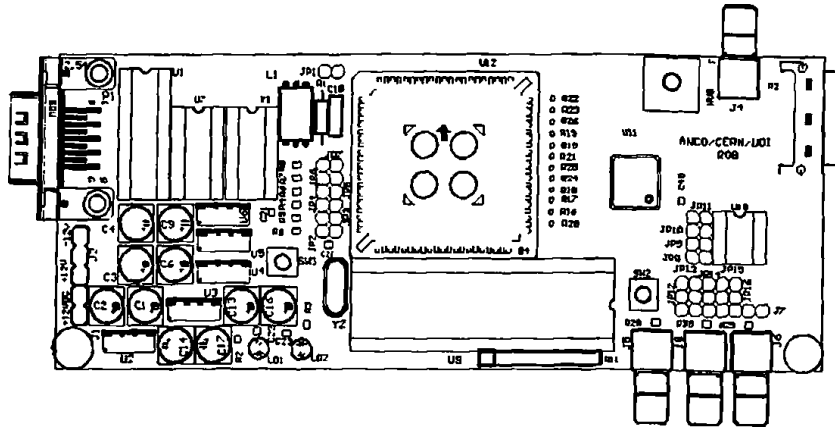
        push dpl
        push dph
        RET
;-----;
;-----;
;          SET/CLR PIN LABEL          ;
;-----;
SET_CLR_PIN:      JNB RI,$
                  MOV A,SBUF
                  CLR RI
                  MOV B,A
                  XRL A,#0'          ;ASCII "0"
                  JZ CLEAR_PIN
                  MOV A,B
                  XRL A,#1'          ;ASCII "1"
                  JZ SET_PIN
                  MOV SP,#02FH      ;PROTECT THE STACK
                  mov dptr,#Again
                  push dpl
                  push dph
                  RET
SET_PIN:          SETB P1.0
                  MOV SP,#02FH      ;PROTECT THE STACK
                  mov dptr,#Again
                  push dpl
                  push dph
                  RET
CLEAR_PIN:       CLR P1.0
                  MOV SP,#02FH      ;PROTECT THE STACK
                  mov dptr,#Again
                  push dpl
                  push dph
                  RET
;-----;
STATUS:          MOV C,STATUS_PIN
                  MOV STATUS_FLAG,C
                  CLR TI
                  JC FPGA_is_READY
                  MOV SBUF,#'N'
                  JNB TI,$
                  CLR TI
                  MOV SP,#02FH
                  mov dptr,#Again
                  push dpl
                  push dph
                  RET
FPGA_is_READY:   CLR C
                  MOV SBUF,#'Y'
                  JNB TI,$
                  CLR TI
                  MOV SP,#02FH
                  mov dptr,#Again
                  push dpl
                  push dph
                  RET
;-----;
          END
;-----;

```

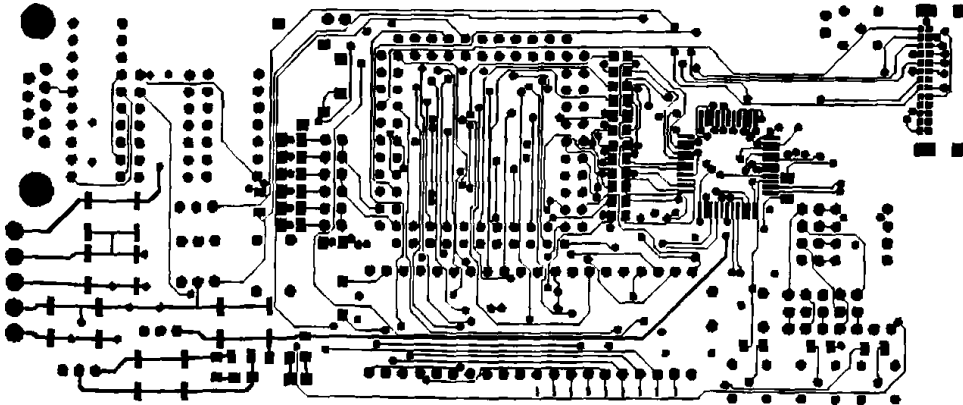


Α.Π4 ΤΥΠΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ

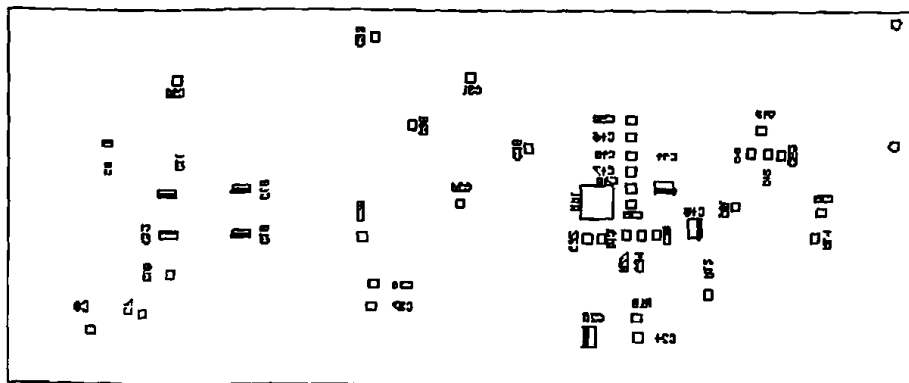
Η σχεδίαση των τυπωμένων κυκλωμάτων που χρησιμοποιήθηκαν για την κατασκευή της πλακέτας ROB (σε multilayer μορφή) υλοποιήθηκε από την εταιρία ANKO.



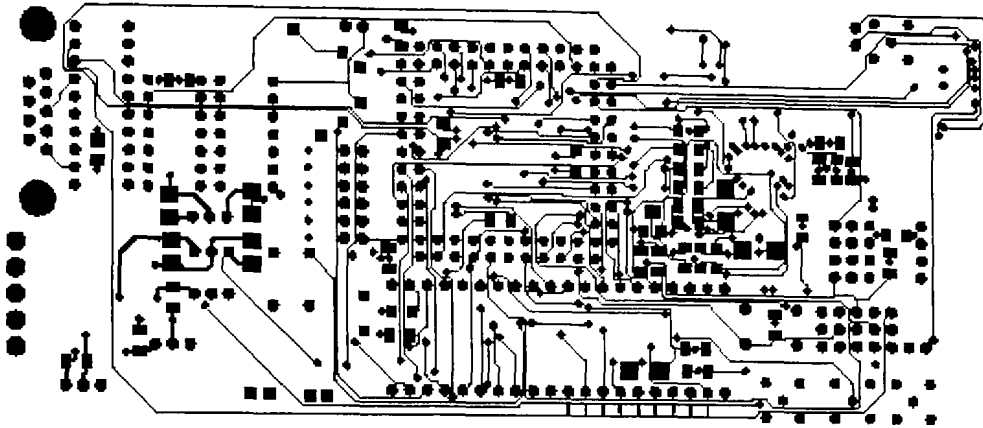
Σχήμα ΑΠ. 38: Τοπογραφικό του άνω επιπέδου της πλακέτας ROB



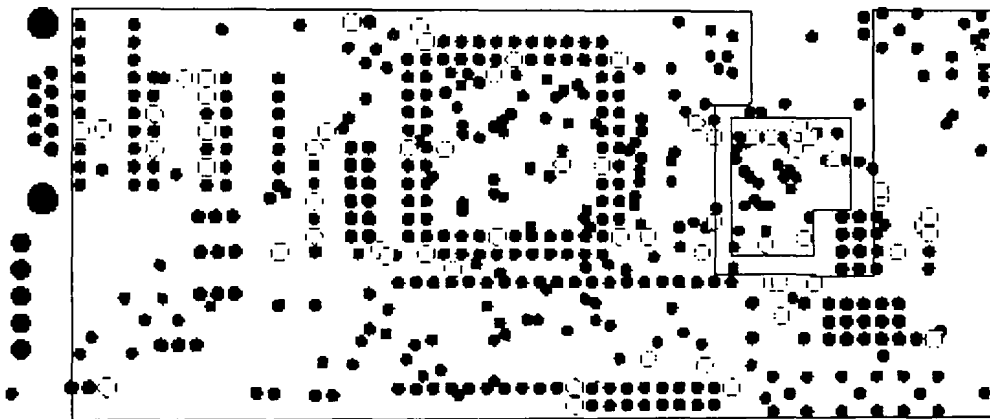
Σχήμα ΑΠ. 39: Layout του άνω επιπέδου της πλακέτας ROB



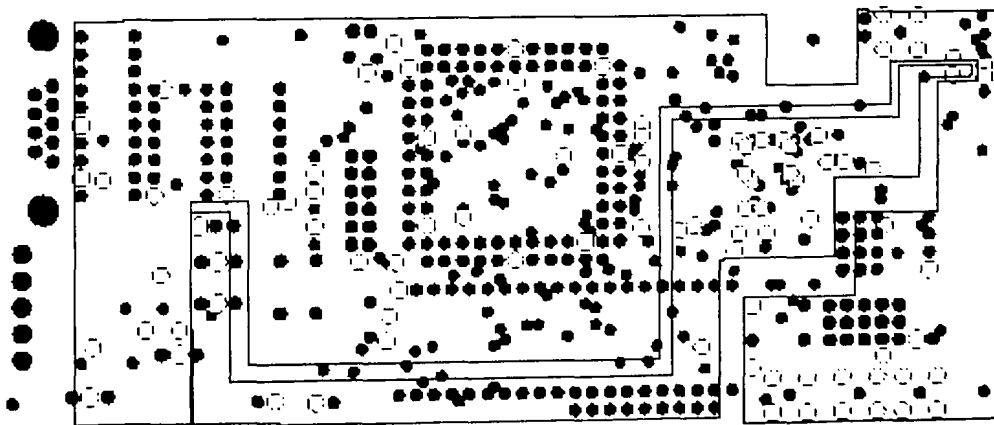
Σχήμα ΑΠ. 40: Τοπογραφικό του υλικών στο κάτω επίπεδο της πλακέτας ROB



Σχήμα ΑΠ. 41: Layout του κάτω επιπέδου της πλακέτας ROB



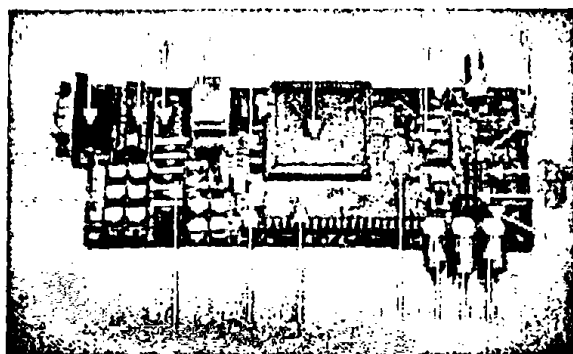
Σχήμα ΑΠ. 42: Layout της τροφοδοσίας της πλακέτας ROB



Σχήμα ΑΠ. 43: Layout της γείωσης της πλακέτας ROB



Στο σχήμα ΑΠ.44 φαίνεται η πλακέτα ROB και πιο κάτω δίνονται οι αντίστοιχες επεξηγήσεις των υλικών από τα οποία υλοποιήθηκε.



Σχήμα ΑΠ. 44

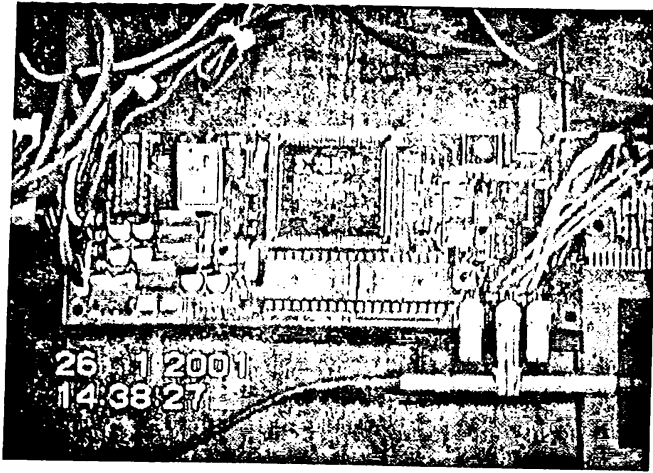
1. ο συνδέτης επικοινωνίας (RS232) του ROB με τον υπολογιστή,
2. το MAX233, που υλοποιεί το πρότυπο της σειριακής επικοινωνίας RS232,
3. το 74HC14, που στέλνει της συχνότητα των 40MHz στο FPGA,
4. ο κρύσταλλος παραγωγής συχνότητας 40MHz,
5. οι βραχυκυκλωτήρες JP2 – JP7, η θέση των οποίων ορίζει αν το FPGA θα λειτουργεί σε Slave Serial ή Master Serial Mode (κεφάλαιο Α.3.4),
6. το ολοκληρωμένο XC4005E (FPGA) της εταιρίας Xilinx,
7. ο AD9042 μετατροπέας αναλογικού σήματος σε ψηφιακό της εταιρίας Analog Devices,
8. η περιοχή τοποθέτησης του συνδέτη για την παροχή της τάσης High Voltage,
9. ο συνδέτης τύπου lemo που χρησιμοποιείται ως είσοδος του σήματος calibration pulse του συστήματος,
10. ο συνδέτης (karton cable) της επικοινωνίας μεταξύ των ROB και ROH,
11. οι βραχυκυκλωτήρες JP8 – JP11, που συνδέουν τη μνήμη PROM με το FPGA (κεφάλαιο Α.3.4),
12. η μνήμη PROM που περιέχει το ηλεκτρονικό σχέδιο με το οποίο προγραμματίζεται το FPGA,
13. οι βραχυκυκλωτήρες JP12 – JP16, που συνδέουν το FPGA με τον συνδέτη xchecker (κεφάλαιο Α.3.4),
14. ο συνδέτης xchecker που χρησιμοποιείται για το download του ηλεκτρονικού σχεδίου του FPGA από τη σειριακή θύρα του υπολογιστή,
15. ο συνδέτης τύπου lemo, από όπου εξάγεται η συχνότητα του κρυστάλλου των 40MHz,
16. ο συνδέτης τύπου lemo, που χρησιμοποιείται ως είσοδος του εξωτερικού σήματος trigger στο ROB,
17. ο συνδέτης τύπου lemo, που χρησιμοποιείται ως έξοδος της διαιρεμένης από το FPGA συχνότητας λειτουργίας (του συστήματος) προς επιβεβαίωση της σωστής της μορφής,
18. η μεταβλητή αντίσταση ρύθμισης της τάσης αναφοράς V_{offset} του ADC,
19. ο μικροελεγκτής AT89S8252¹ της Atmel,
20. ο κρύσταλλος χρονισμού του μικροελεγκτή συχνότητας 11.059MHz,
21. οι σταθεροποιητές τάσης 4xLM7805 και 1xLM7905 που παράγουν τις τάσεις λειτουργίας των ROB και ROH και τέλος
22. ο 5-pin συνδέτης όπου εφαρμόζονται η γείωση gnd και οι εξωτερικές τάσεις $\pm 12Vdc$.

ΚΑΤΑΣΤΑΣΗ ΥΛΙΚΩΝ ΒΑΘΜΙΑΣ ROV ΓΙΑ 1 ΤΕΜΑΧΙΟ		
Α/Α	ΠΕΡΙΓΡΑΦΗ	ΠΟΣΟΤΗΤΑ
ΠΥΚΝΩΤΕΣ		
1	ΠΥΚΝΩΤΗΣ 0.1μF/63V SMD 1206	26
2	ΠΥΚΝΩΤΗΣ 10μF/16V SMD	3
3	ΠΥΚΝΩΤΗΣ 47μF/16V SMD	10
4	ΠΥΚΝΩΤΗΣ 10nF/100V SMD 1206	3
5	ΠΥΚΝΩΤΗΣ 0.33μF/35V ηλεκτρ. SMD 1206	4
6	ΠΥΚΝΩΤΗΣ 1μF/16V ηλεκτρ. SMD	2
7	ΠΥΚΝΩΤΗΣ 22pF/100V SMD 1206	2
8	ΠΥΚΝΩΤΗΣ 0.1μF/100V CK05	1
ΑΝΤΙΣΤΑΣΕΙΣ		
1	ΑΝΤΙΣΤΑΣΗ 499Ω/0.25W/1% SMD 0805	12
2	ΑΝΤΙΣΤΑΣΗ 47Ω/0.25W/1% SMD 1206	5
3	ΑΝΤΙΣΤΑΣΗ 390Ω/0.25W/1% SMD 1206	2
4	ΑΝΤΙΣΤΑΣΗ 56ΚΩ/0.25W/1% SMD 1206	1
5	ΑΝΤΙΣΤΑΣΗ 4.7ΚΩ/0.25W/1% SMD 1206	4
6	ΑΝΤΙΣΤΑΣΗ 10Κ/0.25W/1% SMD 1206	5
7	ΔΙΚΤΥΩΜΑ ΑΝΤΙΣΤΑΣΕΩΝ 10ΚΩΧ8	1
8	ΤΡΙΜΜΕΡ 10ΚΩ 0.25W, 11T, SMD	1
ΔΙΟΔΟΙ LEDS		
1	LED 3mm ΚΟΚΚΙΝΟ LOW POWER	2
ΟΛΟΚΛΗΡΩΜΕΝΑ		
1	I.C AD9042AST PQFP	1
2	I.C AT89S8252	1
3	I.C XC40003E FPGA	1
4	I.C XC17128L DIP-8	1
5	I.C MAX233 DIP-20	1
6	I.C 74LS14 DIP-14	1
7	I.C LM7805 TO 220	4
8	I.C LM7905 TO 220	1
ΠΗΝΙΑ - ΚΡΥΣΤΑΛΛΟΙ		
1	ΠΗΝΙΟ 1μH	2
2	ΚΡΥΣΤΑΛΛΟΣ 40.096MHz DIP-14	1
3	ΚΡΥΣΤΑΛΛΟΣ 11.059MHz HC49/HC18M	1
ΣΥΝΔΕΤΕΣ		
1	ΣΥΝΔΕΤΗΣ ΟΜΟΑΞΟΝΙΚΟΣ ΤΥΠΟΥ LEMO	5
2	ΣΥΝΔΕΤΗΣ ΓΩΝΙΑΚΟΣ ΤΥΠΟΥ DB-9 αρσ.	1
3	ΣΥΝΔΕΤΗΣ ΓΩΝΙΑΚΟΣ 26 - ορτών ΤΥΠΟΥ ERNI	1
ΚΟΜΒΙΑ		
1	ΜΠΟΥΤΟΝ ΤΥΠΟΥ ΑΦΗΣ 6Χ6Χ9 mm	2

Πίνακας ΑΠ. 4

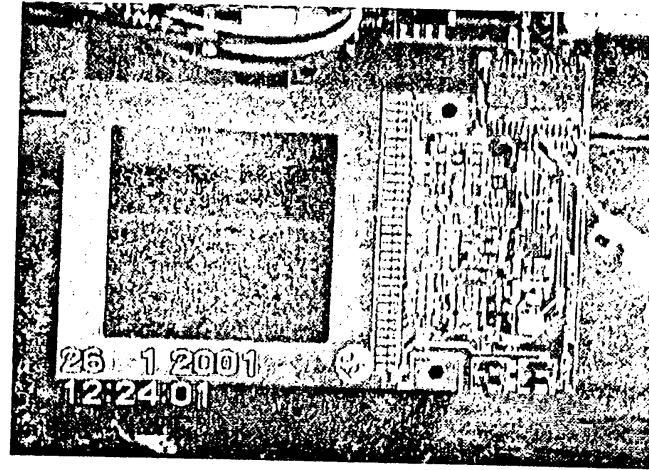


Η μονάδα ROB



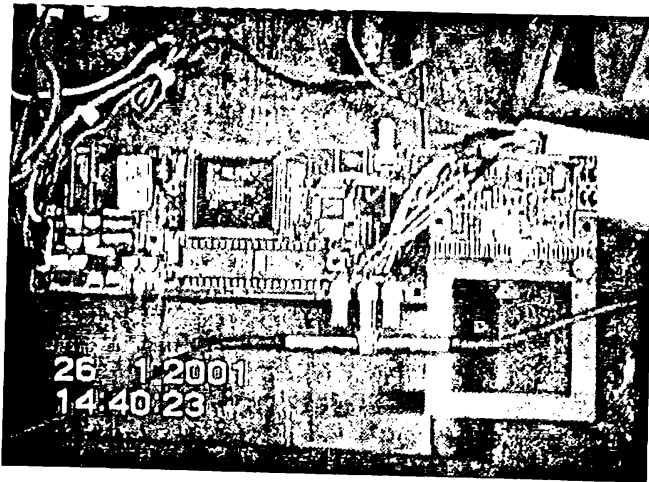
Σχήμα ΑΠ. 45

Η μονάδα ROH

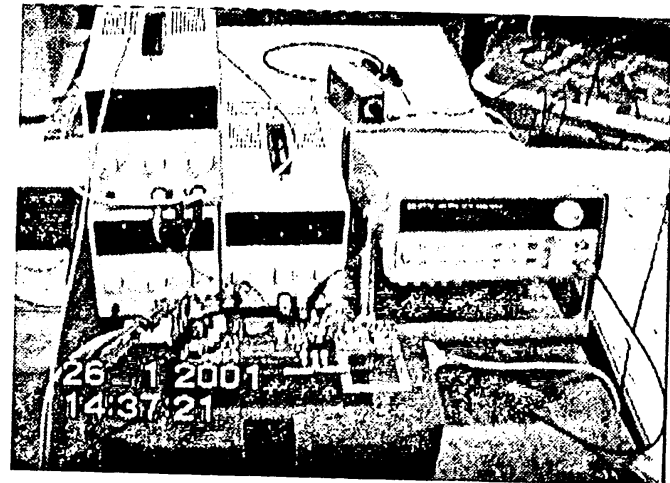


Σχήμα ΑΠ. 46

Η μονάδα ROB σε συνεργασία με την μονάδα ROH



Σχήμα ΑΠ. 47



Σχήμα ΑΠ. 48

Εργαστηριακή πειραματική διάταξη ελέγχου μονάδας ROB



Σχήμα ΑΠ. 49

ΠΑΡΑΡΤΗΜΑ Β



RE AMITIA LAM

74



Β.Π10 ΔΙΑΥΛΟΣ VME BUS

Στο παράρτημα αυτό δίδεται μια αναλυτική περιγραφή του διαύλου VMEbus.

Γενικά

Το VMEbus αρχικά σχεδιάστηκε και υποστηρίχθηκε από τρεις βασικούς κατασκευαστές: την Motorola, την Mostek και την Signetics. Στις ημέρες μας υποστηρίζεται από ένα μεγάλο αριθμό κατασκευαστών και έχει τυποποιηθεί από τον IEEE P1014. Αν και αρχικά προοριζόταν για μικροϋπολογιστές βασισμένους στον 68000 μικροεπεξεργαστή στη συνέχεια χρησιμοποιήθηκαν και άλλοι 16 ή 32-bit μικροεπεξεργαστές.

Από την φυσική του υπόσταση, το VMEbus είναι ένας τυπικός δίαυλος “οπίσθιας μητρικής πλακέτας” (backplane) με τη δυνατότητα τοποθέτησης μονάδων είτε των 233,35 χ160mm (9,2’’χ6,3’’) είτε των 100mmχ160mm (3,9’’χ6,3’’) που ονομάζονται αλλιώς και απλού ύψους 3U Euro cards και διπλού ύψους 6U Euro cards. Οι μονάδες (κάρτες ή πλακέτες) συνδέονται στο VMEbus μέσω δύο 96-ακροδεκτών συνδετήρων τύπου DIN 41612. Οι συνδετήρες αυτοί παρέχουν μεγάλη αξιοπιστία συνδέσεων.

Στην πραγματικότητα υπάρχουν δύο VME-buses. Στα μικρά συστήματα χρησιμοποιείται το bus μόνο με το συνδετήρα J1 ο οποίος διαθέτει 96 σήματα και παρέχει όλες τις ευκολίες που απαιτούνται για την υποστήριξη ενός διαύλου δεδομένων 16-bit και ενός 23-bit διαύλου διευθύνσεων. Σε μεγαλύτερα συστήματα χρησιμοποιείται και ο συνδέτης J2 ο οποίος επεκτείνει τις λειτουργίες του συνδετήρα J1 για 32-bit δίαυλο δεδομένων και 32-bit δίαυλο διευθύνσεων. Η πλειοψηφία των σημάτων του συνδετήρα J2 μπορούν να οριστούν από τον χρήστη.

Εισαγωγή στην προδιαγραφή του VMEbus

Το VMEbus είναι ένας από τους πιο διαδεδομένους διαύλους “οπίσθιας πλακέτας” των 16/32-bit. Η χρήση της τυποποίησης Euro card, η υψηλή απόδοση και η πολυμορφία του είναι μερικοί από τους λόγους που τον καθιστούν ιδανικό για μια μεγάλη ομάδα χρηστών. Η φιλικότητα προς το σχεδιαστή και ο φιλικός τρόπος της προδιαγραφής του για τους χρήστες προσφέρει χρήσιμες συμβουλές και βοηθά στην εξασφάλιση της συμβατότητας μεταξύ των προϊόντων που σχεδιάζονται για τον δίαυλο VMEbus.

Σκοπός της προδιαγραφής του VMEbus

Η προδιαγραφή του VMEbus ορίζει ένα προσαρμοσμένο σύστημα που χρησιμοποιείται για τη διασύνδεση συσκευών για επεξεργασία και αποθήκευση δεδομένων και ελέγχου περιφερειακών συσκευών σε μια στενά συνδεδεμένη σύνθεση υλικού. Το σύστημα επινοήθηκε με τους παρακάτω σκοπούς:



- Να επιτρέπει την επικοινωνία μεταξύ συσκευών του VMEbus χωρίς διαταραχή των εσωτερικών διεργασιών των άλλων συσκευών που είναι διασυνδεδεμένες στο VMEbus,
- Να ορίσει τα ηλεκτρικά και μηχανικά χαρακτηριστικά του συστήματος που απαιτούνται για τη σχεδίαση συσκευών οι οποίες αξιόπιστα και χωρίς προβλήματα θα επικοινωνούν με άλλες συσκευές που είναι συνδεδεμένες στο VMEbus,
- Να ορίσει τα πρωτόκολλα που ορίζουν επακριβώς την αλληλεπίδραση μεταξύ του VMEbus και των διασυνδεδεμένων σε αυτό συσκευές.
- Να παρέχει την ορολογία και τους ορισμούς που καθορίζουν τα πρωτόκολλα του συστήματος,
- Να επιτρέψει ένα ευρύ φάσμα τρόπων σχεδίασης, έτσι ώστε ο σχεδιαστής να μπορέσει να βελτιστοποιήσει το κόστος και-ή την απόδοση χωρίς να επηρεάσει την συμβατότητα του συστήματος,
- Να παρέχει ένα σύστημα όπου η απόδοση περιορίζεται πρωτίστως από τις συσκευές αντί του περιορισμού από τη διασύνδεση του συστήματος.

Στοιχεία για τη διασύνδεση στο σύστημα VMEbus

Βασικοί ορισμοί

Η δομή του VME μπορεί να περιγραφεί από δύο πλευρές: από τη μηχανική και τη λειτουργική δομή. Η μηχανική προδιαγραφή περιγράφει τις φυσικές διαστάσεις των υπό-πλαισίων στήριξης, της οπίσθιας πλευράς, της εμπρόσθιας όψης, των διασυνδεδεμένων καρτών κλπ. Η λειτουργική προδιαγραφή του VME περιγράφει πώς λειτουργεί ο διάυλος, ποιες λειτουργικές μονάδες αλληλεπιδρούν σε κάθε συναλλαγή και κανόνες που διέπουν την συμπεριφορά τους. Η ενότητα αυτή παρέχει ορισμούς για μερικούς βασικούς όρους που χρησιμοποιούνται για την περιγραφή της μηχανικής αλλά και της λειτουργικής δομής του VMEbus.

Ορισμοί που χρησιμοποιούνται για την περιγραφή της μηχανικής δομής του VMEbus

VMEbus BACKPLANE (“οπίσθια πλακέτα” του VMEbus)- Ένα τυπωμένο κύκλωμα με συνδετήρες των 96-ακροδεκτών και σήματα που διαπερνούν τους ακροδέκτες των συνδετήρων. Μερικά συστήματα VMEbus έχουν μόνο τυπωμένο κύκλωμα το οποίο ονομάζεται οπίσθια πλακέτα J1. Άλλα συστήματα VMEbus έχουν μια επιπρόσθετη δεύτερη πλακέτα που ονομάζεται οπίσθια πλακέτα J2. Αυτή παρέχει επιπρόσθετα συνδετήρες των 96 ακροδεκτών και σήματα που απαιτούνται για ευρύτερες μεταφορές δεδομένων και διευθύνσεων.

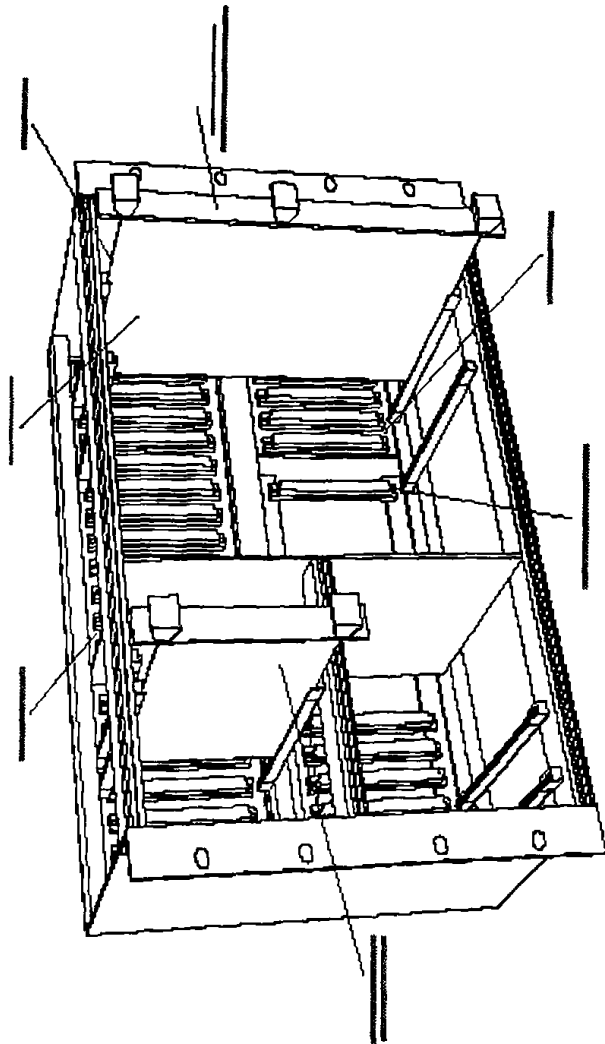
BOARD (πλακέτα): Ένα τυπωμένο κύκλωμα, η συλλογή ηλεκτρονικών στοιχείων και επιπλέον ένας ή δύο συνδετήρες των 96 ακροδεκτών που μπορεί να τοποθετηθεί στους συνδετήρες της οπίσθιας πλακέτας του VMEbus.

SLOT (υποδοχή): Η θέση από την οποία μπορεί να τοποθετηθεί μια πλακέτα στην οπίσθια πλακέτα του VMEbus. Εάν το σύστημα VMEbus διαθέτει και τις



δύο οπίσθιες πλακέτες J1 και J2 κάθε υποδοχή παρέχει ένα ζεύγος συνδετήρων των 96 ακροδεκτών. Εάν το σύστημα διαθέτει μόνο την οπίσθια πλακέτα J1 τότε κάθε υποδοχή παρέχει μόνο ένα συνδετήρα 96 ακροδεκτών.

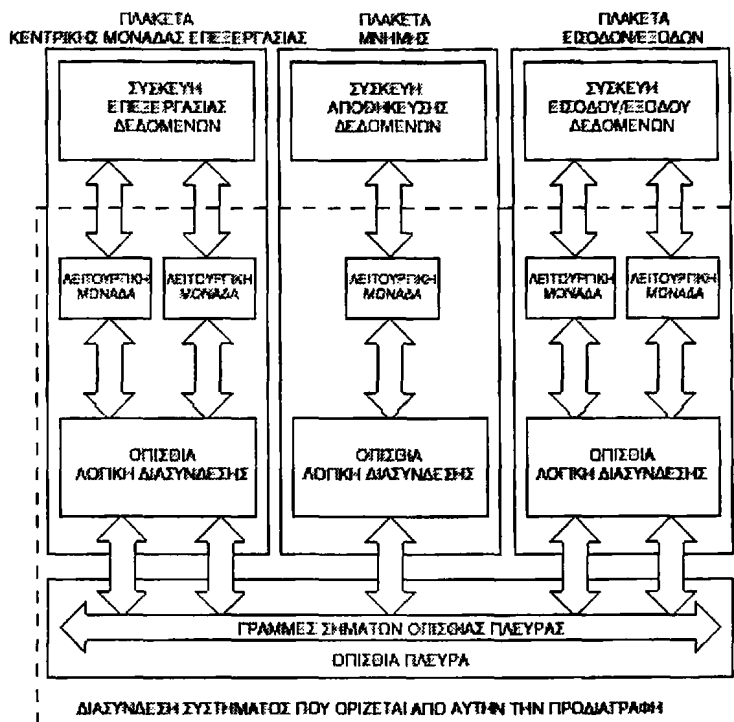
SUBRACK (υποπλαίσιο): Ένας άκαμπτος σκελετός που παρέχει την μηχανική υποστήριξη για τις πλακέτες που τοποθετούνται στις οπίσθιες πλακέτες, εξασφαλίζοντας την σωστή σύνδεση μεταξύ των συνδετήρων και ότι οι γειτονικές πλακέτες δεν εφάπτονται η μία στην άλλη. Επίσης κατευθύνει την ροή του αέρα στο σύστημα και εξασφαλίζει την μη αποσύνδεση των τοποθετημένων πλακετών από το σύστημα σε περιπτώσεις κραδασμών ή δονήσεων. Στο σχ. ΒΠ.1 φαίνεται το υποπλαίσιο του VMEbus.



Σχήμα ΒΠ. 1: Υποπλαίσιο με δυνατότητα υποστήριξης πλακετών διαφορετικών μεγεθών

Ορισμοί που χρησιμοποιούνται για την περιγραφή της λειτουργικής δομής του VMEbus

Το σχ. ΒΠ.2 εμφανίζει ένα απλό διάγραμμα βαθμίδων της λειτουργικής δομής περιλαμβάνοντας τις γραμμές σημάτων του VMEbus, την λογική της διασύνδεσης των οπίσθιων πλακετών και τις λειτουργικές μονάδες.



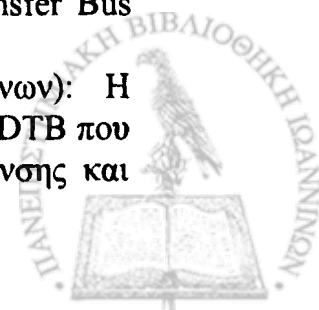
Σχήμα ΒΠ. 2: Διάγραμμα βαθμίδων λειτουργικής δομής του VMEbus

BACKPLANE INTERFACE LOGIC (λογική διασύνδεσης της οπίσθιας πλακέτας): Ειδική λογική διασύνδεσης που λαμβάνει υπόψη τα χαρακτηριστικά της οπίσθιας πλακέτας: την χαρακτηριστική αντίσταση των γραμμών των σημάτων, το χρόνο μετάδοσης, τις αντιστάσεις τερματισμού κλπ. Η προδιαγραφή του VMEbus υπαγορεύει πολλούς κανόνες για τη σχεδίαση αυτής της λογικής βασισμένη στο μέγιστο μήκος της οπίσθιας πλακέτας και το μέγιστο αριθμό των υποδοχών πλακετών.

FUNCTIONAL MODULE (λειτουργική μονάδα): Μια συλλογή ηλεκτρονικών κυκλωμάτων που υπάρχουν επάνω σε μια πλακέτα VMEbus και λειτουργούν μαζί για την επίτευξη μιας εργασίας.

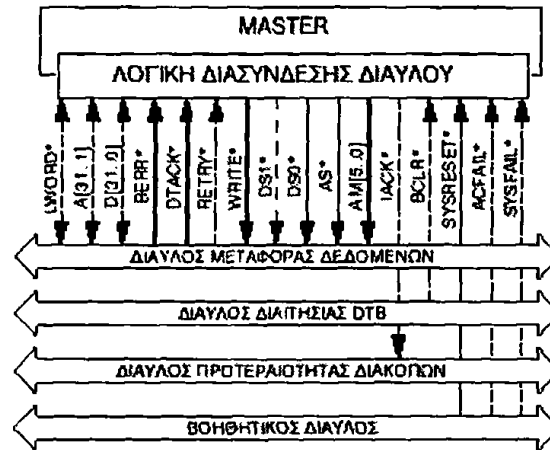
DATA TRANSFER BUS (διάυλος μεταφοράς δεδομένων): Ο διάυλος μεταφοράς δεδομένων του VMEbus βασίζεται στους διαύλους διεύθυνσεων, δεδομένων και ελέγχου του 68000. Ένας από τους τέσσερις διαύλους που παρέχονται από την οπίσθια πλακέτα του VMEbus. Ο διάυλος μεταφοράς δεδομένων επιτρέπει στους masters να κατευθύνουν την επικοινωνία μεταξύ τους αλλά και μεταξύ των slaves (η συντομογραφία του Data Transfer Bus είναι η DTB).

DATA TRANSFER BUS CYCLE (κύκλος μεταφοράς δεδομένων): Η αλληλουχία της μετάβασης των σημάτων στις γραμμές σημάτων του DTB που έχει ως αποτέλεσμα την μεταφορά μιας διεύθυνσης ή μιας διεύθυνσης και



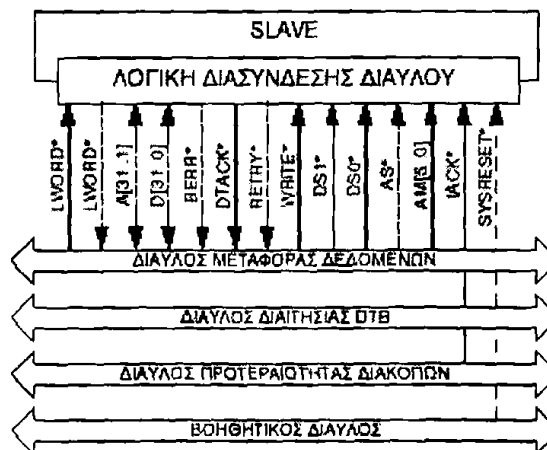
δεδομένων μεταξύ ενός MASTER και ενός SLAVE. Ο κύκλος μεταφοράς του DTB διαιρείται σε δύο τμήματα, την μετάδοση της διεύθυνσης και στη συνέχεια καμία ή περισσότερες μεταφορές δεδομένων. Υπάρχουν 34 τύποι κύκλων μεταφοράς δεδομένων.

MASTER (αφέντης): Μια λειτουργική μονάδα (σχ. ΒΠ.3) που αρχικοποιεί τους κύκλους μεταφοράς δεδομένων με σκοπό την μεταφορά δεδομένων μεταξύ του εαυτού τους και μιας μονάδας SLAVE.



Σχήμα ΒΠ. 3: Διάγραμμα βαθμίδας MASTER

SLAVE (σκλάβος): Μια λειτουργική μονάδα (σχ. ΒΠ.4) που αντιλαμβάνεται τους κύκλους μεταφοράς δεδομένων που αρχικοποιούνται από τον MASTER και όταν οι κύκλοι αυτοί ορίζουν τη δική της συμμετοχή, μεταφέρει δεδομένα μεταξύ του εαυτού της και του Master.



Σχήμα ΒΠ. 4: Διάγραμμα βαθμίδας SLAVE

LOCATION MONITOR (επιτηρητής θέσης): Μια λειτουργική μονάδα (σχ. ΒΠ.5) που επιτηρεί τις μεταφορές δεδομένων επάνω στο DTB με σκοπό να ανιχνεύσει τις προσπελάσεις από τις θέσεις που της έχουν ανατεθεί να επιτηρεί. Όταν συμβεί μια προσπέλαση σε μια από τις ανατιθέμενες θέσεις επιτήρησης, η μονάδα δημιουργεί ένα σήμα.



Σχήμα ΒΠ. 5: Διάγραμμα βαθμίδας επιτηρητή θέσεως

BUS TIMER (χρονόμετρο διαύλου): Μια λειτουργική μονάδα (σχ. ΒΠ.6) που μετρά το χρόνο που καταλαμβάνει μια μεταφορά δεδομένων στο δίαυλο DTB και τερματίζει τον κύκλο μεταφοράς δεδομένων εάν η μεταφορά πάρει πολύ χρόνο. Χωρίς αυτήν την υπομονάδα, εάν ο MASTER προσπαθήσει να μεταφέρει δεδομένα προς ή από μια μη υπάρχουσα θέση SLAVE θα περιμένει έπ' άπειρον. Το χρονόμετρο του διαύλου εμποδίζει την κατάσταση αυτή τερματίζοντας τον κύκλο.



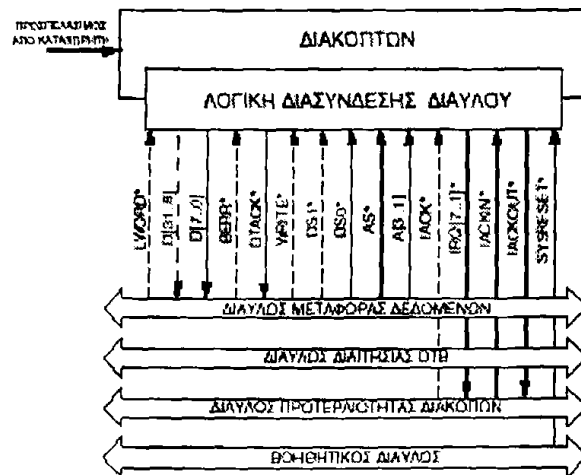
Σχήμα ΒΠ. 6: Διάγραμμα βαθμίδας χρονομέτρου διαύλου

PRIORITY INTERRUPT BUS (δίαυλος προτεραιότητας διακοπών): Ένας από τους τέσσερις διαύλους που παρέχει η οπίσθια πλακέτα του VMEbus. Ο δίαυλος προτεραιότητας διακοπών επιτρέπει στην διακόπτουσα μονάδα να αποστείλει αιτήσεις διακοπών στους χειριστές διακοπών.

INTERRUPTER (διακόπτων): Η λειτουργική μονάδα (σχ. ΒΠ.7) που δημιουργεί μια αίτηση διακοπής στο δίαυλο προτεραιότητας διακοπών και παρέχει πληροφορίες STATUS/ID όταν ο χειριστής διακοπών το απαιτήσει.

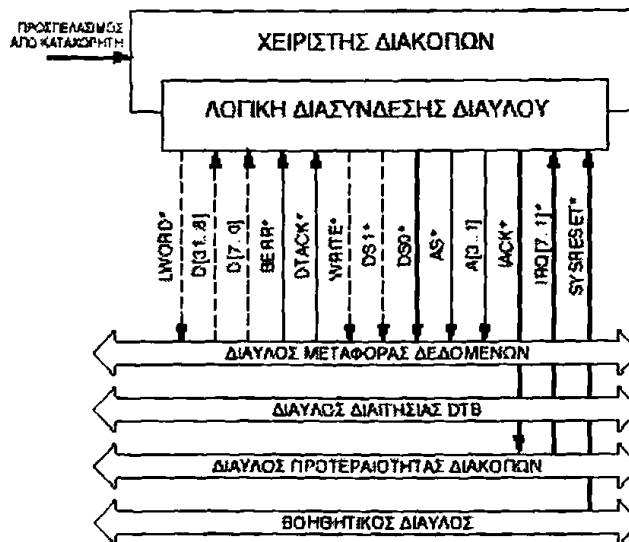


INTERRUPTER (διακόπτων): Η λειτουργική μονάδα (σχ. 46) που δημιουργεί μια αίτηση διακοπής στο δίαυλο προτεραιότητας διακοπών και παρέχει πληροφορίες STATUS/ID όταν ο χειριστής διακοπών το απαιτήσει.



Σχήμα ΒΠ. 7: Διάγραμμα βαθμίδας διακόπτοντος

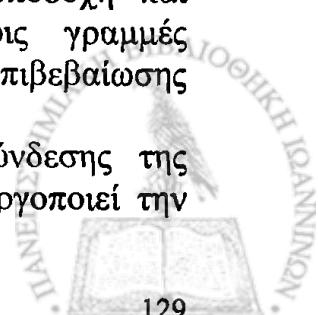
INTERRUPT HANDLER (χειριστής διακοπών): Η λειτουργική μονάδα (σχ. ΒΠ.8) που αντιλαμβάνεται τις αιτήσεις διακοπών που δημιουργούνται από τους διακόπτοντες και ανταποκρίνεται στις διακοπές ζητώντας τις πληροφορίες STATUS/ID.



Σχήμα ΒΠ. 8: Διάγραμμα βαθμίδας χειριστή διακοπών

DAISY-CHAIN (αλυσιδωτή σύνδεση): Ένας ειδικός τύπος γραμμών του VMEbus που χρησιμοποιείται για τη μετάδοση του επιπέδου ενός σήματος από την μια πλακέτα στην άλλη, ξεκινώντας από την πρώτη υποδοχή και τελειώνοντας στην τελευταία υποδοχή. Υπάρχουν τέσσερις γραμμές αλυσιδωτής σύνδεσης για την παραχώρηση του διαύλου και μια επιβεβαίωσης διακοπών στο VMEbus.

IACK DAISY-CHAIN DRIVER (οδηγός της αλυσιδωτής σύνδεσης της γραμμής IACK): Μια λειτουργική μονάδα (σχ. ΒΠ.9) που ενεργοποιεί την



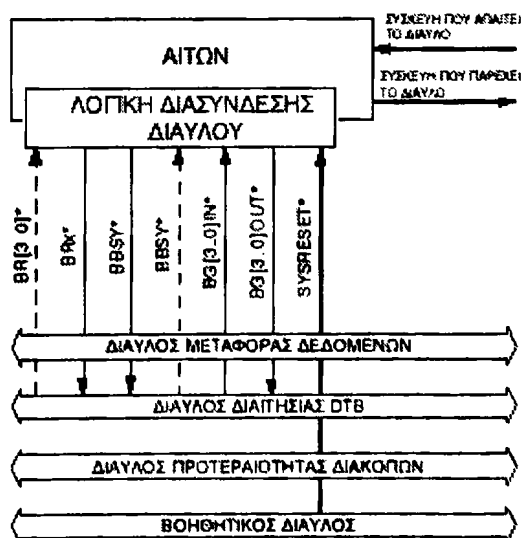
αλυσιδωτή σύνδεση της επιβεβαίωσης διακοπής οποτεδήποτε ένας χειριστής διακοπών επιβεβαιώσει μια αίτηση διακοπής. Η αλυσιδωτή αυτή διασύνδεση εξασφαλίζει ότι ένας μόνο διακόπτων θα αποκριθεί με τις πληροφορίες STATUS/ID όταν περισσότεροι από ένας έχουν δημιουργήσει αιτήσεις διακοπής.



Σχήμα ΒΠ. 9: Διάγραμμα βαθμίδας οδηγού αλυσιδωτής σύνδεσης ΙΑΚΚ

ARBITRATION BUS (διάυλος διαιτησίας): Ένας από τους τέσσερις διαύλους που παρέχονται από την οπίσθια πλακέτα του VMEbus. Αυτός ο διάυλος επιτρέπει στην μονάδα του διαιτητή και σε πολλές μονάδες αιτούντων να συντονιστούν την χρήση του DTB.

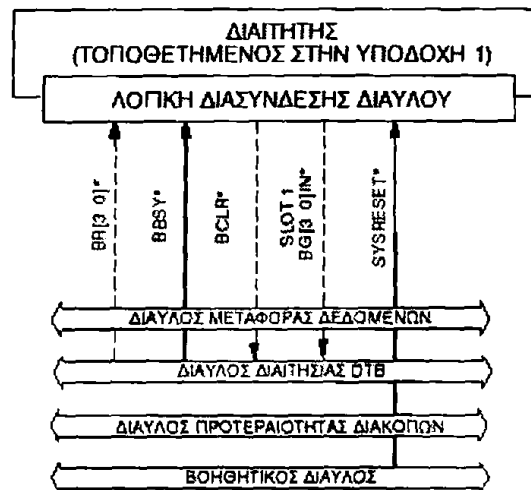
REQUESTER (αιτών): Μια λειτουργική μονάδα (σχ. 49) που υπάρχει στην ίδια πλακέτα με τον MASTER ή τον χειριστή διακοπών και αιτείται τη χρήση του DTB όταν ο MASTER ή ο χειριστής διακοπών δεν τον χρειάζονται.



Σχήμα ΒΠ. 10: Διάγραμμα βαθμίδας αιτούντος



ARBITER (Διαιτητής): Μια λειτουργική μονάδα (σχ. ΒΠ.11) που δέχεται αιτήσεις για το δίαυλο από τις μονάδες αιτούντων και παρέχει τον έλεγχο του DTB σε έναν αιτούντα ανά πάσα στιγμή.



Σχήμα ΒΠ. 11: Διάγραμμα βαθμίδας διαιτητή

UTILITY BUS (βοηθητικό δίαυλος): Ένας από τους τέσσερις διαύλους που παρέχεται από την οπίσθια πλακέτα του VMEbus. Αυτός ο δίαυλος περιέχει σήματα που παρέχουν περιοδικό χρονισμό και συντονίζει την έναρξη και διακοπή λειτουργίας των συστημάτων του VMEbus.

SYSTEM CLOCK DRIVER (οδηγός ρολογιού συστήματος): Μια λειτουργική μονάδα που παρέχει το σήμα χρονισμού των 16MHz στο βοηθητικό δίαυλο.

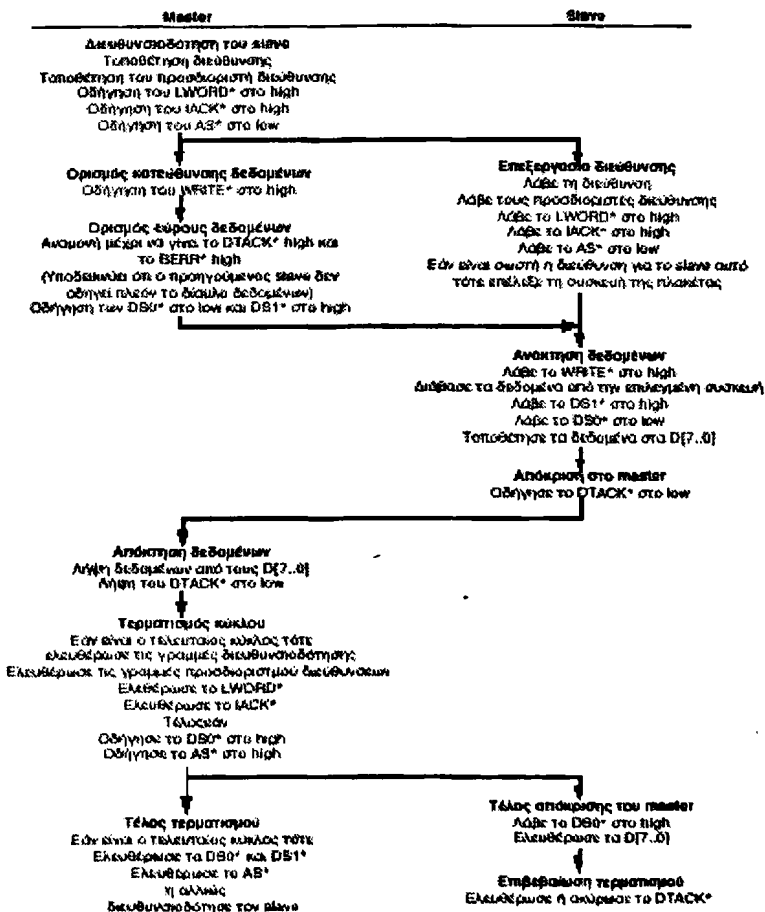
SERIAL CLOCK DRIVER (οδηγός σειριακού ρολογιού): Μια λειτουργική μονάδα που παρέχει το σήμα περιοδικού χρονισμού που συγχρονίζει την λειτουργία του VMSbus (Αν και η προδιαγραφή του VMEbus ορίζει τον οδηγό του σειριακού ρολογιού για χρήση με το VMSbus και αν και δεσμεύονται δύο γραμμές της οπίσθιας πλακέτας για την χρήση από το δίαυλο αυτό, το VMSbus πρωτόκολλο είναι εντελώς ανεξάρτητο από το VMEbus).

POWER MONITOR MODULE (μονάδα επιτήρησης τροφοδοσίας): Μια λειτουργική μονάδα που επιτηρεί την κατάσταση της βασικής πηγής τροφοδοσίας του συστήματος VMEbus και σηματοδοτεί τις περιπτώσεις που η τάση τροφοδοσίας ξεπεράσει τα όρια που απαιτούνται για αξιόπιστη λειτουργία του συστήματος. Επειδή τα περισσότερα συστήματα τροφοδοτούνται από πηγή AC, ο επιτηρητής τροφοδοσίας σχεδιάζεται για την ανίχνευση καταστάσεων πρώσης ή διακοπής στις γραμμές τροφοδοσίας.

SYSTEM CONTROLLER BOARD (πλακέτα ελεγκτή συστήματος): Η πλακέτα που τοποθετείται στην υποδοχή 1της οπίσθιας πλακέτας του VMEbus και περιλαμβάνει τον οδηγό ρολογιού του συστήματος, τον διαιτητή, τον οδηγό της αλυσιδωτής σύνδεσης του σήματος επιβεβαίωσης διακοπών και το χρονόμετρο του διαύλου. Μερικές από αυτές έχουν και τον οδηγό του σειριακού ρολογιού ή τον επιτηρητή τάσης ή και τα δύο.

Είδη κύκλων του VMEbus

READ CYCLE (κύκλος ανάγνωσης): Ο διάυλος μεταφοράς δεδομένων χρησιμοποιείται για τη μεταφορά 1, 2, 3 ή 4 bytes από τον SLAVE στον MASTER. Ο κύκλος ξεκινά από τον MASTER με την εκπομπή της διεύθυνσης και του προσδιοριστή διευθύνσεων. Κάθε SLAVE διαβάζει τον προσδιοριστή διευθύνσεων και την διεύθυνση και ελέγχει αν θα πρέπει να αποκριθεί στον κύκλο. Εάν θα πρέπει να αποκριθεί διαβάζει τα δεδομένα από την εσωτερική του μνήμη και τα τοποθετεί στον διάυλο δεδομένων και επιβεβαιώνει την μεταφορά. Τέλος ο MASTER τερματίζει τον κύκλο. Το σχ. ΒΠ.12 δίδει ένα παράδειγμα ενός κύκλου ανάγνωσης ενός byte.



Σχήμα ΒΠ. 12: Κύκλος ανάγνωσης ενός byte

WRITE CYCLE (κύκλος εγγραφής): Ο διάυλος μεταφοράς δεδομένων χρησιμοποιείται για την μεταφορά 1, 2, 3 ή 4 bytes από τον MASTER στον SLAVE. Ο κύκλος ξεκινά από τον MASTER με την εκπομπή της διεύθυνσης, του προσδιοριστή διευθύνσεων και την τοποθέτηση των δεδομένων στο διάυλο μεταφοράς δεδομένων. Κάθε SLAVE διαβάζει τον προσδιοριστή διευθύνσεων και την διεύθυνση και ελέγχει αν θα πρέπει να αποκριθεί στον κύκλο. Εάν θα πρέπει να αποκριθεί διαβάζει τα δεδομένα από το διάυλο δεδομένων και τα αποθηκεύει και επιβεβαιώνει την μεταφορά. Τέλος ο MASTER τερματίζει τον κύκλο.



BLOCK READ CYCLE (κύκλος ανάγνωσης ομάδας): Αυτός ο κύκλος του DTB χρησιμοποιείται για την μεταφορά ομάδας που αποτελείται από 1 έως 256 bytes από τον SLAVE στον MASTER. Η μεταφορά αυτή γίνεται με τη χρήση 1, 2, 3 ή 4 bytes μεταφορές δεδομένων. Εφόσον ξεκινήσει η μεταφορά ομάδας, ο MASTER δεν απελευθερώνει το DTB μέχρις ότου όλα τα bytes μεταφερθούν. Διαφέρει από τον κύκλο ανάγνωσης διότι ο MASTER εκπέμπει μόνο μια διεύθυνση και τον προσδιοριστή διευθύνσεων (στην αρχή του κύκλου). Στη συνέχεια ο SLAVE αυξάνει την διεύθυνση σε κάθε μεταφορά έτσι ώστε τα δεδομένα της επόμενης μεταφοράς να ανακτηθούν από την επόμενη ψηλότερη θέση.

BLOCK WRITE CYCLE (κύκλος εγγραφής ομάδας): Αυτός ο κύκλος του DTB χρησιμοποιείται για την μεταφορά ομάδας που αποτελείται από 1 έως 256 bytes από τον MASTER στον SLAVE. Ο κύκλος αυτός είναι όμοιος με τον κύκλο ανάγνωσης ομάδας δεδομένων. Η μεταφορά αυτή γίνεται με τη χρήση 1, 2, 3 ή 4 bytes μεταφορές δεδομένων και ο MASTER δεν απελευθερώνει το DTB μέχρις ότου όλα τα bytes μεταφερθούν. Διαφέρει από τον κύκλο εγγραφής διότι ο MASTER εκπέμπει μόνο μια διεύθυνση και τον προσδιοριστή διευθύνσεων (στην αρχή του κύκλου). Στη συνέχεια ο SLAVE αυξάνει την διεύθυνση σε κάθε μεταφορά έτσι ώστε τα δεδομένα της επόμενης μεταφοράς να ανακτηθούν από την επόμενη υψηλότερη θέση.

READ-MODIFY-WRITE CYCLE (κύκλος ανάγνωσης - μεταβολής - εγγραφής): Ο κύκλος του DTB χρησιμοποιείται για την ανάγνωση από και την εγγραφή προς τον SLAVE χωρίς να επιτρέπεται σε άλλον MASTER να προσπελάσει τη θέση αυτή. Αυτός ο κύκλος χρησιμεύει σε πολύ-επεξεργαστικά συστήματα όπου κάποιες θέσεις μνήμης χρησιμοποιούνται για να παρέχουν λειτουργίες σηματοφορέων.

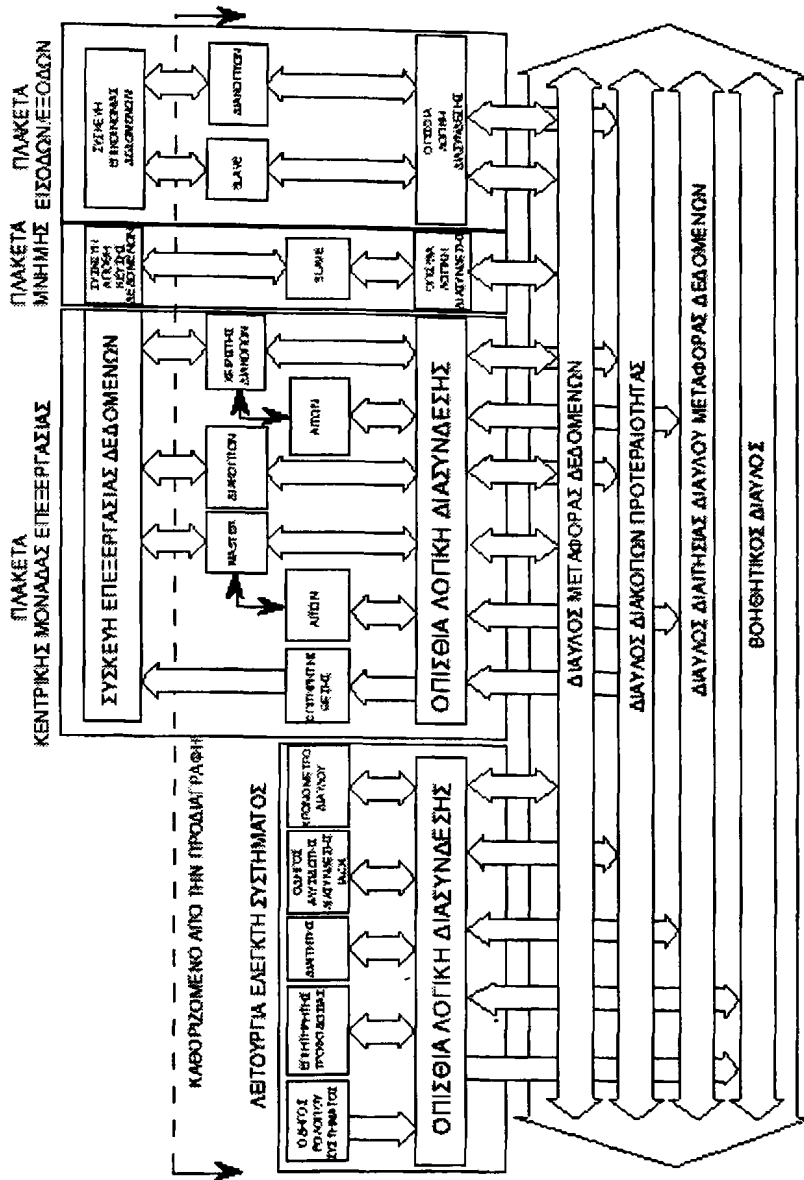
ADDRESS-ONLY CYCLE (κύκλος μόνο διεύθυνσης): Ένας κύκλος του DTB που εκπέμπεται η διεύθυνση αλλά δεν υπάρχει μεταφορά δεδομένων. Οι SLAVES δεν επιβεβαιώνουν τους κύκλους μόνο διεύθυνσης και οι MASTERS τερματίζουν τον κύκλο χωρίς να περιμένουν για επιβεβαίωση.

INTERRUPT-ACKNOWLEDGE CYCLE (κύκλος επιβεβαίωσης διακοπής): Ένας DTB κύκλος που αρχικοποιείται από τον χειριστή διακοπών ο οποίος διαβάζει τις πληροφορίες STATUS/ID του διακόπτοντα. Ο χειριστής διακοπών δημιουργεί τον κύκλο αυτό οποτεδήποτε αντιληφθεί μια αίτηση διακοπής από τον διακόπτοντα και έχει τον έλεγχο του διαύλου DTB.

Βασική δομή του VMEbus

Το σύστημα διασύνδεσης του VMEbus αποτελείται από την λογικά διασύνδεσης της οπίσθιας πλευράς, τέσσερις ομάδες γραμμών σημάτων που ονομάζονται “δίαυλοι” και μια συλλογή από λειτουργικές μονάδες που μπορούν να συντεθούν ανάλογα με τις απαιτήσεις. Οι λειτουργικές μονάδες επικοινωνούν η μια με την άλλη χρησιμοποιώντας τις γραμμές σημάτων της οπίσθιας πλευράς.





Σχήμα ΒΠ. 13: Λειτουργικές μονάδες και διάυλοι

Οι λειτουργικές μονάδες που περιγράφονται χρησιμοποιούνται ως μέσο περιγραφής των πρωτοκόλλων του διαύλου και δεν θα πρέπει να θεωρηθούν ως περιορισμοί της λογικής σχεδίασης. Για παράδειγμα, ο σχεδιαστής μπορεί να επιλέξει τη σχεδίαση λογικής που αλληλεπιδρά με τα σήματα του VMEbus με τον τρόπο που περιγράφεται, αλλά με την χρήση διαφορετικών σημάτων του VMEbus. Οι πλακέτες VMEbus μπορούν να σχεδιασθούν έτσι ώστε να περιλαμβάνουν οποιοδήποτε συνδυασμό λειτουργικών μονάδων που περιγράφονται στο κείμενο. Η λειτουργική δομή του VMEbus μπορεί να διαιρεθεί σε τέσσερις κατηγορίες. Κάθε μια αποτελείται από ένα διάυλο και τις συσχετιζόμενες με αυτόν λειτουργικές μονάδες που εργάζονται μαζί για την εκτέλεση καθορισμένων καθηκόντων. Το σχ. 52 εμφανίζει τις λειτουργικές μονάδες του VMEbus και τους διαύλους. Κάθε μια κατηγορία αναφέρεται εν συντομία παρακάτω:



Data Transfer (μεταφοράς δεδομένων): Οι συσκευές μεταφέρουν δεδομένα επάνω στο δίαυλο μεταφοράς δεδομένων ο οποίος περιλαμβάνει τα δεδομένα, τις διευθύνσεις και τα σχετιζόμενα σήματα ελέγχου. Οι λειτουργικές μονάδες που ονομάζονται MASTERS, SLAVES, διακόπτοντες και χειριστές διακοπών χρησιμοποιούν το DTB για την μεταφορά δεδομένων μεταξύ τους. Δύο άλλες μονάδες που ονομάζονται χρονόμετρο του διαύλου και οδηγός αλυσιδωτής σύνδεσης του σήματος επιβεβαίωσης διακοπών σχετίζονται με τη διεργασία αυτή.

Ο δίαυλος δεδομένων είναι ένας τυπικός μη-πεπλεγμένος δίαυλος για διευθύνσεις και δεδομένα που επιτρέπει την μεταφορά δεδομένων μεταξύ του bus master και ενός bus slave. Στο σημείο αυτό θα τονίσουμε ότι το VMEbus έχει ως βάση λειτουργίας τον τρόπο master-slave που κάθε στιγμή μόνο μια συσκευή (π.χ. ένας μικροεπεξεργαστής 68000 ή ένας ελεγκτής άμεσης προσπέλασης στη μνήμη) μπορεί να έχει πρόσβαση σε ένα slave που είναι συνδεδεμένος στο bus.

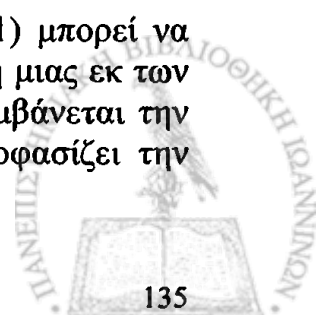
Τα παρακάτω σήματα είναι μέρος του διαύλου μεταφοράς δεδομένων:

Διευθύνσεων	Δεδομένων	Ελέγχου
A01-A31	D00-D31	AS
AM05-AM5		DS0
DS0		DS1
DS1		BERR
LWORD		DTACK
		WRITE

DTB Arbitration (διαιτησία DTB): Εφόσον το VMEbus μπορεί να συνδυαστεί με περισσότερους από έναν MASTER ή χειριστές διακοπών υπάρχει ο τρόπος παροχής της μεταφοράς του ελέγχου του DTB σε συγκεκριμένο χρόνο. Οι μονάδες του διαύλου διαιτησίας (αιτούντες και διαιτητής) συντονίζουν τον έλεγχο μεταφοράς. Ο δίαυλος διαιτησίας παρέχει στο VMEbus την δυνατότητα της ύπαρξης πολλαπλών επεξεργαστών καθιστώντας δυνατή τη μετάβαση από έναν master σε άλλον με “νομοταγή” τρόπο.

Ο δίαυλος διαιτησίας καθιστά ικανή τη χρήση πολλών επεξεργαστών στο VMEbus. Δύο είδη λειτουργικών μονάδων έχουν πρόσβαση στο δίαυλο διαιτησίας: ο αιτών και ο διαιτητής. Ο αιτών είναι μέρος κάθε μιας μονάδας που επιθυμεί να απαιτήσει την εξουσία του VMEbus. Ο διαιτητής είναι μέρος της μονάδας που περιλαμβάνει τον ελεγκτή του συστήματος της οποίας η φυσική θέση είναι η υποδοχή 1 του συστήματος VME. Οποτεδήποτε κι αν ο διαιτητής δεχθεί αίτηση παραχώρησης του διαύλου από αιτούντα, ο διαιτητής αποφασίζει για το χειρισμό της αίτησης αυτής.

Ο αιτών σε οποιαδήποτε υποδοχή (εκτός της υποδοχής 1) μπορεί να απαιτήσει τον δίαυλο μεταφοράς δεδομένων με την ενεργοποίηση μιας εκ των γραμμών απαίτησης του διαύλου BR0-BR3. Ο διαιτητής αντιλαμβάνεται την αίτηση απαίτησης του διαύλου από τις γραμμές αυτές και αποφασίζει την αποδοχή ή απόρριψη της αίτησης (θα διευκρινιστεί παρακάτω).



Εάν ο διαιτητής αποδεχθεί την αίτηση της απαίτησης του διαύλου μεταφοράς δεδομένων, ενεργοποιεί την bus_grant_out (δηλαδή BGiOUT, όπου $i=0, 1, 2$ ή 3). Για παράδειγμα, μια αίτηση στον ακροδέκτη BR2 μπορεί να έχει ως αποτέλεσμα την αποδοχή της απαίτησης του διαύλου με την ενεργοποίηση του σήματος BG2OUT.

Οι γραμμές εξόδου αποδοχής απαίτησης διαύλου είναι συνδεδεμένες αλυσιδωτά έτσι ώστε κάθε BGiOUT ακροδέκτης στη μονάδα i να συνδέεται με τον ακροδέκτη BGiIN της μονάδας $i+1$. Όταν η μονάδα αντιληφθεί ενεργοποίηση της BGiIN από την επόμενη γειτονική της μονάδα είτε λαμβάνει για τον εαυτό της (και δεν ενεργοποιεί την δική της εξόδου BGiOUT), είτε περνά την απαίτηση για το δίαυλο στην προηγούμενη γειτονική της μονάδα ενεργοποιώντας το BGiOUT. Ταυτόχρονα το επίπεδο i της παραχώρησης του διαύλου διακόπτει την αλυσίδα μέχρι η πρώτη συσκευή που απαίτησε το δίαυλο στο επίπεδο i λάβει το σήμα αποδοχής και δεν το προχωρήσει.

Φυσικά η αλυσίδα περιέχει έναν υπονοούμενο μηχανισμό προτεραιότητας όπου η μονάδα που βρίσκεται πιο κοντά στο διαιτητή εξυπηρετείται πάντοτε πιο πριν από τις γειτονικές της που βρίσκονται μακρύτερα από το διαιτητή.

Όταν στον αιτούντα έχει παραχωρηθεί ο έλεγχος του διαύλου μέσω της αλυσίδας παραχώρησης του διαύλου, ο αιτών αναλαμβάνει τον έλεγχο οδηγώντας την γραμμή BBSY (bus busy) του διαύλου στο low. Εφόσον ενεργοποιήθηκε η γραμμή BBSY από τον νέο master ο διαιτητής μπορεί να ξεκινήσει ξανά την εκτέλεση της διαιτησίας για την εύρεση ενδεχόμενης απαίτησης του διαύλου. Ο παραπάνω αιτών είναι ο νέος master για το bus και παραμένει μέχρι την απενεργοποίηση του σήματος BBSY. Είναι αρκετά ενδιαφέρον ότι η προδιαγραφή του VMEbus δεν περιέχει μηχανισμό ικανό να εξαναγκάσει τον αιτούντα να αφήσει τον δίαυλο. Η απενεργοποίηση του σήματος BBSY μπορεί να γίνει μόνο από τον τρέχοντα master του bus. Το VMEbus διαθέτει όπως λέγεται “καλούς τρόπους”. Έτσι το σήμα BCLR θεωρείται προαιρετικό. Αν ενδεχομένως ένας master διαύλου με επίπεδο αίτησης υψηλότερο του τρέχοντα master απαιτήσει το VMEbus τότε ο διαιτητής ενεργοποιεί την γραμμή BCLR για να επισημάνει στον τρέχοντα master ότι θα πρέπει να εξετάσει την απόδοση του VMEbus. Ο τρόπος χειρισμού του σήματος BCLR έχει αφεθεί στον σχεδιαστή των συστημάτων.

Ο τρόπος διαιτησίας

Ο διαιτητής της υποδοχής 1 μπορεί να υλοποιεί τρεις βασικούς τρόπους διαιτησίας: απλού επιπέδου, προτεραιότητας και round robin select. Ο πραγματικός τρόπος διαιτησίας (αλγόριθμος χρονοπρογραμματισμού) που χρησιμοποιείται σε κάθε σύστημα επιλέγεται από το σχεδιαστή και η προδιαγραφή του VMEbus δεν αποκλείει αλγόριθμους χρονοπρογραμματισμού διαφορετικούς από τους τρεις προαναφερθέντες.

Διαιτησία απλού επιπέδου. Είναι ο απλούστερος αλγόριθμος χρονοπρογραμματισμού. Μόνο οι αιτήσεις για διαιτησία στην γραμμή BR3 γίνονται αποδεκτές από τον διαιτητή της υποδοχής 1 (όλες οι γραμμές αίτησης,



όλες οι γραμμές παραχώρησης για τα επίπεδα 0, 1 και 2 δεν χρησιμοποιούνται).

Διαιτησία προτεραιοτήτων. Η διαιτησία προτεραιοτήτων χρησιμοποιεί όλες τις γραμμές διαιτησίας. Η γραμμή αίτησης του διαύλου 0 BR0 έχει την χαμηλότερη προτεραιότητα και η γραμμή 3 BR3 την υψηλότερη. Εάν εκκρεμούν περισσότερα από ένα επίπεδα διακοπής, ο διαιτητής πάντοτε παρέχει προτεραιότητα στο υψηλότερο επίπεδο της αίτησης. Οποτεδήποτε κάποιος αιτών με υψηλότερη προτεραιότητα από αυτήν του τρέχοντα master του διαύλου αιτείται παραχώρησης του διάυλου, ο διαιτητής ενεργοποιεί την γραμμή BCLR. Ένα επίπεδο low στην γραμμή αυτή επισημαίνει στον τρέχοντα master του διαύλου ότι θα πρέπει να εκχωρήσει το διάυλο το συντομότερο δυνατό αλλά δεν μπορεί να τον εξαναγκάσει σε παραχώρηση του διαύλου.

Αλγόριθμος Round Robin select. Ο αλγόριθμος χρονοπρογραμματισμού RRS προσπαθεί να είναι “δίκαιος” με τους αιτούντες με την περιστροφή του τρέχοντος επιπέδου της μέγιστης προτεραιότητας. Για παράδειγμα, εάν το τρέχον υψηλότερο επίπεδο προτεραιότητας είναι το 3, η υψηλότερη προτεραιότητα στον επόμενο κύκλο διαιτησίας θα είναι το 0.

Αρχικά οι αιτήσεις για το διάυλο γίνονται στις γραμμές BR1 και BR2 στον ίδιο ακριβώς χρόνο. Ο διαιτητής της υποδοχής 1 αντιλαμβάνεται και τις δύο αιτήσεις και δίδει προτεραιότητα στον BR2 ενεργοποιώντας την γραμμή BG2IN. Όταν ο αιτών που ενεργοποίησε την γραμμή BR2 αντιληφθεί την ενεργοποίηση της γραμμής BG2IN ενεργοποιεί με τη σειρά του τη γραμμή BBSY καταλαμβάνοντας το διάυλο και απενεργοποιεί το BR2.

Εφόσον ο τρέχων master του διαύλου ολοκληρώσει την εργασία του με τον διάυλο απενεργοποιεί το BBSY. Ο διαιτητής αντιλαμβάνεται την ελευθέρωση του διαύλου και ότι επιπλέον εκκρεμεί μια αίτηση στο επίπεδο 1. Έτσι, ο διαιτητής ενεργοποιεί τη γραμμή BG1IN για την μεταφορά του ελέγχου του διαύλου στον νέο master.

Τα σήματα του διαύλου διαιτησίας περιλαμβάνουν τα

<u>BR0</u>	<u>BG0IN</u>	<u>BBSY</u>
<u>BR1</u>	<u>BG1IN</u>	<u>BCLR</u>
<u>BR2</u>	<u>BG2IN</u>	
<u>BR3</u>	<u>BG3IN</u>	

PRIORITY INTERRUPT (προτεραιότητα διακοπών). Η δυνατότητα της προτεραιότητας των διακοπών του VMEbus παρέχει τον τρόπο με τον οποίο οι συσκευές μπορούν να αιτούνται εξυπηρέτηση από τον χειριστή διακοπών. Στις αιτήσεις αυτές διακοπών μπορεί να τηρηθεί η προτεραιότητα σε επτά επίπεδα το μέγιστο. Οι διακόπτοντες και οι χειριστές διακοπών χρησιμοποιούν τις γραμμές των σημάτων του διαύλου προτεραιότητας διακοπών.

Ο διάυλος διακοπών δίδει την δυνατότητα στον διακόπτων να επισημαίνει την απαίτηση του για ένδειξη προσοχής από τον χειριστή των διακοπών για την διευθέτηση της απαίτησης διακοπής.

Όπως έχει ειπωθεί το VMEbus υλοποιεί το διάυλο μεταφοράς δεδομένων όπως και ο μικροεπεξεργαστής 68000 όπως επίσης υλοποιεί και το

δίαυλο διαιτησίας έτσι ώστε να ταιριάζει με τα σήματα ελέγχου διαιτησίας του μικροεπεξεργαστή 68000 (BR, BG, BGACK). Δε θα πρέπει να φανεί παράξενο επομένως ότι το VMEbus υλοποιεί και τον τρόπο χειρισμού των διακοπών με τον ίδιο τρόπο που αυτός εμφανίζεται στον μικροεπεξεργαστή 68000.

Τρεις τύποι μονάδων σχετίζονται με το δίαυλο προτεραιότητας διακοπών: ο διακόπτων, ο χειριστής διακοπών και ο οδηγός της αλυσίδας επιβεβαίωσης διακοπών IACK (interrupt acknowledgement).

Ο διακόπτων είναι μια μονάδα ικανή να σηματοδοτεί μια αίτηση διακοπής σε ένα μία από τις επτά γραμμές προτεραιότητας διακοπών IRQ1-IRQ7. Ο οδηγός της αλυσίδας επιβεβαίωσης διακοπών της υποδοχής 1 αντιλαμβάνεται την αίτηση διακοπής και μεταδίδει μια πτώση μετώπου στην αλυσίδα IACKOUT-IACKIN.

Ο χειριστής διακοπών αντιλαμβάνεται την εισερχόμενη επιβεβαίωση διακοπής στον ακροδέκτη IACKIN. Εάν ο αιτών έχει εκκινήσει τη διακοπή, χρησιμοποιεί τη δική του λογική αίτησης του διαύλου για την απαίτηση του διαύλου μεταφοράς δεδομένων και όταν του παραχωρηθεί η πρόσβαση στο δίαυλο μεταφοράς δεδομένων ξεκινά τον κύκλο επιβεβαίωσης της διακοπής. Ο χειριστής διαβάζει το byte STATUS/ID από τον διακόπτων κι έτσι ξεκινά η κατάλληλη διεργασία εξυπηρέτησης της διακοπής. Η πραγματική εξυπηρέτηση της διακοπής (δηλαδή πώς επιτυγχάνεται και ποια συσκευή την πραγματοποιεί) δεν είναι μέρος της προδιαγραφής του VMEbus.

Τα συστήματα VMEbus έχουν σχεδιασθεί για δύο μηχανισμούς χειρισμού διακοπών: με απλούς χειριστές διακοπών και κατανεμημένους χειριστές διακοπών. Κατανεμημένοι χειριστές διακοπών χρησιμοποιούνται στα πολύ-επεξεργαστικά συστήματα στα οποία ο χειρισμός των διακοπών διαμοιράζεται μεταξύ πολλών master του διαύλου.

Ο δίαυλος χρησιμοποιεί τα παρακάτω σήματα:

IRQ1
IRQ2
IRQ3
IRQ4

IRQ5
IRQ6
IRQ7

IACK
IACKIN
IACKOUT

UTILITIES (βοηθητικός): Περιοδικά ρολόγια, αρχικοποίηση και ανίχνευση βλαβών παρέχονται από τον βοηθητικό δίαυλο. Περιλαμβάνει δύο γραμμές ρολογιού, την γραμμή επαναφοράς του συστήματος, την γραμμή βλάβης του συστήματος, την γραμμή βλάβης τροφοδοσίας και μια σειριακή γραμμή δεδομένων. Τα σήματα του βοηθητικού διαύλου περιλαμβάνουν τα:

SYSCLK

SYSFAIL



Διαγράμματα προδιαγραφών VMEbus

Ως βοήθημα στον καθορισμό ή την περιγραφή της λειτουργίας του VMEbus περιλαμβάνονται πολλοί διαφορετικοί τύποι διαγραμμάτων όπως:

- Χρονοδιαγράμματα που εμφανίζουν τον χρονικό συσχετισμό μεταξύ των μεταβολών των σημάτων. Τα σήματα που περιγράφονται έχουν ελάχιστα και-ή μέγιστα όρια που σχετίζονται με αυτά. Μερικοί από τους χρονισμούς που καθορίζονται από τα διαγράμματα αυτά καθορίζουν την συμπεριφορά της οπίσθιας λογικής διασύνδεσης ενώ άλλα την συμπεριφορά των λειτουργικών μονάδων.
- Ακολουθιακά διαγράμματα που μοιάζουν με τα χρονοδιαγράμματα αλλά εμφανίζουν μόνο τη χρονική εξάρτηση της διασύνδεσης μεταξύ των λειτουργικών μονάδων. Το διάγραμμα αυτό επιδιώκει να εμφανίσει μια ακολουθία γεγονότων και όχι να καθορίσει τη χρονική ακολουθία των σημάτων. Για παράδειγμα, το ακολουθιακό διάγραμμα μπορεί να επισημαίνει ότι η μονάδα A δεν μπορεί να δημιουργήσει το σήμα B πριν ανιχνεύσει τη δημιουργία του σήματος D από μια μονάδα C.
- Διαγράμματα ροής που δείχνουν τη σειρά των γεγονότων που συμβαίνουν κατά την λειτουργία του VMEbus. Τα γεγονότα ξεκινούν με λέξεις και καταλήγουν με την αλληλεπίδραση δύο ή περισσότερων λειτουργικών μονάδων. Το διάγραμμα ροής περιγράφει τις λειτουργίες του VMEbus με ακολουθιακό τρόπο και ταυτόχρονα δείχνει την αλληλεπίδραση των λειτουργικών μονάδων.

Ορολογία προδιαγραφών

Για την αποφυγή συγχύσεων και για να γίνει εντελώς φανερή η συμμόρφωση με τις απαιτήσεις πολλές από τις παραγράφους της προδιαγραφής δίδονται με συγκεκριμένες λέξεις που δείχνουν τον τύπο των πληροφοριών που περιέχουν. Οι λέξεις αυτές εμφανίζονται παρακάτω:

RULE (κανόνας)

Οι κανόνες αποτελούν το βασικό πλαίσιο της προδιαγραφής του VMEbus. Πολλές φορές δίδονται με τη μορφή κειμένου, σχημάτων, πινάκων ή σχεδίων. Όλοι οι κανόνες του VMEbus θα πρέπει να ακολουθηθούν έτσι ώστε να εξασφαλισθεί η συμβατότητα μεταξύ των σχεδιάσεων για το VMEbus. Οι κανόνες χαρακτηρίζονται από τον προστακτικό τρόπο τους. Οι κανόνες καθορίζουν τι θα πρέπει και τι δεν θα πρέπει να γίνει κατά τη σχεδίαση.

RECOMMENDATION (σύσταση)

Όταν εμφανίζονται συστάσεις οι σχεδιαστές μπορούν να λάβουν συμβουλές για ορισμένα θέματα. Μη ακολουθώντας τις συστάσεις μπορεί να έχει ως αποτέλεσμα την ύπαρξη προβλημάτων ή και χαμηλής απόδοσης. Εφόσον το VMEbus έχει σχεδιαστεί για την υποστήριξη συστημάτων υψηλής απόδοσης μπορεί να σχεδιαστούν συστήματα VMEbus που καλύπτουν όλους τους κανόνες αλλά πολύ χαμηλής απόδοσης. Σε πολλές περιπτώσεις ο

σχεδιαστής θα πρέπει να έχει μεγάλη πείρα στις σχεδιάσεις για το VMEbus έτσι ώστε να σχεδιάζει συστήματα υψηλής ταχύτητας. Οι συστάσεις παρέχονται στους σχεδιαστές για να αυξήσουν την ταχύτητα της σχεδίασης των συστημάτων τους.

SUGGESTION (υπόδειξη)

Στην προδιαγραφή του VMEbus η υπόδειξη περιέχει χρήσιμες συμβουλές που δεν είναι ζωτικής σημασίας. Ο σχεδιαστής παροτρύνεται στο να διαβάσει τις υποδείξεις και να αποφασίσει αν θα τις απορρίψει. Μερικές αποφάσεις για τη σχεδίαση συστημάτων για το VMEbus είναι πολύ δύσκολο να παρθούν έως ότου αποκτηθεί εμπειρία στο VMEbus. Οι υποδείξεις έχουν περιληφθεί για τους χρήστες που δεν έχουν την εμπειρία αυτή. Μερικές από τις υποδείξεις έχουν να κάνουν με τον τρόπο σχεδίασης πλακετών που εύκολα μπορούν να προσαρμοστούν για την σχεδίαση νέων πλακετών ή την σχεδίαση πλακετών που κάνουν την εργασία της εκσφαλμάτωσης εύκολη υπόθεση.

PERMISSION (άδειες)

Σε πολλές περιπτώσεις οι κανόνες του VMEbus δεν απαγορεύουν ειδικές περιπτώσεις σχεδίασης αλλά θα πρέπει ο σχεδιαστής να καταλάβει πότε υπάρχει παραβίαση των κανόνων ή ότι θα δημιουργηθεί κάποιο πρόβλημα. Οι άδειες επαναβεβαιώνουν στον σχεδιαστή την αποδοχή της τρέχουσας περίπτωσης σχεδίασης και ότι αυτή δεν θα δημιουργήσει προβλήματα.

OBSERVATION (παρατήρηση)

Οι παρατηρήσεις δεν αποτελούν κάποιο είδος συμβουλής. Συνήθως ακολουθούν αυτό που συζητείται. Οι παρατηρήσεις αναλύουν λεπτομερώς τις επιπλοκές που παρατηρούνται σε ορισμένους κανόνες του VMEbus και καθιστούν την προσοχή σε σημεία που θα πρέπει να μην περάσουν απαρατήρητα. Επίσης δίδουν το σκεπτικό ορισμένων κανόνων έτσι ώστε ο σχεδιαστής να κατανοήσει τον λόγο για τον οποίο θα πρέπει να ακολουθηθεί ένας κανόνας.

Καταστάσεις των γραμμών σημάτων

Η προδιαγραφή του VMEbus περιγράφει τα πρωτόκολλα με όρους επιπέδων και μεταβάσεων στις γραμμές των διαύλων. Μια γραμμή σήματος θεωρείται ότι βρίσκεται σε ένα από τα δύο επίπεδα ή στη μετάβαση μεταξύ των δύο επιπέδων. Όταν χρησιμοποιείται ο όρος “high” θεωρείται το υψηλό επίπεδο τάσης TTL. Ο όρος “low” αναφέρεται στο χαμηλό επίπεδο τάσης TTL. Μια γραμμή σήματος βρίσκεται “σε μετάβαση” όταν η τάση της μετακινείται μεταξύ των δύο αυτών επιπέδων.

Υπάρχουν δύο δυνατές μεταβάσεις που μπορούν να συμβούν σε μια γραμμή σήματος και αυτές ονομάζονται “ακμές”. Η ακμή ανόδου είναι ο χρόνος κατά τον οποίο το επίπεδο ενός σήματος μεταβαίνει από το χαμηλό επίπεδο στο υψηλό. Η ακμή καθόδου είναι ο χρόνος κατά τον οποίο το επίπεδο ενός σήματος μεταβαίνει από το υψηλό στο χαμηλό.



Κάποιες από τις προδιαγραφές του διαύλου καθορίζουν τους ελάχιστους ή τους μέγιστους χρόνους μεταβάσεων για τις ακμές. Το πρόβλημα στο σημείο αυτό είναι ότι οι σχεδιαστές πλακετών έχουν πολύ μικρή ευχέρεια ελέγχου των χρόνων αυτών. Εάν η οπίσθια πλακέτα έχει μεγάλα φορτία τότε οι χρόνοι αυτοί μεγαλώνουν. Εφόσον είναι λιγότερο τότε οι χρόνοι αυτοί μειώνονται. Εάν και οι σχεδιαστές γνωρίζουν τους χρόνους αυτούς θα πρέπει να δαπανήσουν αρκετό χρόνο στα εργαστήρια πειραματιζόμενοι με οδηγούς των σημάτων που παρέχουν τους απαραίτητους χρόνους ανόδου-καθόδου.

Στην πραγματικότητα οι χρόνοι ανόδου-καθόδου είναι αποτέλεσμα πολύπλοκων αλληλεπιδράσεων που περιλαμβάνουν την χαρακτηριστική αντίσταση της γραμμής του σήματος στην οπίσθια πλακέτα, τον τερματισμό της, την χαρακτηριστική αντίσταση του σήματος οδήγησης και της χωρητικότητας της γραμμής. Για να μπορέσει ο σχεδιαστής να κατανοήσει όλους αυτούς τους παράγοντες θα πρέπει να έχει μελετήσει την θεωρία των γραμμών μεταφοράς όπως επίσης και πολλές από τις παραμέτρους των οδηγών και των δεκτών που υπάρχουν συνήθως στα φύλλα δεδομένων των κατασκευαστών.

Έχοντας γνώση όλων αυτών των πραγμάτων το VMEbus δεν θέτει περιορισμούς στους χρόνους ανόδου-καθόδου. Αντίθετα, καθορίζει τα ηλεκτρικά χαρακτηριστικά για τους οδηγούς και τους δέκτες και συστήνει τον τρόπο σχεδίασης της οπίσθιας πλακέτας. Επίσης δίδει τον τρόπο με τον οποίο η χειρότερη περίπτωση φόρτωσης του διαύλου επηρεάζει την καθυστέρηση μετάδοσης των οδηγών έτσι ώστε να εξασφαλίσει την τήρηση των κανόνων χρονισμού του VMEbus πριν την σχεδίαση μιας πλακέτας. Εάν οι σχεδιαστές τηρήσουν τις οδηγίες για την καθυστέρηση μετάδοσης οι πλακέτες τους θα είναι σε θέση να λειτουργήσουν αξιόπιστα με άλλες πλακέτες του VMEbus στις χειρότερες περιπτώσεις που μπορεί να υπάρχουν.

Συνδετήρες της οπίσθιας πλευράς του VMEbus και των πλακετών

Συνδέτης J1/P1

Ο πίνακας ΒΠ.1 περιέχει τα ονόματα των σημάτων για τους ακροδέκτες J1/P1 (ο συνδέτης αποτελείται από τρεις γραμμές που ονομάζονται σειρά a, b και c)

α/α ακροδέκτη	Όνομασία σήματος		
	Σειρά A	Σειρά B	Σειρά C
1	D00	$\overline{\text{BBSY}}$	D08
2	D01	$\overline{\text{BCLR}}$	D09
3	D02	$\overline{\text{ACFAIL}}$	D10
4	D03	$\overline{\text{BG0IN}}$	D11
5	D04	$\overline{\text{BG0OUT}}$	D12
6	D05	$\overline{\text{BG1IN}}$	D13
7	D06	$\overline{\text{BG1OUT}}$	D14
8	D07	$\overline{\text{BG2IN}}$	D15
9	GND	$\overline{\text{BG2OUT}}$	GND
10	SYSCLK	$\overline{\text{BG3IN}}$	$\overline{\text{SYSFAIL}}$
11	GND	$\overline{\text{BG3OUT}}$	$\overline{\text{BERR}}$
12	$\overline{\text{DS1}}$	$\overline{\text{BR0}}$	$\overline{\text{SYSRESET}}$
13	$\overline{\text{DS0}}$	$\overline{\text{BR1}}$	$\overline{\text{LWORD}}$
14	$\overline{\text{WRITE}}$	$\overline{\text{BR2}}$	$\overline{\text{AM5}}$
15	GND	$\overline{\text{BR3}}$	$\overline{\text{A23}}$
16	$\overline{\text{AS}}$	$\overline{\text{AM0}}$	$\overline{\text{A22}}$
17	$\overline{\text{GND}}$	$\overline{\text{AM1}}$	$\overline{\text{A21}}$
18	$\overline{\text{IACK}}$	$\overline{\text{AM2}}$	$\overline{\text{A20}}$
19	$\overline{\text{IACKIN}}$	$\overline{\text{AM3}}$	$\overline{\text{A19}}$
20	$\overline{\text{IACKOUT}}$	$\overline{\text{GND}}$	$\overline{\text{A18}}$
21	$\overline{\text{AM4}}$	$\overline{\text{SERCLK}}$	$\overline{\text{A17}}$
22	$\overline{\text{A07}}$	$\overline{\text{SERDAT}}$	$\overline{\text{A16}}$
23	$\overline{\text{A06}}$	$\overline{\text{GND}}$	$\overline{\text{A15}}$
24	$\overline{\text{A05}}$	$\overline{\text{IRQ7}}$	$\overline{\text{A14}}$
25	$\overline{\text{A04}}$	$\overline{\text{IRQ6}}$	$\overline{\text{A13}}$
26	$\overline{\text{A03}}$	$\overline{\text{IRQ5}}$	$\overline{\text{A12}}$
27	$\overline{\text{A02}}$	$\overline{\text{IRQ4}}$	$\overline{\text{A11}}$
28	$\overline{\text{A01}}$	$\overline{\text{IRQ3}}$	$\overline{\text{A10}}$
29	$\overline{-12V}$	$\overline{\text{IRQ2}}$	$\overline{\text{A09}}$
30	$\overline{+5V}$	$\overline{\text{IRQ1}}$	$\overline{\text{A08}}$
31		$\overline{+5V \text{ STDBY}}$	$\overline{+12V}$
32		$\overline{+5V}$	$\overline{+5V}$

Πίνακας ΒΠ. 1



Συνδέτης J2/P2

Ο πίνακας ΒΠ.2 περιέχει τα ονόματα των σημάτων για τους ακροδέκτες J2/P2 (ο συνδέτης αποτελείται από τρεις γραμμές που ονομάζονται σειρά a, b και c.

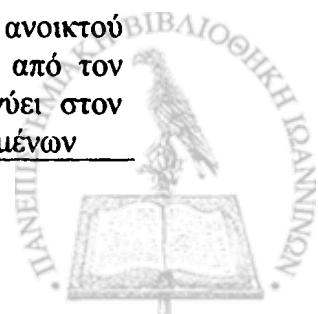
a/a ακροδέκτη	Όνομασία σήματος		
	Σειρά A	Σειρά B	Σειρά C
- 1	Καθοριζόμενα από το χρήστη	+5V	Καθοριζόμενα από το χρήστη
- 2		GND	
3		RESERVED	
4		A24	
5		A25	
6		A26	
7		A27	
8		A28	
9		A29	
10		A30	
11		A31	
12		GND	
13		+5V	
14		D16	
15		D17	
16	Καθοριζόμενα από το χρήστη	D18	Καθοριζόμενα από το χρήστη
17		D19	
18		D20	
19		D21	
20		D22	
21		D23	
22		GND	
23		D24	
24		D25	
25		D26	
26		D27	
27		D28	
28		D29	
29		D30	
30		D31	
31		GND	
32		+5V	

Πίνακας ΒΠ. 2

Περιγραφή των σημάτων των συνδετήρων του VMEbus

Ο πίνακας ΒΠ.3 περιέχει τη μνημονική ονομασία των σημάτων του VMEbus και περιγράφει τα χαρακτηριστικά τους.

Μνημονικό σήματος	Ονομασία σήματος και περιγραφή
A01-A15	ADDRESS BUS (bits 1-15) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για την εκπομπή σύντομης, κανονικής ή εκτεταμένης διεύθυνσης
A16-A23	Δίαυλος διευθύνσεων (bits 16-23) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με τις A01-A15 για την εκπομπή κανονικής ή εκτεταμένης διεύθυνσης
A24-A31	Δίαυλος διευθύνσεων (bits 24-31) (Δίαυλος διευθύνσεων): Γραμμές διευθύνσεων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με τις A01-A23 για την εκπομπή εκτεταμένης διεύθυνσης
<u>ACFAIL</u>	AC FAILURE (βλάβη τροφοδοσίας): Ένα οδηγούμενο σήμα ανοιχτού συλλέκτη που υποδεικνύει την απώλεια της παροχής τροφοδοσίας από την γραμμή AC ή ότι τα επίπεδα της τάσης εισόδου δεν είναι τα πρόποντα
AM0-AM5	ADDRESS MODIFIER (bits 0-5) (προσδιοριστές διευθύνσεων): Γραμμές οδηγούμενες με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για την μετάδοση πληροφοριών όπως το μέγεθος της διεύθυνσης, τον τύπο του κύκλου και ή την ταυτότητα του MASTER
<u>AS</u>	ADDRESS STROBE (ύπαρξη διεύθυνσης): Μια οδηγούμενη γραμμή με δυνατότητα τρίτης κατάστασης που υποδηλώνει την ύπαρξη έγκυρης διεύθυνσης στο δίαυλο διευθύνσεων
<u>BBSY</u>	BUS BUSY (απασχολημένος δίαυλος): Μια γραμμή ανοιχτού συλλέκτη που οδηγείται στο low από τον τρέχοντα MASTER για να υποδείξει τη χρήση του διαύλου. Όταν ο MASTER απελευθερώσει την γραμμή αυτή με την ακμή ανόδου στο σήμα αυτό έχει ως αποτέλεσμα ο διαιτητής να ελέγξει τις γραμμές παραχώρησης του διαύλου και να παραχωρήσει το δίαυλο στον αιτούντα με την υψηλότερη προτεραιότητα.
<u>BCLR</u>	BUS CLEAR (απαίτηση ελευθέρωσης διαύλου): Ένα σήμα τύπου totem-pole που δημιουργείται από το διαιτητή για να δηλώσει την απαίτηση του διαύλου από αιτούντα υψηλότερης προτεραιότητας. Το σήμα αυτό αιτείται από τον τρέχοντα MASTER την απελευθέρωση του διαύλου DTB
<u>BERR</u>	BUS ERROR (λάθος διαύλου): Ένα σήμα ανοικτού συλλέκτη που δημιουργείται από τον SLAVE ή από τον επιτηρητή του διαύλου. Το σήμα αυτό υποδεικνύει στον MASTER την μη ολοκλήρωση της μεταφοράς δεδομένων



Μνημονικό σήματος

BG0IN-BG3IN

BUS GRANT (0-3) IN (είσοδος παραχώρησης διαύλου 0-3): Είναι σήματα τύπου totem-pole που δημιουργούνται από το διαιτητή και τους αιτούντες. Οι είσοδοι και οι έξοδοι παραχώρησης του διαύλου αποτελούν την αλυσιδωτή σύνδεση της παραχώρησης του διαύλου. Το σήμα εισόδου παραχώρησης του διαύλου υποδεικνύει σε μια πλακέτα που το λαμβάνει ότι μπορεί να χρησιμοποιήσει το δίαυλο DTB

BG0OUT-BG3OUT

BUS GRANT (0-3) OUT (έξοδος παραχώρησης διαύλου 0-3): Είναι σήματα τύπου totem-pole που δημιουργούνται από τους αιτούντες. Το σήμα εξόδου παραχώρησης του διαύλου υποδεικνύει στην επόμενη πλακέτα της αλυσιδωτής σύνδεσης ότι μπορεί να χρησιμοποιήσει το δίαυλο DTB

BR0-BR3

BUS REQUEST (0-3) (αιτήσεις παραχώρησης διαύλου 0-3): Είναι σήματα ανοικτού συλλέκτη που δημιουργούνται από τους αιτούντες. Η ύπαρξη χαμηλού σήματος σε μια από αυτές τις γραμμές σημαίνει ότι κάποιος άλλος MASTER αιτείται τη χρήση του διαύλου DTB

D00-D31

DATA BUS (δίαυλος δεδομένων): Αμφίδρομες γραμμές δεδομένων με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται για τις μεταφορές δεδομένων μεταξύ MASTERS και SLAVES

DS0, DS1

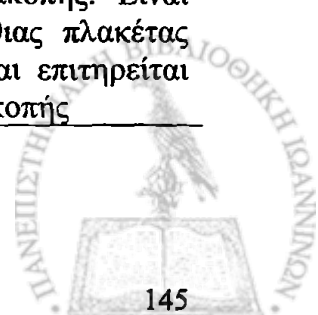
DATA STROBE ZERO, ONE (ύπαρξη δεδομένων μηδέν και ένα): Γραμμές με δυνατότητα μεταγωγής σε τρίτη κατάσταση που χρησιμοποιούνται σε συνδυασμό με το \overline{LWORD} και το A01 για να προσδιορίσουν τον αριθμό των bytes που θα μεταφερθούν (1, 2, 3 ή 4). Κατά τη διάρκεια του κύκλου εγγραφής το μέτωπο καθόδου του πρώτου σήματος ύπαρξης δεδομένων υποδηλώνει την ύπαρξη έγκυρων δεδομένων στο δίαυλο δεδομένων. Στον κύκλο ανάγνωσης το μέτωπο ανόδου της πρώτης γραμμής ύπαρξης δεδομένων υποδηλώνει ότι τα δεδομένα έχουν αποδεχθεί από το δίαυλο δεδομένων

DTACK

DATA TRANSFER ACKNOWLEDGE (επιβεβαίωση μεταφοράς δεδομένων): Είναι σήμα ανοικτού συλλέκτη που οδηγείται από τον SLAVE. Το μέτωπο καθόδου στο σήμα αυτό κατά τον κύκλο ανάγνωσης σηματοδοτεί την ύπαρξη έγκυρων δεδομένων επάνω στο δίαυλο δεδομένων ή ότι τα δεδομένα έχουν γίνει αποδεκτά κατά τον κύκλο εγγραφής. Το μέτωπο ανόδου σηματοδοτεί την απελευθέρωση από την πλευρά του SLAVE του διαύλου δεδομένα στο τέλος του κύκλου ανάγνωσης

IACK

IACK ACKNOWLEDGE (επιβεβαίωση διακοπής): Είναι σήμα ανοικτού συλλέκτη που οδηγείται από τον χειριστή διακοπών που επιβεβαιώνει την αίτηση διακοπής. Είναι συνδεδεμένο μέσω μιας γραμμής της οπίσθιας πλακέτας στον ακροδέκτη IACKIN της υποδοχής 1 και επιτηρείται από τον οδηγό της αλυσίδας επιβεβαίωσης διακοπής



Μνημονικό σήματος	Ονομασία σήματος και περιγραφή
<u>IACKIN</u>	IACK ACKNOWLEDGE IN (είσοδος επιβεβαίωσης διακοπής): Είναι σήμα τύπου totem-pole. Τα σήματα <u>IACKIN</u> και <u>IACKOUT</u> είναι συνδεδεμένα αλυσιδωτά. Το σήμα IACKIN υποδηλώνει στην πλακέτα που το λαμβάνει ότι επιτρέπεται να αποκριθεί στον κύκλο επιβεβαίωσης διακοπής που βρίσκεται σε εξέλιξη
<u>IACKOUT</u>	IACK ACKNOWLEDGE OUT (έξοδος επιβεβαίωσης διακοπής): Είναι σήμα τύπου totem-pole. Τα σήματα <u>IACKIN</u> και <u>IACKOUT</u> είναι συνδεδεμένα αλυσιδωτά. Το σήμα IACKOUT αποστέλλεται από το μια πλακέτα για να υποδηλώσει στην επόμενη πλακέτα της αλυσιδωτής σύνδεσης ότι επιτρέπεται να αποκριθεί στον κύκλο επιβεβαίωσης διακοπής που βρίσκεται σε εξέλιξη
<u>IRQ1-IRQ7</u>	INTERRUPT REQUEST (1-7) (αιτήσεις διακοπής 1-7): Σήματα ανοικτού συλλέκτη που δημιουργούνται από τον διακόπτοντα που μεταφέρει τις αιτήσεις διακοπών. Όταν επιτηρούνται πολλές γραμμές από τον χειριστή διακοπών η γραμμή με το μεγαλύτερο αριθμό έχει την μεγαλύτερη προτεραιότητα
<u>LWORD</u>	Ένα σήμα με δυνατότητα μεταγωγής σε τρίτη κατάσταση το οποίο χρησιμοποιείται σε συνδυασμό με τα $\overline{DS0}$, $\overline{DS1}$ και $A01$ για να επιλέξει ποια bytes από την ομάδα των 4 bytes θα προσπελαστούν κατά την μεταφορά δεδομένα
RESERVED	RESERVED (δεσμευμένο): Το σήμα αυτό έχει δεσμευθεί για τις μέλλουσες επεκτάσεις του VMEbus και δεν θα πρέπει να χρησιμοποιείται
SERCLK	SERIAL CLOCK (σειριακό ρολόι): Ένα σήμα τύπου totem-pole που χρησιμοποιείται για τον συγχρονισμό μεταφοράς δεδομένων του VMSbus
<u>SERDAT</u>	SERIAL DATA (σειριακά δεδομένα): Σήμα ανοικτού συλλέκτη που χρησιμοποιείται για τη μετάδοση δεδομένων από το VMSbus
SYSCLK	SYSTEM CLOCK (ρολόι συστήματος): Ένα σήμα τύπου totem-pole που παρέχει ωρολογιακούς παλμούς των 16MHz και είναι ανεξάρτητο από κάθε άλλο χρονισμό του διαύλου
<u>SYSFAIL</u>	SYSTEM FAIL (βλάβη συστήματος): Μια γραμμή ανοικτού συλλέκτη που υποδηλώνει τη βλάβη στη λειτουργία του συστήματος. Αυτό το σήμα μπορεί να δημιουργηθεί από οποιαδήποτε πλακέτα του VMEbus
<u>SYSRESET</u>	SYSTEM RESET (επαναφορά συστήματος): Ένα σήμα ανοικτού συλλέκτη που όταν βρίσκεται σε κατάσταση low επαναφέρει το σύστημα
<u>WRITE</u>	WRITE (εγγραφή): Ένα σήμα ανοικτού συλλέκτη που δημιουργείται από τον MASTER για να υποδηλώσει κύκλο είτε εγγραφής είτε ανάγνωσης. Όταν βρίσκεται σε υψηλό επίπεδο υποδηλώνει κύκλο ανάγνωσης ενώ όταν βρίσκεται σε χαμηλό επίπεδο υποδηλώνει κύκλο εγγραφής



Μνημονικό σήματος	Όνομασία σήματος και περιγραφή
+5V STDBY	+5V dc STANDBY (γραμμή τροφοδοσίας αναμονής +5V): Αυτή η γραμμή τροφοδοτεί με +5Vdc τις συσκευές που απαιτούν εφεδρική μπαταρία
+5V	+5Vdc POWER (Τροφοδοσία +5V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος
+12V	+12Vdc POWER (Τροφοδοσία +12V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος
-12V	-12Vdc POWER (Τροφοδοσία -12V): Χρησιμοποιείται από τα λογικά κυκλώματα του συστήματος

Πίνακας ΒΠ. 3

Β.Π2 ΥΛΟΠΟΙΗΣΗ ΚΥΚΛΩΜΑΤΟΣ CPLD

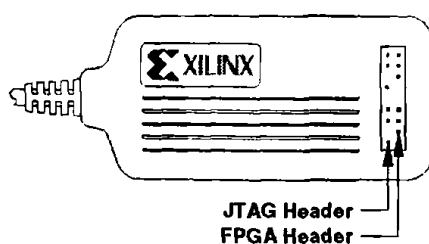
Τα στάδια από τα οποία θα πρέπει να επιτευχθούν για να φθάσουμε στην υλοποίηση του CPLD με τη βοήθεια του λογισμικού πακέτου Xilinx Foundation Series F3.1i είναι:

1. σχεδίαση του project με τη χρήση σχηματικού διαγράμματος (schematic editor),
2. λογική προσομοίωση του project με τον functional simulator που περιέχεται στο πακέτο του λογισμικού,
3. επιτυχής υλοποίηση (implementation) του project δηλαδή μετάφραση του σχεδίου σε κώδικα προγραμματισμού,
4. χρονική προσομοίωση του project με τον timing simulator όπου εξετάζουμε τυχόν προβλήματα που δημιουργούνται λόγω χρονικών καθυστερήσεων στο CPLD και
5. προγραμματισμός του CPLD κατά τον οποίο το αρχείο που έχει δημιουργηθεί κατά το implementation “φορτώνεται” στο CPLD.

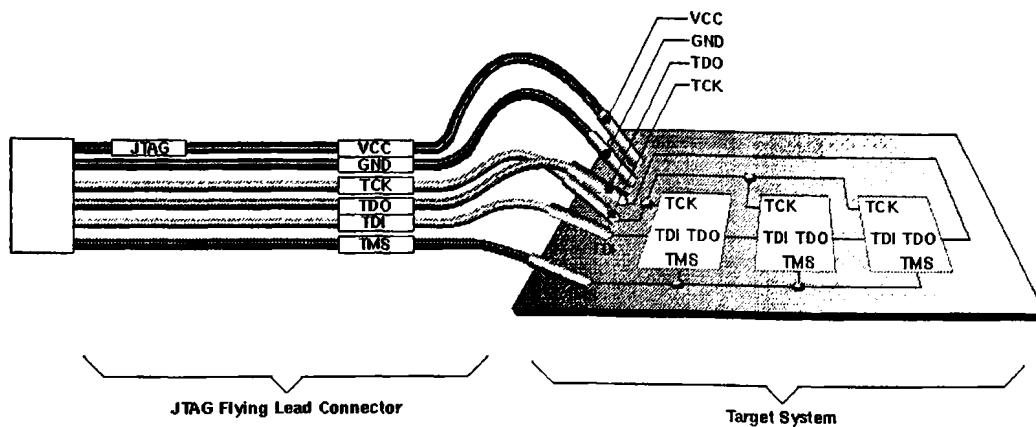
Όσον αφορά το τελικό ηλεκτρονικό κύκλωμα του CPLD, πέρασε από το στάδιο της υλοποίησης (implementation) με τις εξ’ ορισμού παραμέτρους που δίνει το λογισμικό πακέτο.

Ο προγραμματισμός του πραγματοποιείται με τη βοήθεια του πρωτοκόλλου IEEE 1149.1 Boundary-Scan (JTAG) και με τη βοήθεια ενός καλωδίου παράλληλης επικοινωνίας, του parallel cable. Το ολοκληρωμένο είναι δυνατό να προγραμματιστεί σε ξεχωριστή πλακέτα ειδική για τον συγκεκριμένο τύπο CPLD, αλλά στη συγκεκριμένη μονάδα έχει σχεδιαστεί και κύκλωμα προγραμματισμού (on-board).

Στα σχήματα ΒΠ.14 και ΒΠ.15 φαίνονται αντίστοιχα η απόληξη του parallel cable και η διάταξη συνδεσμολογίας του με τους ακροδέκτες του CPLD για τον προγραμματισμό. Ακολουθεί πίνακας (πίνακας ΒΠ.4) όπου αναγράφονται οι ορισμοί και οι λειτουργίες των ακροδεκτών του parallel cable.



Σχήμα ΒΠ. 14: Απεικόνιση καλωδίου xchecker



Σχήμα ΒΠ. 15: Διάταξη συνδεσμολογίας του parallel cable για προγραμματισμό CPLD

Name	Function	Connections
VCC	Power - Supplies VCC (5 V, 3.3V, or 2.5V, 10 mA, typically) to the cable.	To target system VCC
GND	Ground - Supplies ground reference to the cable.	To target system ground
TCK	Test Clock - this clock drives the test logic for all devices on boundary-scan chain.	Connect to system TCK pin.
TDO	Read Data - Read back data from the target system is read at this pin.	Connect to system TDO pin.
TDI	Test Data In - this signal is used to transmit serial test instructions and data.	Connect to system TDI pin.
TMS	Test Mode Select - this signal is decoded by the TAP controller to control test operations.	Connect to system TMS pin.

Πίνακας ΒΠ. 4: Σήματα ακροδεκτών του parallel cable



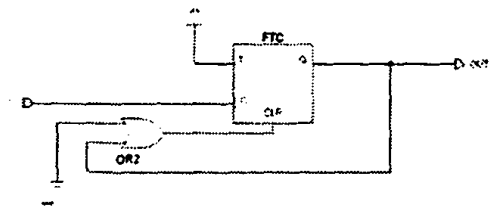
Β.Π3 ΥΠΟΜΟΝΑΔΕΣ ΕΣΩΤΕΡΙΚΟΥ ΚΥΚΛΩΜΑΤΟΣ FPGA

Στο παρόν παράρτημα παρατίθενται τα σχηματικά διαγράμματα των υπομονάδων του FPGA. Για τη σχεδίασή τους έχουν δημιουργηθεί με το εργαλείο LogiBlox Module Generator του σχεδιαστικού προγράμματος της Xilinx, ειδικά components που ονομάζονται LogiBLOXs. Τα LogiBLOXs χρησιμοποιούνται κυρίως για τη δημιουργία high-level modules όπως counters, registers, shift register, multiplexers, comparators κλπ. Με τη χρήση τους επιτυγχάνεται καλύτερη τοποθέτηση (κατά το implementation) της λογικής που περιέχουν μέσα στα CLBs του FPGA με κατάληψη του ελάχιστου χώρου από αυτόν που διαθέτει. Επομένως υπάρχει μεγαλύτερη ταχύτητα σημάτων και αξιοπιστία της λογικής τους.

Προτού προχωρήσουμε σημαντικό είναι να γίνει μια αναφορά σε μια βασική διάταξη που χρησιμοποιείται σε ολόκληρο το project.

Είναι η συνδεσμολογία ενός T-flip flop (σχ. ΒΠ.16) ή D-flip flop από την οποία παράγεται ένας πολύ μικρός παλμός στην έξοδό του. Ο παλμός αυτός έχει διάρκεια περίπου 2ns και είναι ικανός να οδηγήσει την είσοδο χρονισμού ενός άλλου κυκλώματος. Η προσθήκη της πύλης OR στην είσοδο clear του flip flop έχει σκοπό την χρονική αύξηση της διάρκειας του παλμού εξόδου

λόγω καθυστέρησης του σήματος έως ότου φθάσει στην είσοδο clear. Με τον τρόπο αυτό επιτυγχάνεται η παραγωγή ενός παλμού πολύ μικρής διάρκειας και ο εξαναγκασμός του ff να επανέλθει στην αρχική του κατάσταση. Ο χρονικός συσχετισμός της εισόδου C με την έξοδο Q του ff είναι περίπου 3-4ns όπως έχει μετρηθεί από τη χρονική προσομοίωση της προκειμένης διάταξης.



Σχήμα ΒΠ. 16

Βασική διάταξη παραγωγής παλμών

1. Υπομονάδα αποκωδικοποίησης διευθύνσεων (Decoder)

Σκοπός της μονάδας αποκωδικοποίησης (σχ. ΒΠ.17) είναι η ενεργοποίηση των εσωτερικών καταχωρητών του FPGA ώστε να αποθηκευτούν οι τιμές που έχουν ήδη σταθεροποιηθεί στο διάλυο δεδομένων του VME.

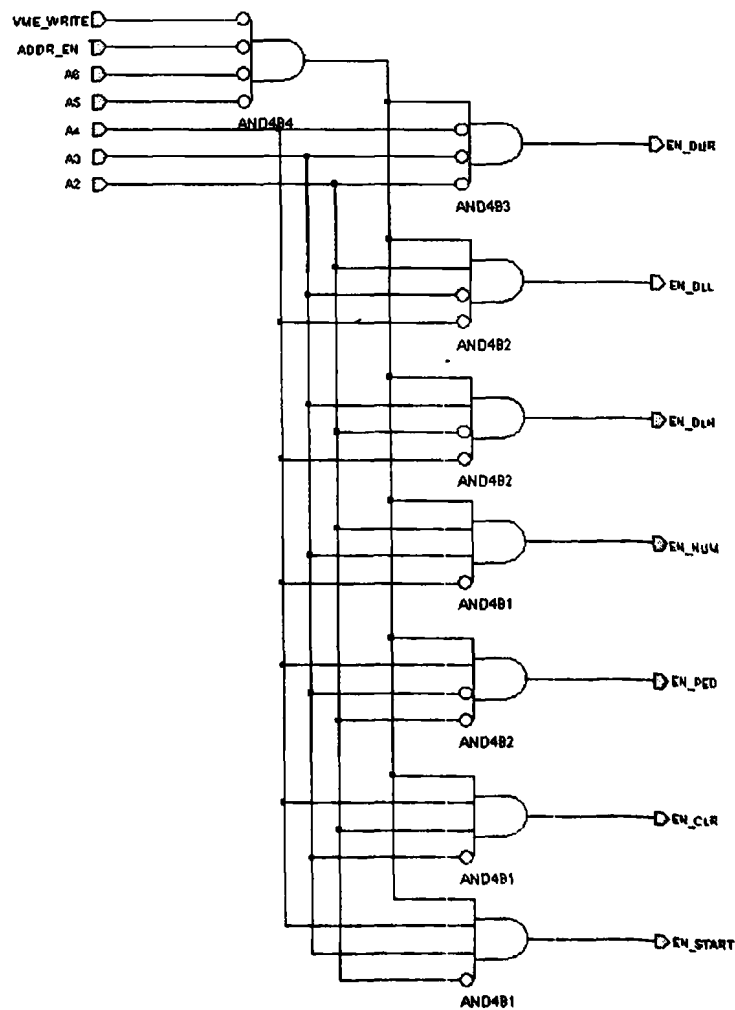
Με την προϋπόθεση ότι το σήμα ADDR_EN είναι σε λογικό επίπεδο 'low' (που σημαίνει ότι ο ελεγκτής του VME απευθύνεται στη συγκεκριμένη μονάδα) γίνεται η αποκωδικοποίηση των χαμηλών διευθύνσεων A2, A3, A4, A5, και A6 σύμφωνα με τη λογική των πυλών AND. Με την έλευση στη μονάδα του σήματος VME_write, γίνεται active high η αντίστοιχη έξοδος του αποκωδικοποιητή που απευθύνεται στους αντίστοιχους καταχωρητές.

Στον πίνακα ΒΠ.5 φαίνεται η αντιστοιχία των εξόδων του decoder με τους καταχωρητές του FPGA.

Decoder's output	Register
EN_DUR	Duration
EN_DLL	Low bits of delay time
EN_DLH	High bits of delay time
EN_NUM	Trigger number
EN_PED	3nd trigger
EN_CLR	Clear
EN_START	Start

Πίνακας ΒΠ. 5

Όπως θα δούμε παρακάτω οι έξοδοι του decoder, που είναι σήματα active high, συνδέονται στην είσοδο clock των καταχωρητών στις διάφορες υπομονάδες. Κατά την ενεργοποίησή τους (μέτωπο ανόδου του παλμού) γίνεται η αποθήκευση των δεδομένων που βρίσκονται ήδη στο data bus.

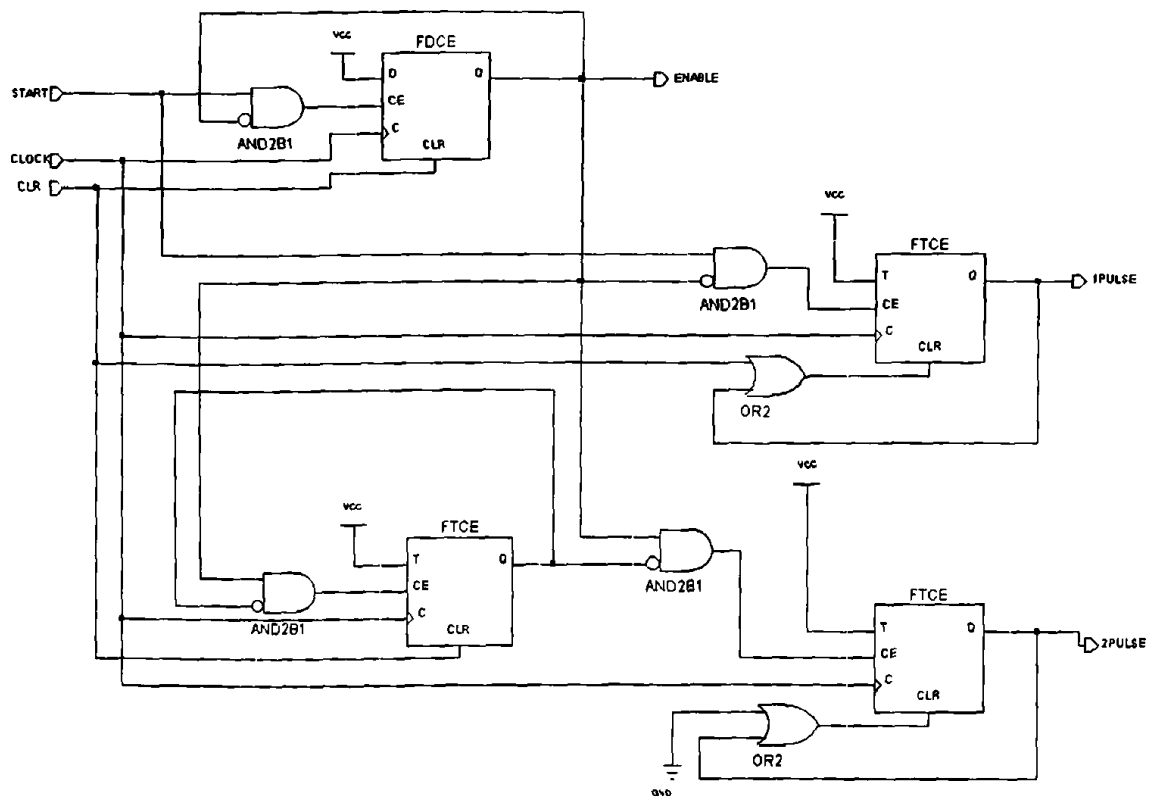


Σχήμα ΒΠ. 17: Σχηματικό διάγραμμα αποκωδικοποιητή διευθύνσεων



2. Υπομονάδα εκκίνησης παραγωγής trigger (starter)

Η υπομονάδα starter (σχ. ΒΠ.18) ελέγχει χρονικά την έναρξη των λειτουργιών των υπολοίπων υπομονάδων του FPGA. Με την εγγραφή του start register από το VME (είσοδος start) ξεκινά η λειτουργία της. Στην επόμενη άνοδο του παλμού clock των 40MHz (25ns) η έξοδος enable γίνεται 'high' και ξεκινά η λειτουργία της υπομονάδας tr_number. Ταυτόχρονα δίνεται ένας πολύ μικρός παλμός στην έξοδο 1_pulse που εκκινεί τη λειτουργία της υπομονάδας duration. Στον επόμενο παλμό clock (μετά από χρόνο 25ns) παράγεται ένας μικρός παλμός στην έξοδο 2_pulse που ξεκινά τη λειτουργία της υπομονάδας delay. Ο λόγος που γίνεται η διαδοχική αυτή εκκίνηση των υπομονάδων είναι ότι θα πρέπει να συμπέσει χρονικά η εκκίνηση της υπομονάδας duration με την εκκίνηση της υπομονάδας delay λόγω εσωτερικών στο FPGA καθυστερήσεων των σημάτων χρονισμού.



Σχήμα ΒΠ. 18: Σχηματικό διάγραμμα υπομονάδας εκκίνησης παραγωγής trigger

3. Υπομονάδα υπολογισμού της διάρκειας του trigger (duration)

Είναι υπεύθυνη για τον υπολογισμό της διάρκειας (duration) των παλμών εξόδου (σχ. ΒΠ.19). Περιέχει έναν 4-bit register για την αποθήκευση της επιθυμητής τιμής του duration (FD4-LogiBLOX), τη μονάδα παραγωγής συχνότητας 80MHz (CLK_GEN) και έναν 4-bit μετρητή (COUNT4N-LogiBLOX). Το FDPE είναι ένα flip flop τύπου D με clock enable και

asynchronous preset και ελέγχει το είδος της λειτουργίας που εκτελεί ο μετρητής.

Λειτουργία

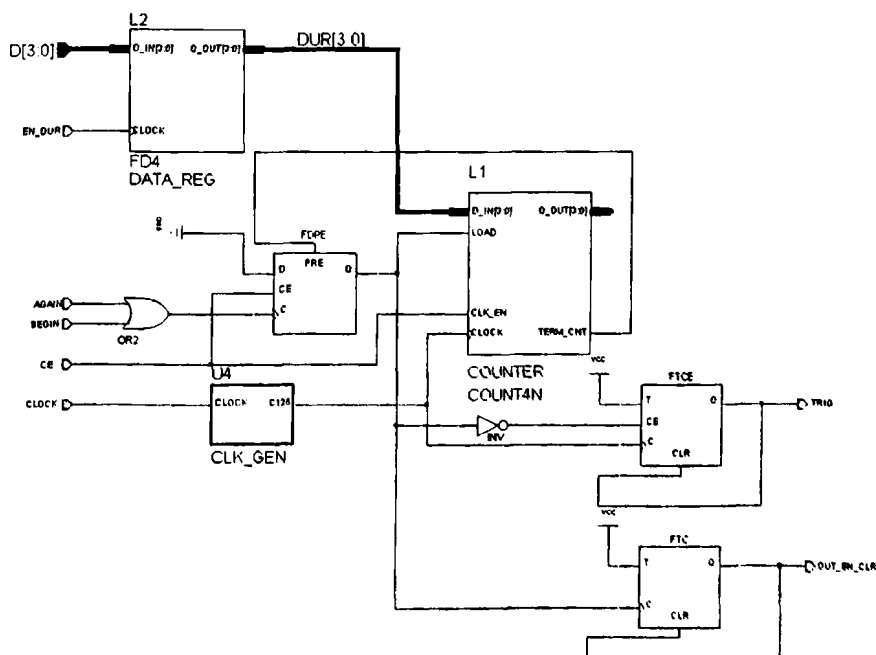
Με την εκκίνηση του συστήματος η έξοδος Q του FDPE βρίσκεται σε λογικό 'high' και ο μετρητής 'φορτώνει' στην έξοδό του την τιμή του καταχωρητή σε κάθε θετικό μέτωπο του παλμού χρονισμού clock ($T=12.5ns$). Ο μετρητής βρίσκεται σε συνδεσμολογία down counter. Κατά την έναρξη της λειτουργίας ο παλμός 1_pulse από την υπομονάδα starter εισέρχεται στην είσοδο begin και τοποθετεί το FDPE σε κατάσταση 'low' για να ξεκινήσει ο count4n να μετρά παλμούς διάρκειας 12.5ns (συχνότητας 80MHz). Όταν φθάσει στην τιμή '0' δίνει παλμό στην έξοδό του term_cnt ο οποίος με τη σειρά του τοποθετεί το FDPE ξανά σε κατάσταση 'high' ώστε να 'φορτώσει' εκ' νέου ο μετρητής την τιμή του καταχωρητή. Η διαδικασία θα αρχίσει πάλι με την έλευση νέου παλμού (στην είσοδο begin) που αυτή τη φορά όμως προέρχεται από την υπομονάδα delay.

Στην έξοδο trig δημιουργείται παλμός που τοποθετεί το flip flop παραγωγής του εξωτερικού trigger σε κατάσταση 'high', ενώ στην έξοδο out_en_clr δημιουργείται παλμός που κάνει clear στο flip flop εξόδου (κατάσταση 'low').

Οι παλμοί αυτοί δημιουργούνται στην κάθοδο και στην άνοδο του σήματος LOAD του μετρητή αντίστοιχα ώστε να συμπέσουν χρονικά η έλευση του επόμενου παλμού των 12.5ns στον μετρητή με την εκκίνηση του trigger εξόδου.

Η μέγιστη διάρκεια παλμού trigger που μπορεί να παραχθεί είναι:

$$(2^4 - 1) \times 12.5ns = 187.5ns$$

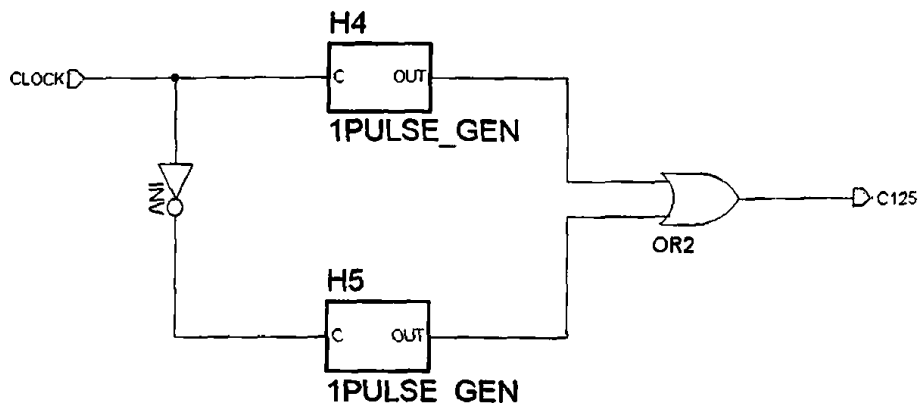


Σχήμα ΒΠ. 19: Σχηματικό διάγραμμα υπομονάδας υπολογισμού της διάρκειας του trigger

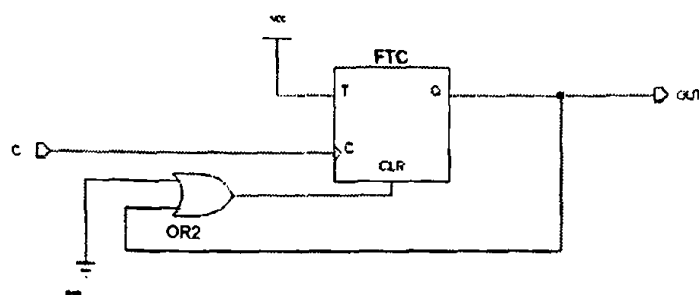


4. Υπομονάδα παραγωγής συχνότητας 80MHz (CLK_GEN)

Σκοπός της είναι η παραγωγή εσωτερικής στο FPGA συχνότητας 80MHz περιόδου $T=12.5ns$ για τη λειτουργία του μετρητή που ορίζει τη διάρκεια (duration) του παλμού εξόδου (σχ. ΒΠ.20). Αποτελείται από δύο όμοιες υπομονάδες 1pulse_gen (σχ. ΒΠ.21) η λειτουργία της οποίας εξηγήθηκε στην αρχή του παρόντος παραρτήματος. Η πρώτη βγάζει στην έξοδό της παλμό μετά την άνοδο του clock εισόδου ενώ η δεύτερη βγάζει παλμό μετά την κάθοδο του clock εισόδου. Με τον τρόπο αυτό επιτυγχάνεται η παραγωγή παλμών με περίοδο $T=12.5ns$ εσωτερικά στο FPGA. Το βασικό χαρακτηριστικό της συχνότητας των 80MHz το οποίο χρησιμοποιείται από το κύκλωμα είναι η περίοδος του σήματος εξόδου C125 και όχι το duty cycle του αντίστοιχου σήματος που είναι πολύ μικρό.



Σχήμα ΒΠ. 21: Σχηματικό διάγραμμα υπομονάδας παραγωγής συχνότητας 80MHz



Σχήμα ΒΠ. 20: Σχηματικό διάγραμμα υπομονάδας 1pulse_gen

5. Υπομονάδα υπολογισμού καθυστέρησης του trigger (delay)

Η υπομονάδα του FPGA (delay – σχ. ΒΠ.22) έχει σκοπό τη μέτρηση του χρόνου delay στον οποίο παράγεται ο επόμενος παλμός του trigger εξόδου. Περιέχει έναν 32-bit μετρητή (COUNT32-LogiBLOX), ένα flip flop τύπου D με clock enable και asynchronous preset (FDPE) που ελέγχει το είδος της λειτουργίας που εκτελεί ο μετρητής και έναν 32-bit καταχωρητή αποθήκευσης της επιθυμητής τιμής του delay (FD32-LogiBLOX - σχ.ΒΠ.23).

Ο καταχωρητής αποτελείται από δύο όμοιους καταχωρητές των 16-bit (LogiBLOX) όσο ακριβώς και το εύρος του διαύλου δεδομένων του VMEbus που χρησιμοποιούμε. Στον καταχωρητή L1 αποθηκεύονται τα 16 χαμηλότερα bits που πρόκειται να ‘φορτωθούν’ στον μετρητή ενώ στον καταχωρητή L2 αποθηκεύονται αντίστοιχα τα 16 υψηλότερα bits. Κάθε ένας από τους καταχωρητές καταλαμβάνει ξεχωριστή διεύθυνση στο δίαυλο διευθύνσεων του VME (πίνακας Β.3 – κεφ. Β.2.2).

Λειτουργία

Όπως και στην υπομονάδα duration, το FDPE προ-τοποθετείται με το power-up του συστήματος στην κατάσταση ‘high’ και ο μετρητής ‘φορτώνει’ στην έξοδό του την ένδειξη του καταχωρητή FD32 σε κάθε άνοδο του παλμού της εισόδου clock ($T=25\text{ns}$). Με την εκκίνηση της παραγωγής του trigger εξόδου, φθάνει στην είσοδο begin ένας παλμός (από την υπομονάδα starter) που τοποθετεί το FDPE σε κατάσταση ‘low’ και ο μετρητής ξεκινά να μετρά παλμούς 25ns. Και αυτός ο μετρητής βρίσκεται σε συνδεσμολογία down counter. Κατά τον τερματισμό της μέτρησης (term_cnt=‘high’) στέλνεται ο παλμός αυτός από την έξοδο end_delay στην υπομονάδα duration για εκκίνηση της διαδικασίας παραγωγής νέου trigger. Ταυτόχρονα το FDPE μεταβαίνει σε κατάσταση Q=‘high’ για να γίνει προ-τοποθέτηση του μετρητή στην επιθυμητή τιμή στον επόμενο παλμό των 25ns. Μόλις ‘φορτωθεί’ εκ’ νέου η τιμή στον μετρητή (term_cnt=‘low’) δίνεται παλμός στην είσοδο C του FDPE αλλά αυτή τη φορά από το δικτύωμα των flip flop της υπομονάδας για εκκίνησης της μέτρησης του χρόνου delay. Η έξοδος R1 αναφέρεται στην κατάσταση της εισόδου LOAD του μετρητή. Η μετάβαση της κατάστασής της σε λογικό ‘high’ υποδηλώνει τον τερματισμό του delay time. Το σήμα R1 στέλνεται στην υπομονάδα tr_number ώστε να γίνει διακοπή της λειτουργίας του FPGA όπως θα εξηγηθεί στην επόμενη παράγραφο.

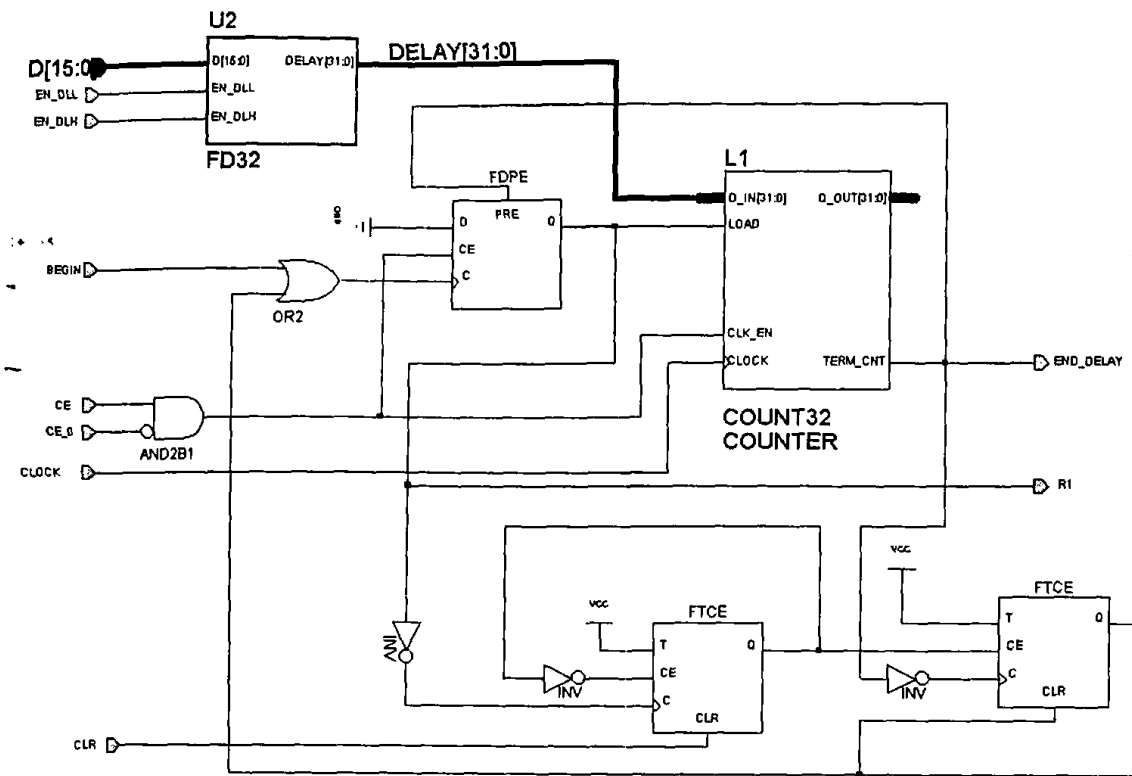
Η υπομονάδα delay απαιτεί για την αρχικοποίησή της, χρόνο 25ns. Η νέα μέτρηση του χρόνου delay ξεκινάει από τον επόμενο παλμό των 25 ns. Για το λόγο αυτό δεν είναι δυνατή η παραγωγή external trigger με χρόνο delay μικρότερο από 50ns.

Επομένως ο χρόνος delay παίρνει τιμές σύμφωνα με τη σχέση (4):

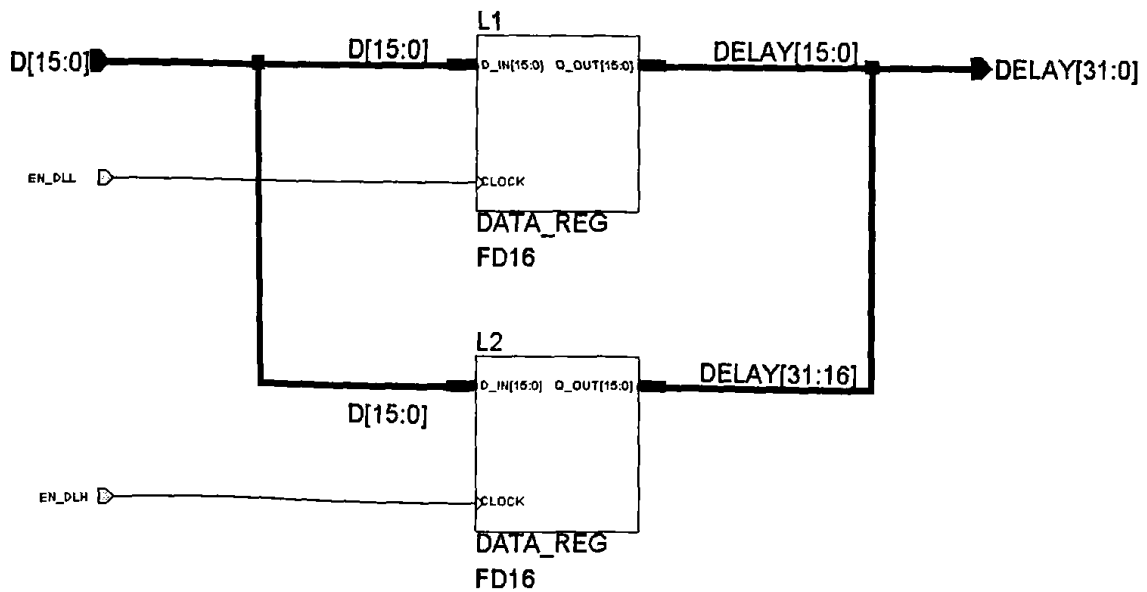
$$50 \text{ ns} < \text{Delay} < (2^{32}-1) \times 25\text{ns} = 107.3 \text{ sec}$$

Σχέση(4)





Σχήμα ΒΠ. 22: Σχηματικό διάγραμμα υπομονάδας υπολογισμού καθυστέρησης του trigger



Σχήμα ΒΠ. 23: Σχηματικό διάγραμμα υπομονάδας καταχωρητή 32-bit (FD32)

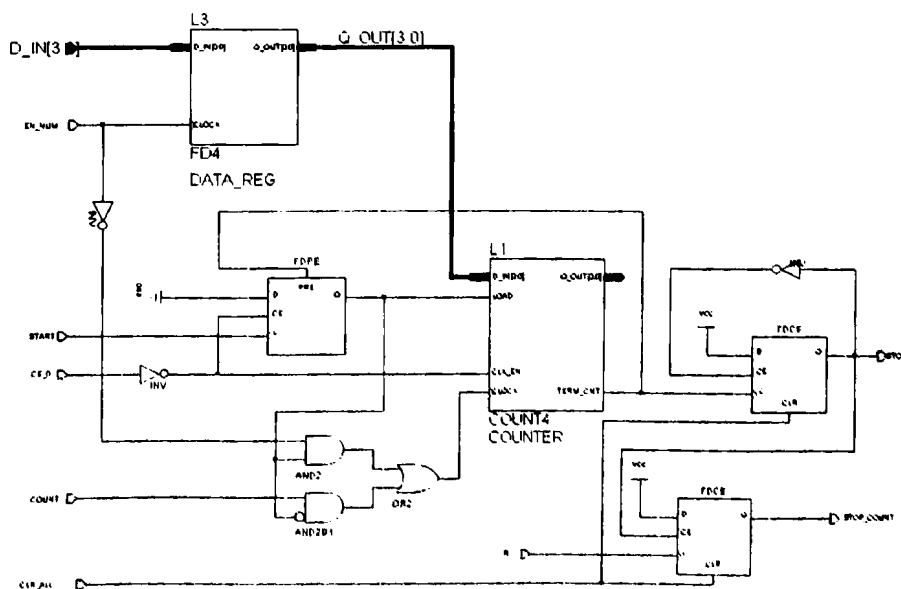
6. Υπομονάδα υπολογισμού του αριθμού των triggers (tr_number)

Η υπομονάδα υπολογισμού του αριθμού των trigger εξόδου που θέλουμε να παράγουμε (σχ. ΒΠ.24) περιέχει έναν καταχωρητή 4-bit (FD4-LogiBLOX) και έναν μετρητή 4-bit (count4- LogiBLOX). Ο μετρητής βρίσκεται και αυτός σε συνδεσμολογία down counter η λειτουργία του οποίου ελέγχεται από ένα flip flop τύπου D με clock enable και asynchronous preset (FDPE) που ελέγχει το είδος της λειτουργίας που εκτελεί ο μετρητής

Λειτουργία

Με την εκκίνηση του συστήματος η έξοδος Q του FDPE προ-τοποθετείται σε λογικό 'high' και ο μετρητής περιμένει την έλευση παλμού στην είσοδο clock για να 'φορτώσει' στην έξοδό του την ένδειξη του καταχωρητή. Η είσοδος clock του μετρητή ελέγχεται από το δικτύωμα των λογικών πυλών AND και OR. Προτού ξεκινήσει η παραγωγή του trigger ο μετρητής δέχεται σαν είσοδο clock το σήμα εισόδου EN_NUM (από τον αποκωδικοποιητή διευθύνσεων). Στην άνοδο του παλμού EN_NUM γίνεται η εγγραφή του καταχωρητή FD4 ενώ στην κάθοδό του γίνεται η προ-τοποθέτηση του μετρητή με την αντίστοιχη τιμή. Με την έλευση του παλμού start από την υπομονάδα starter η έξοδος του FDPE μεταβαίνει σε λογικό επίπεδο 'low' και παράλληλα γίνεται μεταγωγή της εισόδου clock του μετρητή στην είσοδο count της υπομονάδας. Στην είσοδο αυτή φθάνουν από την υπομονάδα duration οι παλμοί που ελέγχουν την είσοδο clear του flip flop εξόδου.

Επομένως ο μετρητής μετράει τον αριθμό των κύκλων του trigger που έχουν επιτευχθεί. Με το πέρας της μέτρησης (term_cnt='high') γίνεται εκ νέου προετοιμασία του μετρητή για να φορτώσει το νέο αριθμό των triggers αλλά ταυτόχρονα δίνεται από την έξοδο stop εντολή απενεργοποίησης του flip flop εξόδου που παράγει το trigger. Η έξοδος stop_count ενεργοποιείται σε λογικό 'high' στην επόμενη άνοδο του σήματος LOAD από την είσοδο R1 του μετρητή που περιέχεται στην υπομονάδα delay. Αποτέλεσμα της εξόδου stop_count είναι η απενεργοποίηση όλων των υπομονάδων του FPGA.



Σχήμα ΒΠ. 24: Σχηματικό διάγραμμα υπομονάδας υπολογισμού του αριθμού των triggers

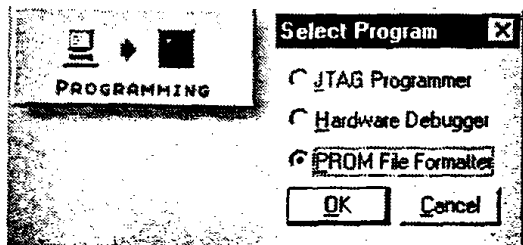


Β.Π4 ΠΡΟΓΡΑΜΜΑΤΙΣΜΟΣ ΜΝΗΜΗΣ PROM

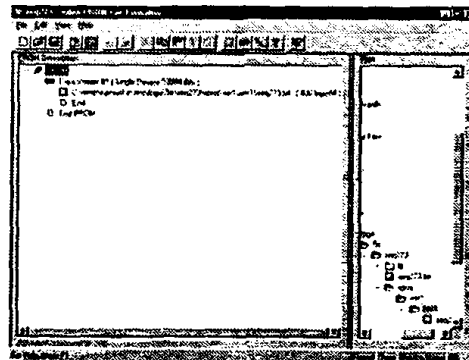
Η μνήμη που χρησιμοποιήθηκε για την αποθήκευση του ηλεκτρονικού σχεδίου στο FPGA είναι η 17128DPC της εταιρίας Xilinx που επιδέχεται προγραμματισμό μόνο μία φορά. Για να γίνει ο προγραμματισμός της είναι απαραίτητη η ύπαρξη ενός αρχείου που περιέχει το ηλεκτρονικό σχέδιο υπό τη μορφή κώδικα. Το συγκεκριμένο αρχείο θα χρησιμοποιηθεί από το software που διαχειρίζεται τον programmer ώστε να γίνει ο προγραμματισμός της.

Τη 'μετάφραση' του σχεδίου σε κώδικα αναλαμβάνει το υποπρόγραμμα που συμπεριλαμβάνεται στο σχεδιαστικό πακέτο Xilinx Foundation Series, PROM File Formatter (σχ. ΒΠ.25), το γραφικό περιβάλλον του οποίου φαίνεται στο σχ. ΒΠ.26.

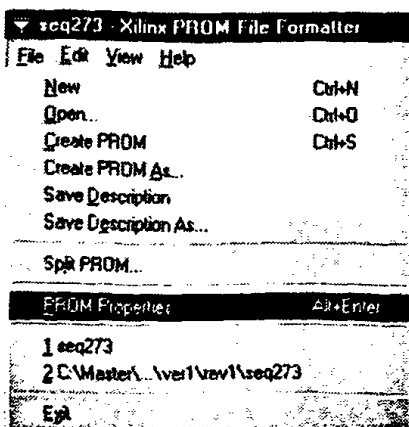
Ορίζονται οι ιδιότητες (properties) βάση των οποίων θα δημιουργηθεί το κατάλληλο αρχείο του κώδικα για τον συγκεκριμένο τύπο της PROM που πρόκειται να προγραμματίσουμε (σχ. ΒΠ.27). Στη συγκεκριμένη περίπτωση ορίστηκαν οι ιδιότητες που φαίνονται στο σχήμα ΒΠ.28. Τελικό στάδιο είναι η δημιουργία του αρχείου seq273.msc (create PROM-σχ. ΒΠ.30) η αποθήκευση του οποίου γίνεται εξ' ορισμού στον υπο-φάκελο ...\\ver1\\gen1 του αντίστοιχου project (σχ.ΒΠ.29).



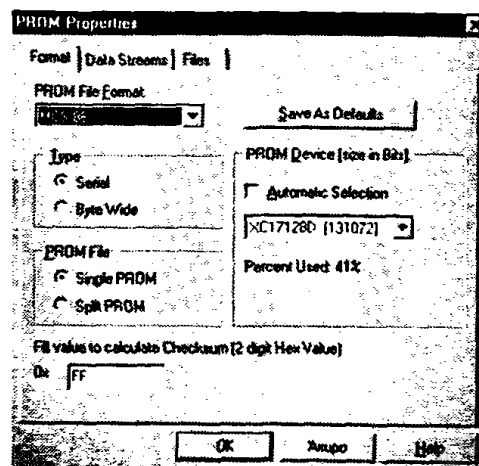
Σχήμα ΒΠ. 25



Σχήμα ΒΠ. 26

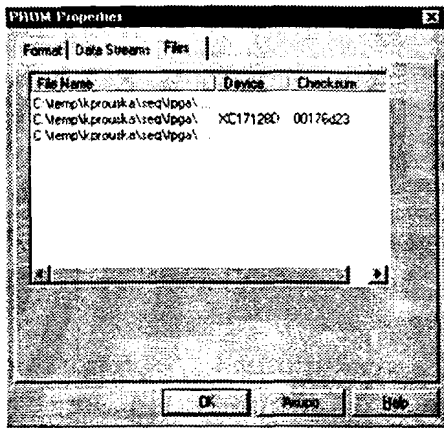


Σχήμα ΒΠ. 27

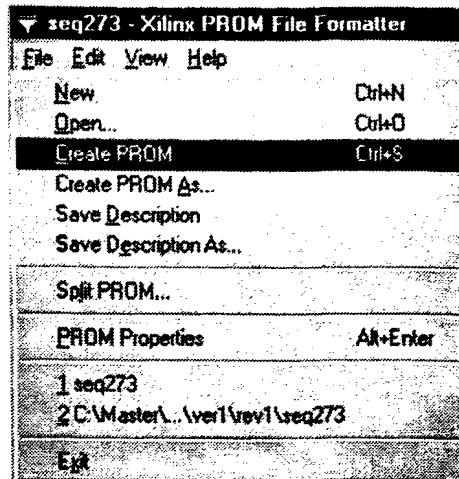


Σχήμα ΒΠ. 28





Σχήμα ΒΠ. 29

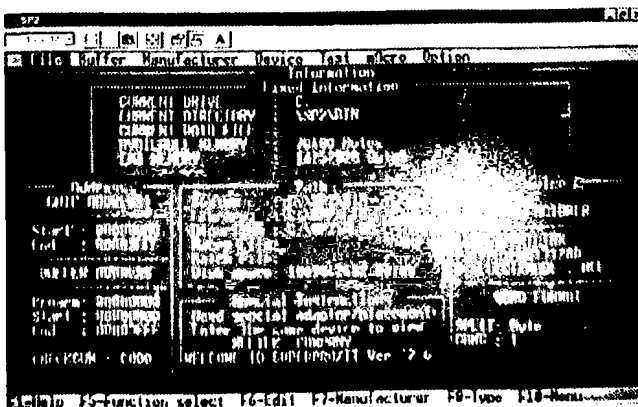


Σχήμα ΒΠ. 30

Ο προγραμματισμός της μνήμης έγινε με τη βοήθεια του προγραμματιστή SUPERPRO II Universal Programming της Xeltek. Χρησιμοποιήθηκε ο μετατροπέας XXC17XXD-8D/16D της Xeltek που υποστηρίζει τον τύπο της επιθυμητής μνήμης 17128DPC. Το πρόγραμμα που διαχειρίζεται τον SUPERPRO II είναι το SP2 και λειτουργεί σε περιβάλλον DOS. Στα σχήματα ΒΠ.31 έως ΒΠ.36 φαίνονται διαδοχικά τα βήματα που ακολουθούνται κατά τον προγραμματισμό.



Σχήμα ΒΠ. 31
Πρόγραμμα SP2



Σχήμα ΒΠ. 32
Ρυθμίσεις για τον προγραμματισμό της μνήμης 17128DPC



File Buffer Manufacturer Device Test Micro Option

Function Select

Function	Result : SUCCESS
Program	
Read	
Verify	
Self-Reset	
Self-Reset-P	
Blank-Check	
Blank-Check-P	
Read-Reset-P	
Read-Reset	
Reset is active LOW	
KILLINK: K0171280	
Message	
Chip Start : 00000000	
Chip End : 00000000	
Program Addr : 00000000	
Buffer Start : 00000000	
Buffer End : 00000000	
Current Addr : 00000000	
Current Data : 00000000	
Current Word : 1	
Environment	
MFG : M1118K	
TYPE : K0171280	
SPLIT : Byte	
SMI1 : 523C	
SMI2 : 523C	
LED STATUS	
BUSV : Off	
Count : 001	
Delay : 000	
Repeat : 001	
Report : 001	
Reset	
Status	
Stop	

2x7m
L7p0
PPO

File Buffer Manufacturer Device Test Micro Option

Function Select

Function	Result : SUCCESS
Program	
Read	
Verify	
Self-Reset	
Self-Reset-P	
Blank-Check	
Blank-Check-P	
Read-Reset-P	
Read-Reset	
Reset is active LOW	
KILLINK: K0171280	
Message	
Chip Start : 00000000	
Chip End : 00000000	
Program Addr : 00000000	
Buffer Start : 00000000	
Buffer End : 00000000	
Current Addr : 00000000	
Current Data : 00000000	
Current Word : 1	
Environment	
MFG : M1118K	
TYPE : K0171280	
SPLIT : Byte	
SMI1 : 523C	
SMI2 : 523C	
LED STATUS	
BUSV : Off	
Count : 001	
Delay : 000	
Repeat : 001	
Report : 001	
Reset	
Status	
Stop	

2x7m
AA
RES

File Buffer Manufacturer Device Test Micro Option

Function Select

Function	Result : SUCCESS
Program	
Read	
Verify	
Self-Reset	
Self-Reset-P	
Blank-Check	
Blank-Check-P	
Read-Reset-P	
Read-Reset	
Reset is active LOW	
KILLINK: K0171280	
Message	
Chip Start : 00000000	
Chip End : 00000000	
Program Addr : 00000000	
Buffer Start : 00000000	
Buffer End : 00000000	
Current Addr : 00000000	
Current Data : 00000000	
Current Word : 1	
Environment	
MFG : M1118K	
TYPE : K0171280	
SPLIT : Byte	
SMI1 : 523C	
SMI2 : 523C	
LED STATUS	
BUSV : Off	
Count : 001	
Delay : 000	
Repeat : 001	
Report : 001	
Reset	
Status	
Stop	

2x7m
EA
pvt
ow
rpo

File Buffer Manufacturer Device Test Micro Option

Function Select

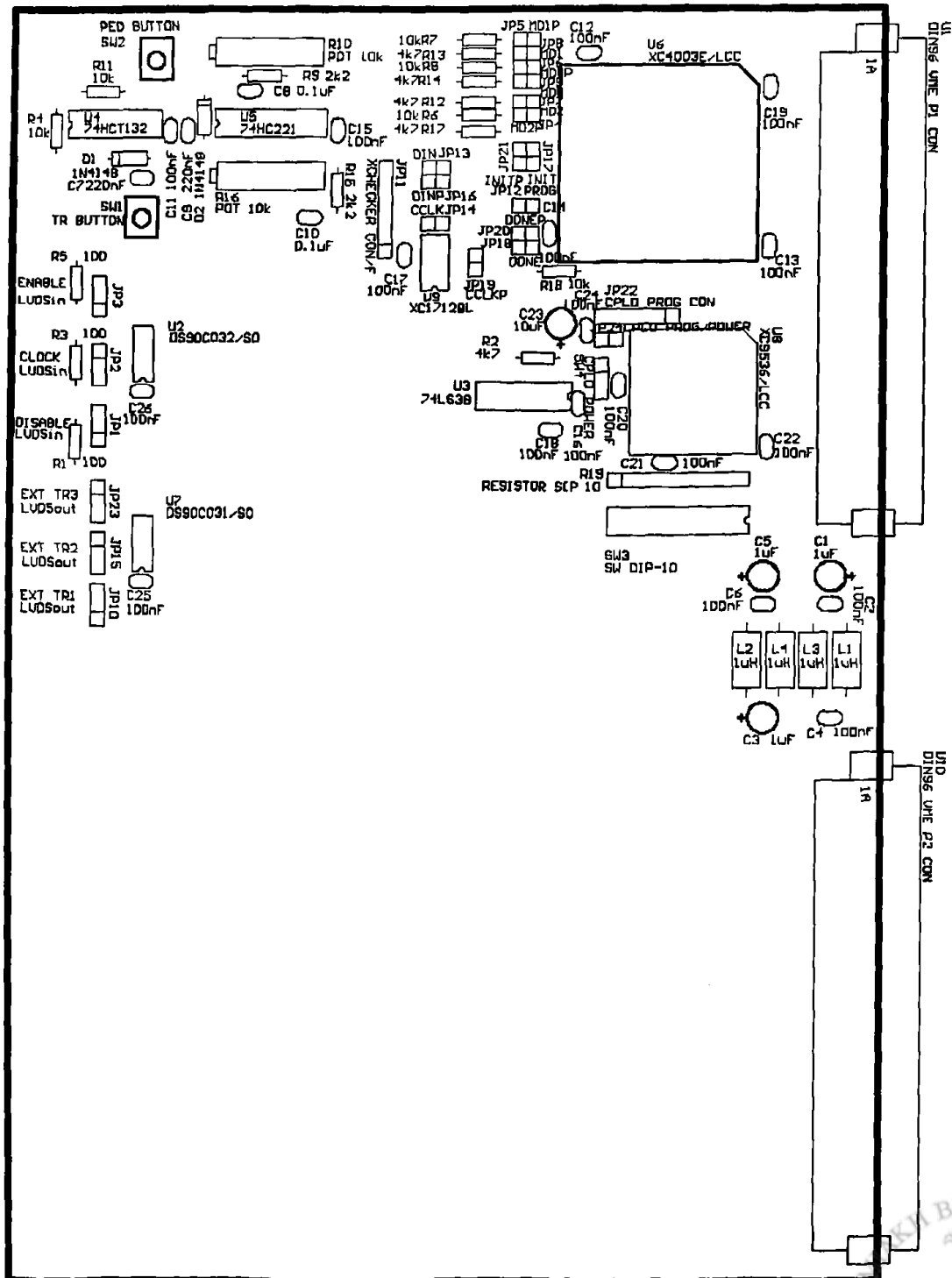
Function	Result : SUCCESS
Program	
Read	
Verify	
Self-Reset	
Self-Reset-P	
Blank-Check	
Blank-Check-P	
Read-Reset-P	
Read-Reset	
Reset is active LOW	
KILLINK: K0171280	
Message	
Chip Start : 00000000	
Chip End : 00000000	
Program Addr : 00000000	
Buffer Start : 00000000	
Buffer End : 00000000	
Current Addr : 00000000	
Current Data : 00000000	
Current Word : 1	
Environment	
MFG : M1118K	
TYPE : K0171280	
SPLIT : Byte	
SMI1 : 523C	
SMI2 : 523C	
LED STATUS	
BUSV : Off	
Count : 001	
Delay : 000	
Repeat : 001	
Report : 001	
Reset	
Status	
Stop	

2x7m
En
rpo

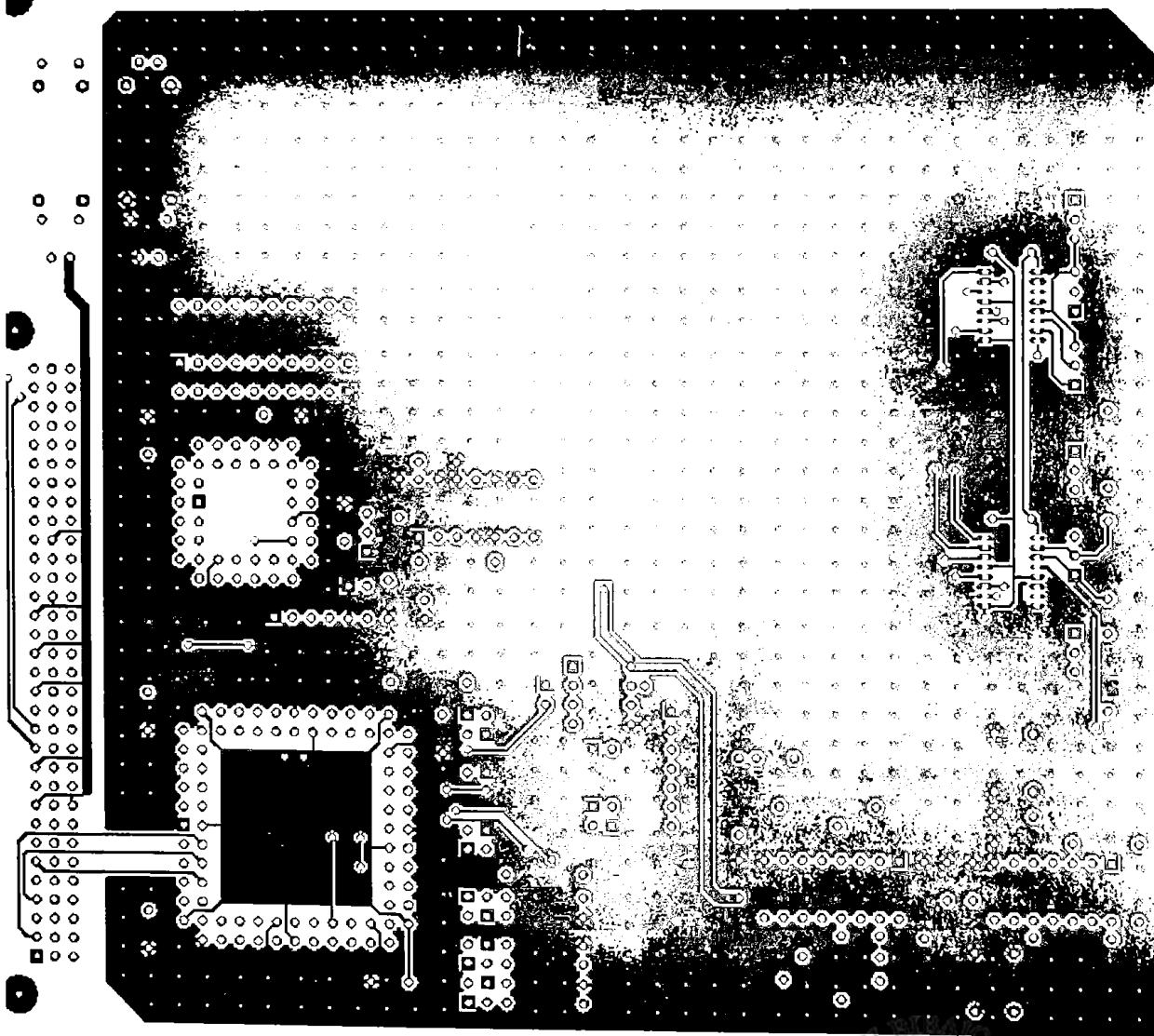
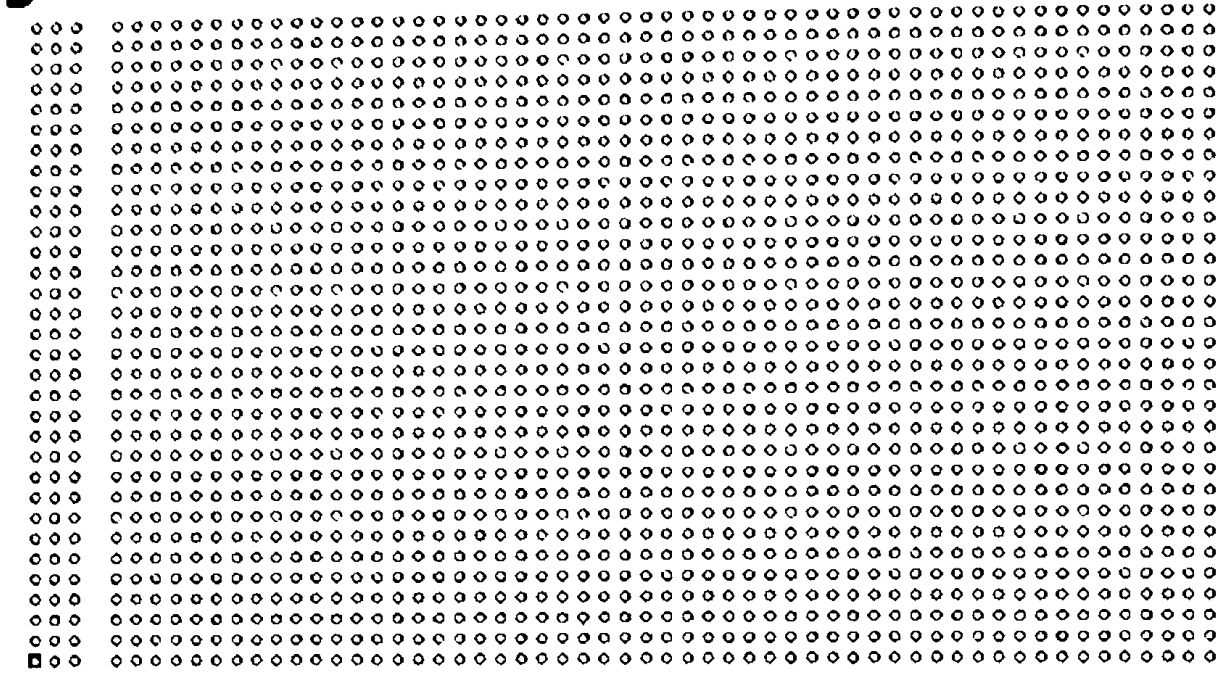


Β.Π5 ΤΥΠΩΜΕΝΑ ΚΥΚΛΩΜΑΤΑ ΜΟΝΑΔΑΣ ΠΑΡΑΓΩΓΗΣ ΑΚΟΛΟΥΘΙΑΚΩΝ ΣΗΜΑΤΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Τα τυπωμένα κυκλώματα της μονάδας παραγωγής ακολουθιακών σημάτων σκανδαλισμού σχεδιάστηκαν με τη βοήθεια του λογισμικού σχεδίασης OrCad Layout version 9.1 της εταιρίας OrCad σε περιβάλλον windows. Η κατασκευή της έγινε από την εταιρία Χουρδάκης Α.Ε. σε δύο επίπεδα (layers) με επιμεταλλωμένες οπές.

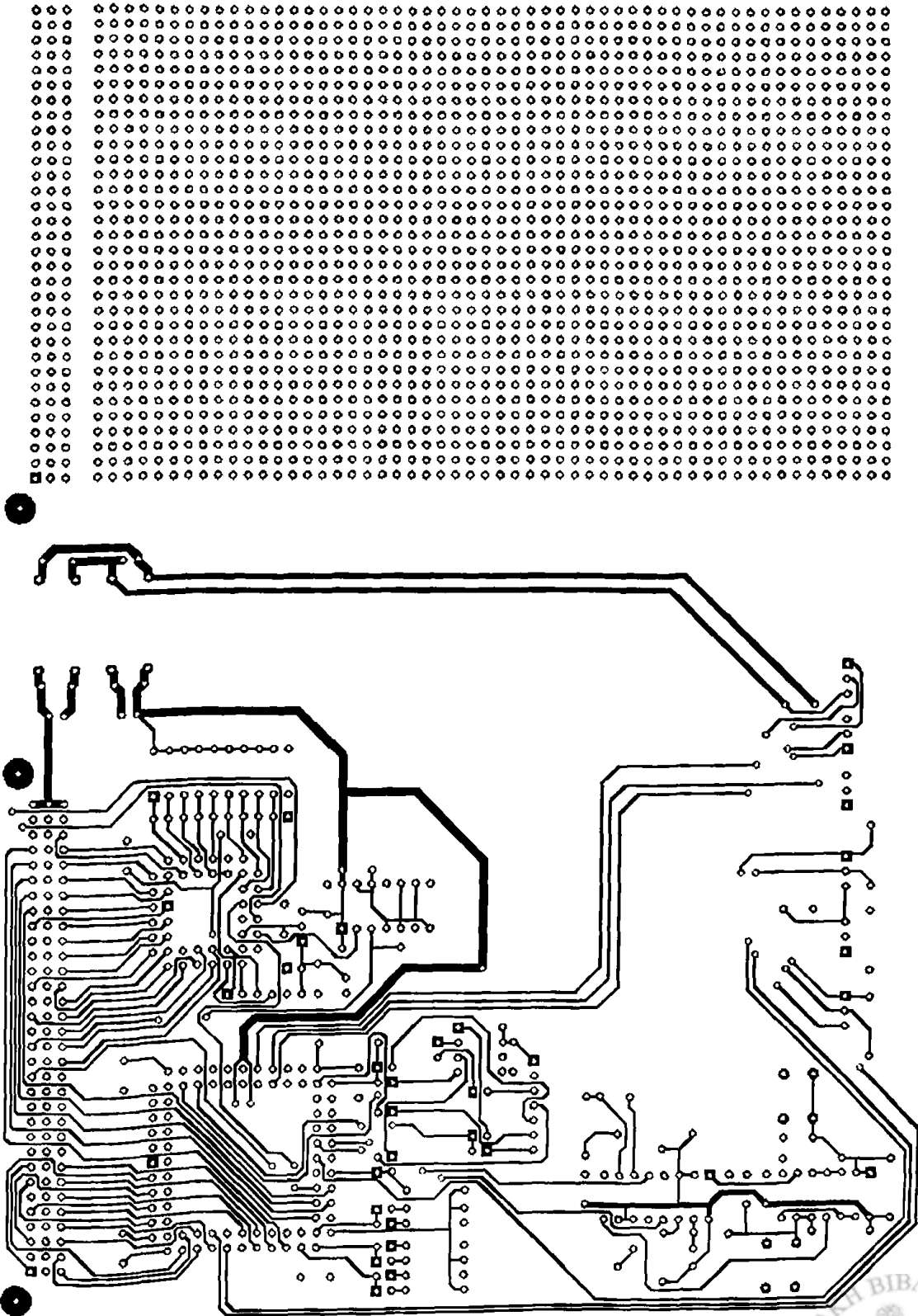


Σχήμα ΒΠ. 37: Τοπογραφικό υλικών του άνω επιπέδου της πλακέτας

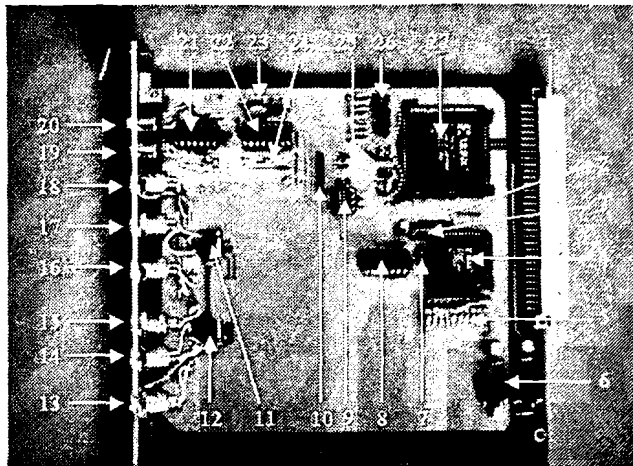


Σχήμα ΒΙΙ, 39: Layout του κάτω επιπέδου της πλακέτας

26220YF 26120KJ - 1002 19dmpvni - 10U - de L qm - - b160B 19cnpup22

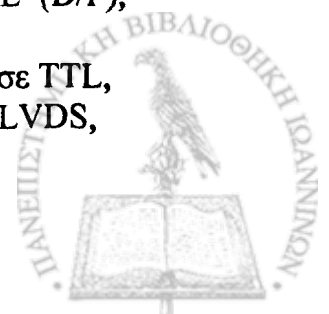


Στο σχήμα ΒΠ.40 φαίνεται η πλακέτα παραγωγής σημάτων σκανδαλισμού και πιο κάτω δίνονται οι αντίστοιχες επεξηγήσεις των στοιχείων της.



Σχήμα ΒΠ. 40

1. συνδέτης (J1) επικοινωνίας με το δίαυλο VME,
2. συνδέτης (JP22) όπου συνδέεται το parallel cable για τον προγραμματισμό του CPLD. Οι ακροδέκτες από αριστερά προς τα δεξιά (όπως φαίνεται στο σχήμα) είναι: Vcc, GND, TDI, TMS, TCK και TDO,
3. συνδέτης (JP24) από τον οποίο δίνεται τροφοδοσία στο κύκλωμα του CPLD ώστε να γίνει ο προγραμματισμός του. Όπως φαίνεται ο συνδέτης στο σχήμα στο αριστερό μέρος βρίσκεται το pin της σταθεροποιημένης τάσης +5V, ενώ στο δεξί μέρος το pin της γείωσης GND,
4. το XC9536PC44 (CPLD) της Xilinx
5. οι μικροδιακόπτες από τους οποίους δεν χρησιμοποιείται ο διακόπτης Νο10. Όταν βρίσκονται στην πάνω θέση υποδηλώνουν στο CPLD λογικό '0', ενώ στην κάτω θέση λογικό '1'. Στην εικόνα ο συνδυασμός τους αντιστοιχεί στη βασική διεύθυνση **600000_{hex}**,
6. το κύκλωμα υποστήριξης τροφοδοσίας,
7. ο διακόπτης SW4. Η αρίθμηση των pins του header γίνεται από πάνω προς τα κάτω (σχ. ΒΠ.40). Όταν βραχυκυκλώνονται τα pins 1 και 2 το CPLD τροφοδοτείται από τον συνδέτη JP24. Όταν βραχυκυκλώνονται τα pins 2 και 3 το CPLD τροφοδοτείται από το τροφοδοτικό του πλαισίου VME μέσω του συνδέτη J1,
8. το 74LS38 που οδηγεί το σήμα DTACK στο δίαυλο VME,
9. η μνήμη eprom 17128DPC της Xilinx,
10. ο συνδέτης (JP11) όπου συνδέεται το καλώδιο xchecker για τον προγραμματισμό του FPGA. Οι ακροδέκτες από πάνω προς τα κάτω (όπως φαίνεται στο σχήμα) είναι: DIN, PROGRAM, DONE (D/P), INIT, CCLK, GND, και Vcc,
11. το DS90C032TM (SMT) μετατροπής σημάτων εισόδου LVDS σε TTL,
12. το DS90C031TM (SMT) μετατροπής σημάτων εξόδου TTL σε LVDS,
13. ο συνδέτης σήματος εξόδου external trigger 1,



14. ο συνδέτης σήματος εξόδου external trigger 2,
15. ο συνδέτης σήματος εξόδου external trigger 3,
16. ο συνδέτης σήματος εισόδου disable trigger,
17. ο συνδέτης σήματος εισόδου clock (40MHz),
18. ο συνδέτης σήματος εισόδου enable,
19. το push button (2 tr) παραγωγής με το χέρι ενός παλμού trigger στις εξόδους external trigger 1 και 2,
20. το push button (3 tr) παραγωγής με το χέρι ενός παλμού trigger στις εξόδους external trigger 1 και 3,
21. το 74HCT132 παραγωγής παλμού προς το FPGA από τα push buttons,
22. το ολοκληρωμένο 74HC221 μονοσταθούς πολυδονητή,
23. μεταβλητή αντίσταση ρύθμισης του εύρους του παλμού εξόδου από τον μονοσταθό πολυδονητή με την ενεργοποίηση του push button 3,
24. μεταβλητή αντίσταση ρύθμισης του εύρους του παλμού εξόδου από τον μονοσταθό πολυδονητή με την ενεργοποίηση του push button 2,
25. οι βραχυκυκλωτήρες JP12, JP13, JP14, JP17 και JP18 που συνδέουν το κύκλωμα του συνδέτη xchecker με το FPGA ή το αποκόπτουν καθώς και οι βραχυκυκλωτήρες JP16, JP19, JP20 και JP21 που συνδέουν τη μνήμη PROM με το FPGA ή την αποκόπτουν,
26. οι βραχυκυκλωτήρες JP4 έως JP9 που ορίζουν τη λειτουργία του FPGA σε Master Serial mode ή Slave Serial mode. Όταν βραχυκυκλώνονται τα JP7, JP8 και JP9 ενώ μένουν ανοικτά τα JP4, JP5 και JP6 τότε το FPGA λειτουργεί σε master serial mode και το πρόγραμμα φορτώνεται από τη μνήμη PROM. Στην αντίθετη περίπτωση το FPGA λειτουργεί σε slave serial mode και το πρόγραμμα φορτώνεται μέσω του καλωδίου xchecker,
27. το XC4003EPC84 (FPGA) της Xilinx

Στον πίνακα ΒΠ.6 φαίνονται τα υλικά που χρησιμοποιήθηκαν στη μονάδα παραγωγής ακολουθιακών σημάτων σκανδαλισμού.

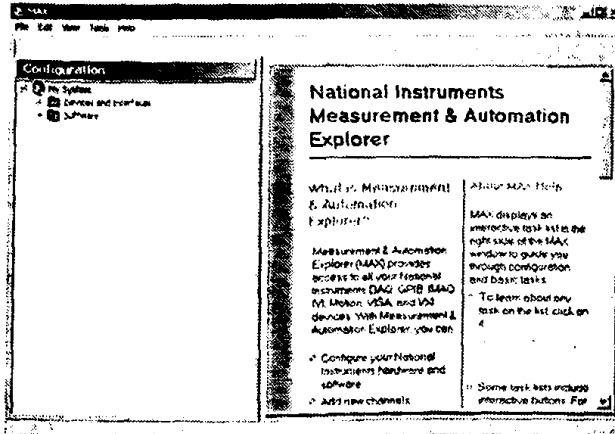
ΚΑΤΑΣΤΑΣΗ ΥΛΙΚΩΝ ΜΟΝΑΔΑΣ		
Α/Α	ΠΕΡΙΓΡΑΦΗ	ΠΟΣΟΤΗΤΑ
ΠΥΚΝΩΤΕΣ		
1	ΠΥΚΝΩΤΗΣ 100nF	18
2	ΠΥΚΝΩΤΗΣ 0.1μF/16V	2
3	ΠΥΚΝΩΤΗΣ 0.22μF/16V	2
4	ΠΥΚΝΩΤΗΣ 1μF/16V	3
5	ΠΥΚΝΩΤΗΣ 10μF/16V	1
ΑΝΤΙΣΤΑΣΕΙΣ		
1	ΑΝΤΙΣΤΑΣΗ 100Ω/0.25W	3
2	ΑΝΤΙΣΤΑΣΗ 2.2ΚΩ/0.25W	2
3	ΑΝΤΙΣΤΑΣΗ 4.7ΚΩ/0.25W	5
4	ΑΝΤΙΣΤΑΣΗ 10ΚΩ/0.25W	6
5	ΤΡΙΜΜΕΡ 10ΚΩ 0.25W	2
6	ΔΙΚΤΥΩΜΑ ΑΝΤΙΣΤΑΣΕΩΝ 10ΚΩΧ9	1
ΔΙΟΔΟΙ		
1	ΔΙΟΔΟΣ 1N4148	2
ΠΗΝΙΑ		
1	ΠΗΝΙΟ 1μΗ	4
ΚΟΜΒΙΑ		
1	ΜΠΟΥΤΟΝ ΓΙΑ ΣΑΣΙ	2
ΔΙΑΚΟΠΤΕΣ		
1	ΔΙΑΚΟΠΤΗΣ 10 ΘΕΣΕΩΝ ΤΥΠΟΥ DIP	1
ΒΡΑΧΥΚΥΚΛΩΤΗΡΕΣ		
1	ΒΡΑΧΥΚΥΚΛΩΤΗΡΑΣ (JUMPER)	9
ΣΥΝΔΕΤΕΣ		
1	ΣΥΝΔΕΤΗΣ ΓΩΝΙΑΚΟΣ 3x32	1
ΟΛΟΚΛΗΡΩΜΕΝΑ		
1	I.C DS90C32TM (SMT)	1
2	I.C DS90C31TM (SMT)	1
3	I.C XC40003E/PLCC FPGA	1
3	I.C XC9536PC44/PLCC CPLD	1
4	I.C XC17128DPC DIP-8	1
5	I.C 74LS38	1
6	I.C 74HCT132	1
7	I.C 74HC221	4

Πίνακας ΒΠ. 6

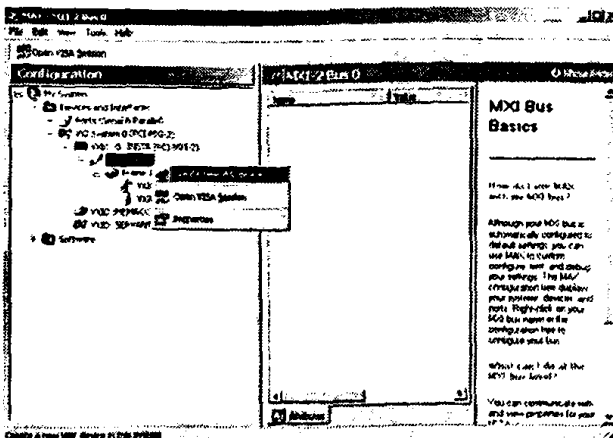


Β.Π6 ΠΕΡΙΒΑΛΛΟΝ ΕΠΙΚΟΙΝΩΝΙΑΣ ΤΗΣ ΜΟΝΑΔΑΣ ΜΕ ΤΟΝ ΔΙΑΥΛΟ VME

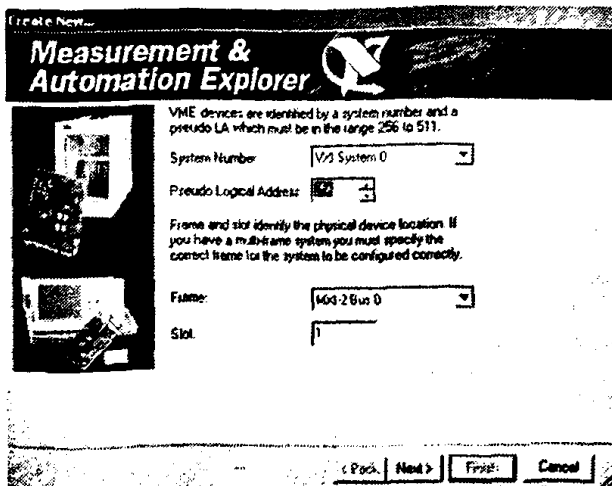
Για την επικοινωνία μεταξύ χρήστη και της μονάδας απαιτείται κατ' αρχήν να δηλωθεί η μονάδα στο σύστημα του VMEbus ώστε να την γνωρίζει ο μικροελεγκτής του συστήματος ως κάρτα slave. Η δήλωσή της έγινε με τη βοήθεια του προγράμματος Measurements & Automation [28] explorer της National Instruments (σχ. ΒΠ.41). Στα σχήματα ΒΠ.42 έως ΒΠ.49 παρατίθεται διαδοχικά η διαδικασία δήλωσης της μονάδας στον διάυλο VME.



Σχήμα ΒΠ. 41
Measurements & Automation Explorer (Nat. Instruments)



Σχήμα ΒΠ. 42
Δημιουργία νέας συσκευής στο διάυλο VME

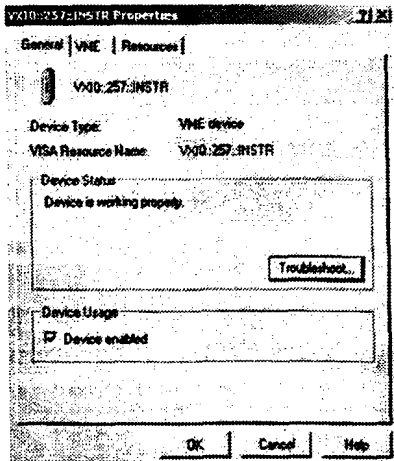


Σχήμα ΒΠ. 43
Εκκίνηση wizard για τη δημιουργία της νέας συσκευής και τη ρύθμιση των ιδιοτήτων της

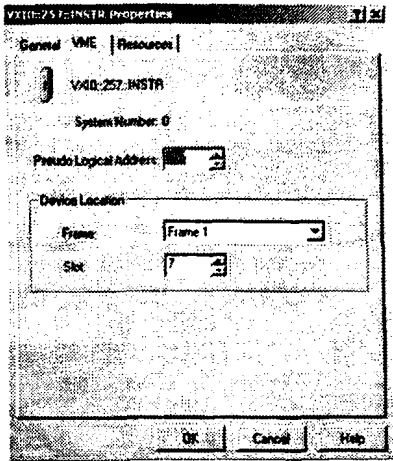
Στα σχήματα ΒΠ.44 έως ΒΠ.46 φαίνονται οι ρυθμίσεις με τις οποίες δηλώνεται η μονάδα ως συσκευή στο δίαυλο VME από τον wizard του σχήματος ΒΠ.43.

Στο παράδειγμα η μονάδα χρησιμοποιεί την περιοχή διευθύνσεων του VME:

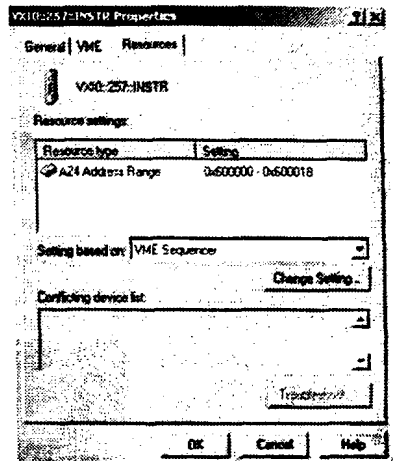
600000 hex έως 600018 hex .



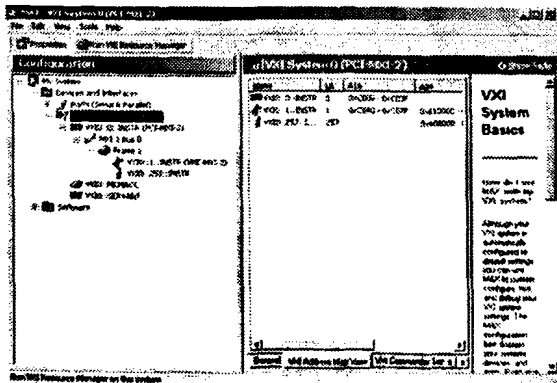
Σχήμα ΒΠ. 44



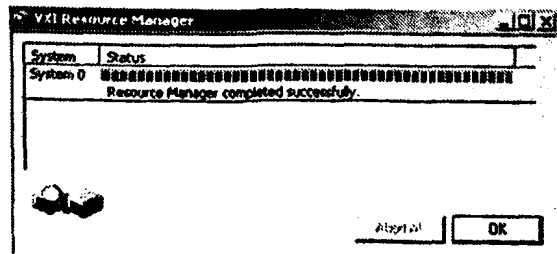
Σχήμα ΒΠ. 45



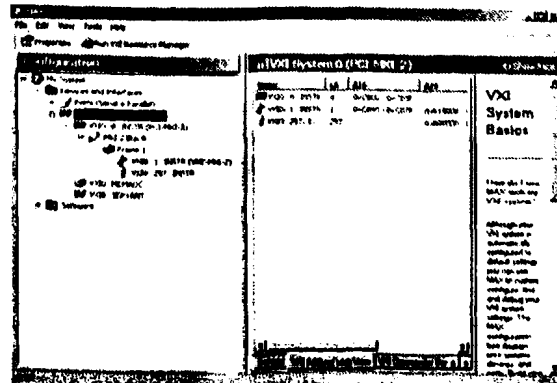
Σχήμα ΒΠ. 46



Σχήμα ΒΠ. 47
Εκτέλεση εντολής:
“Run VXI Resource manager utility” για αναγνώρισης της μονάδας από το δίαυλο



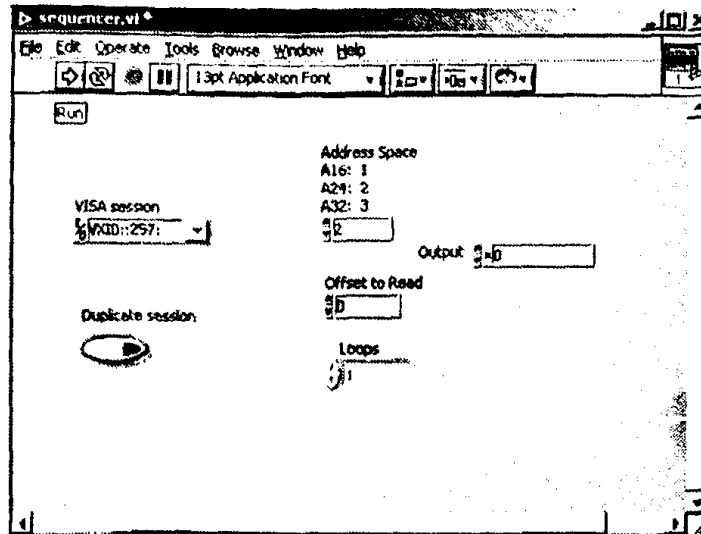
Σχήμα ΒΠ. 48



Σχήμα ΒΠ. 49
Επιτυχές configuration της μονάδας στο δίαυλο VME



Έπειτα από επιτυχές configuration της μονάδας στο δίαυλο VME ως κάρτας slave, το σύστημα είναι έτοιμο για τον έλεγχο της λειτουργίας του. Ο έλεγχος έγινε με τη χρήση προγράμματος γραμμένο σε Labview version 6 της National Instruments. Το αντίστοιχο αρχείο που χρησιμοποιήθηκε είναι το sequencer.vi το γραφικό περιβάλλον του οποίου φαίνεται στο σχήμα ΒΠ.50.



Σχήμα ΒΠ. 50: Γραφικό περιβάλλον διαχείρισης – προγραμματισμού της μονάδας

Σκοπός του προγράμματος είναι η εγγραφή δεδομένων σε συγκεκριμένη διεύθυνση του διαύλου VME. Γίνεται εφικτό με τον τρόπο αυτό ο προγραμματισμός των εσωτερικών καταχωρητών του FPGA της μονάδας.

Τα πεδία του σχήματος ΒΠ.50 εκτελούν τις παρακάτω λειτουργίες:

1. *VISA session*: γίνεται η επιλογή της συσκευής του VME με την οποία πρόκειται να επικοινωνήσει ο μικροελεγκτής του VME (VXIO::257:),
2. *Address Space*: επιλέγεται το εύρος της περιοχής διευθύνσεων που υποστηρίζει η συσκευή (2),
3. *Output*: δηλώνεται στην περίπτωση εγγραφής η τιμή του διαύλου δεδομένων (data bus) σε hex μορφή, δηλαδή τα δεδομένα που πρέπει να γραφούν στην αντίστοιχη διεύθυνση,
4. *Offset to Read*: δηλώνεται μια τιμή (σε hex μορφή) η οποία αν προστεθεί στη βασική διεύθυνση της μονάδας (hex) μας δίνει την διεύθυνση του VME όπου θα γίνει η εγγραφή των δεδομένων του data bus και
5. *Loops*: δηλώνεται η τιμή '1' που σημαίνει ότι η προς εκτέλεση λειτουργία θα πραγματοποιηθεί μία μόνο φορά.

Π.χ. αν θέλουμε να γίνει εγγραφή στον καταχωρητή *duration* (600000_{hex}) της μονάδας με την τιμή $1'_{10} = 1'_{bin} = 1'_{hex}$ θα πρέπει στο πεδίο *Offset to Read* να γραφεί η τιμή 00_{hex} και στο πεδίο *Output* η τιμή 1_{hex} .

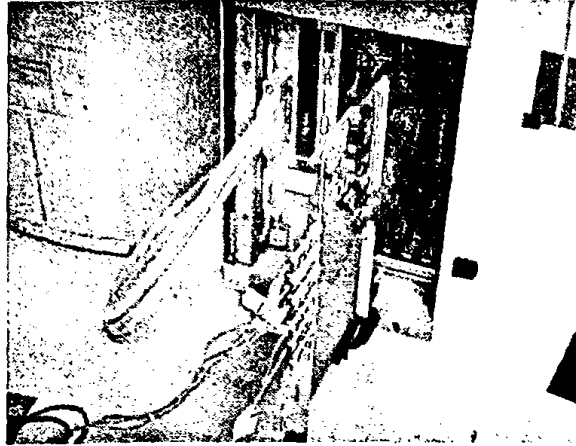
Αντίστοιχα αν θέλουμε η μονάδα να παράγει μόνο πέντε παλμούς στην έξοδο trigger θα πρέπει στον καταχωρητή *Number of Triggers* ($60000C_{hex}$) να γίνει εγγραφή της τιμής $5'_{10} = 101'_{bin} = 5'_{hex}$. Επομένως στο πεδίο *Offset to Read* θα γραφεί η τιμή C_{hex} και στο πεδίο *Output* η τιμή 5_{hex} .

Β.Π7 ΦΩΤΟΓΡΑΦΙΕΣ ΜΟΝΑΔΑΣ ΠΑΡΑΓΩΓΗΣ ΑΚΟΛΟΥΘΙΑΚΩΝ ΣΗΜΑΤΩΝ ΣΚΑΝΔΑΛΙΣΜΟΥ

Η μονάδα παραγωγής παλμών σε συνεργασία με το VME crate

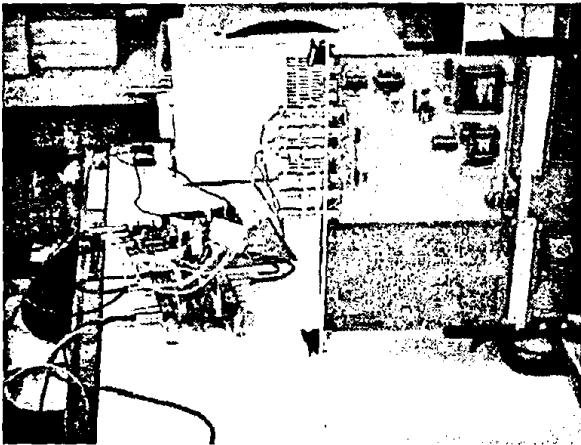


Σχήμα ΒΠ. 51

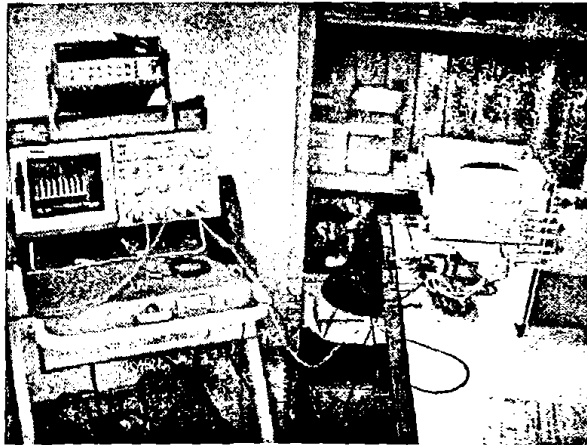


Σχήμα ΒΠ. 52

Εργαστηριακή πειραματική διάταξη ελέγχου μονάδας παραγωγής παλμών

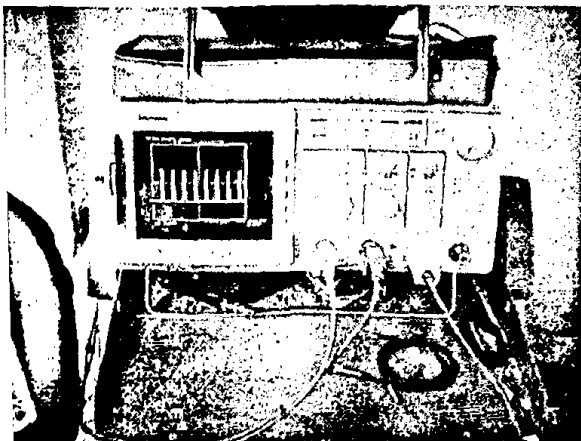


Σχήμα ΒΠ. 53

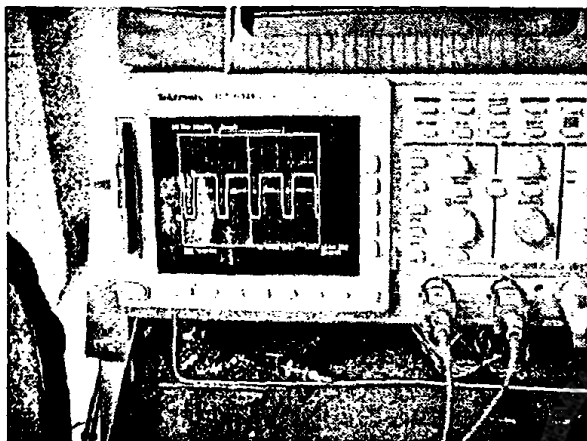


Σχήμα ΒΠ. 54

Αποτελέσματα ελέγχου μονάδας παραγωγής παλμών



Σχήμα ΒΠ. 55



Σχήμα ΒΠ. 56

