

Επέκταση των Τεχνικών Σχεδίασης
Ταυτόχρονου Ελέγχου Ορθής Λειτουργίας
Ολοκληρωμένων Κυκλωμάτων για
Αποδοτική Χρήση των Αλυσίδων Σάρωσης

Ανθούλα Αναστασίου

ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ



Ιωάννινα, Ιούλιος 2013

ΤΜΗΜΑ ΜΗΧΑΝΙΚΩΝ Η/Υ & ΠΛΗΡΟΦΟΡΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

DEPARTMENT OF COMPUTER SCIENCE & ENGINEERING
UNIVERSITY OF IOANNINA



Αρ. εισ.:.....11167/2003

ΒΙΒΛΙΟΘΗΚΗ
ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΙΩΑΝΝΙΝΩΝ



026000336678



ΕΠΕΚΤΑΣΗ ΤΩΝ ΤΕΧΝΙΚΩΝ ΣΧΕΔΙΑΣΗΣ ΤΑΥΤΟΧΡΟΝΟΥ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ
ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ ΓΙΑ ΑΠΟΔΟΤΙΚΗ ΧΡΗΣΗ ΤΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ

Η
ΜΕΤΑΠΤΥΧΙΑΚΗ ΕΡΓΑΣΙΑ ΕΞΕΙΔΙΚΕΥΣΗΣ

Υποβάλλεται στην

ορισθείσα από την Γενική Συνέλευση Ειδικής Σύθεσης
του Τμήματος Μηχανικών Η/Υ & Πληροφορικής
Εξεταστική Επιτροπή

από την

Ανθούλα Αναστασίου

ως μέρος των Υποχρεώσεων

για τη λήψη

του

ΜΕΤΑΠΤΥΧΙΑΚΟΥ ΔΙΠΛΩΜΑΤΟΣ ΣΤΗΝ ΠΛΗΡΟΦΟΡΙΚΗ

ΜΕ ΕΞΕΙΔΙΚΕΥΣΗ ΣΤΙΣ ΤΕΧΝΟΛΟΓΙΕΣ-ΕΦΑΡΜΟΓΕΣ

Ιούλιος, 2013



ΑΦΙΕΡΩΣΗ

Αφιερώνω αυτή την εργασία στους γονείς μου Κώστα και Σοφία, στον αδερφό μου Γιώργο και στο σύντροφό μου Δημήτρη, για την υποστήριξη και τη βοήθειά τους όλα αυτά τα χρόνια.



ΕΥΧΑΡΙΣΤΙΕΣ

Θα ήθελα να ευχαριστήσω θερμά πρώτα από όλους τον επιβλέποντα καθηγητή κ. Γεώργιο Τσιατούχα, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων, για την πολύ καλή συνεργασία που είχαμε καθ' όλη τη διάρκεια εκπόνησης της διατριβής. Θέλω να τονίσω τη βοήθεια που μου προσέφερε σε επίπεδο επιστημονικών γνώσεων και όχι μόνο, την υποστήριξή του και την υπομονή του. Επίσης, ευχαριστώ πολύ τα μέλη της επιτροπής κ. Καβουσιανό Χρυσοβαλάντη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων και τον κ. Ευθυμίου Αριστείδη, Επίκουρο Καθηγητή του Τμήματος Πληροφορικής του Πανεπιστημίου Ιωαννίνων. Ευχαριστώ τον κ. Γιώργο Σφήκα υποψήφιο διδάκτορα για τη συμβολή του στις πειραματικές μετρήσεις και την κα. Κατερίνα Κατσαρού υποψήφια διδάκτορα για τη βοήθεια και τη συμπαράστασή της. Τέλος, ευχαριστώ τους γονείς μου, τον αδερφό μου, τον σύντροφό μου και τους φίλους μου για την αγάπη τους και την αμέριστη υποστήριξή τους.



ΠΕΡΙΕΧΟΜΕΝΑ

	Σελ
ΑΦΙΕΡΩΣΗ	ii
ΕΥΧΑΡΙΣΤΙΕΣ	iii
ΠΕΡΙΕΧΟΜΕΝΑ	iv
ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ	vii
ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ	viii
ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ	x
ΠΕΡΙΛΗΨΗ	xi
EXTENDED ABSTRACT IN ENGLISH	xiv
ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ	1
1.1. Στόχοι	1
1.2. Δομή της Διατριβής	2
ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ	3
2.1. Έλεγχος Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων	3
2.1.1. Η Ανάγκη του Ελέγχου της Ορθής Λειτουργίας	3
2.1.2. Λειτουργία του Ελέγχου Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων	6
2.1.3. Τεχνικές για τον Έλεγχο της Ορθής Λειτουργίας των Ολοκληρωμένων Κυκλωμάτων	7
2.2. Τεχνικές Σειριακής Σάρωσης	8
2.2.1. Τεχνική Σειριακής Σάρωσης	8
2.2.2. Έλεγχος στην Ταχύτητα Λειτουργίας (At - Speed Scan Testing)	11
2.2.3. Η Scan-Set Τεχνική της Σειριακής Σάρωσης	14
2.2.4. Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)	17
2.3. Η Κατανάλωση Ενέργειας κατά τον ΕΟΛ	18
2.4. Αρχιτεκτονικές Σειριακής Σάρωσης Χαμηλής Κατανάλωσης Ισχύος	20
2.4.1. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)	20
2.4.2. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Flip-Flop Συγκράτησης	21
2.4.3. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα	22
2.4.4. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Συμπλήρωση των Αδιάφορων Όρων (X - Filling Techniques)	22
2.4.5. Τεχνική Σχεδίασης Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης (Freeze Scan Partitioning)	24
2.4.6. Η Χαμηλή Κατανάλωσης Illinois Τεχνική Σειριακής Σάρωσης	26
2.4.7. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της	



Τάσης Τροφοδοσίας	27
2.4.8. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της Συχνότητας	28
2.5. Έλεγχος Λειτουργίας κατά την Κανονική Λειτουργία του Κυκλώματος (On-line Testing)	28
ΚΕΦΑΛΑΙΟ 3. ΠΡΟΗΓΜΕΝΕΣ ΤΕΧΝΙΚΕΣ ΣΧΕΔΙΑΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ	30
3.1. Τεχνική Σχεδίασης Razor	30
3.1.1. Χρήση του Κυκλώματος Razor σε DVS Συστήματα	30
3.1.2. Δομή και Λειτουργία του κυκλώματος Razor	31
3.1.3. Σχεδιαστικά Θέματα της Τοπολογίας Razor	34
3.1.4. Εφαρμογή της Σειριακής Σάρωσης στην Τοπολογία Razor	35
3.2. Τεχνική Σχεδίασης με τη Χρήση Παλμικών Μανδαλωτών	36
3.2.1. Τα Κυκλώματα με Παλμικούς Μανδαλωτές στην ASIC Σχεδίαση	36
3.2.2. Παλμοδότηση Μανδαλωτών	37
3.2.3. Χρόνος Συγκράτησης σε Κυκλώματα με Παλμικούς Μανδαλωτές	38
3.2.4. Περιορισμοί Μέγιστης Καθυστέρησης	40
3.2.5. Απενεργοποίηση του Παλμοδότη	41
ΚΕΦΑΛΑΙΟ 4. ΕΠΑΝΑΧΡΗΣΙΜΟΠΟΙΗΣΗ ΤΩΝ ΤΕΧΝΙΚΩΝ RAZOR ΣΤΗ ΣΥΝΘΕΣΗ ΑΠΟΔΟΤΙΚΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ	43
4.1. Πρώτη Προτεινόμενη Τεχνική Σειριακή Σάρωσης με Τροποποίηση του Razor Flip-Flop Σάρωσης	43
4.1.1. Εισαγωγή	43
4.1.2. Περιγραφή Κυττάρου Σάρωσης με την Πρώτη Προτεινόμενη Τεχνική	44
4.1.3. Σειριακή Σάρωση με την Πρώτη Προτεινόμενη Τεχνική	45
4.1.4. Παράδειγμα Εφαρμογής της Πρώτης Προτεινόμενης Τεχνικής στη Σειριακή Σάρωση	50
4.1.5. Λειτουργία της Πρώτης Προτεινόμενης Τεχνικής στην Κανονική Λειτουργία	52
4.2. Δεύτερη Προτεινόμενη Τεχνική Σειριακή Σάρωσης χωρίς Τροποποίηση του Razor Flip-Flop Σάρωσης	52
4.2.1. Εισαγωγή	52
4.2.2. Περιγραφή Κυττάρου Σάρωσης με τη Δεύτερη Προτεινόμενη Τεχνική	53
4.2.3. Σειριακή Σάρωση με τη Δεύτερη Προτεινόμενη Τεχνική	54
4.2.4. Παράδειγμα Εφαρμογής της Δεύτερης Προτεινόμενης Τεχνικής στη Σειριακή Σάρωση	57
4.2.5. Έλεγχος στην Ταχύτητα Λειτουργίας με τη Δεύτερη Προτεινόμενη Τεχνική	59
4.2.6. Λειτουργία της Δεύτερης Προτεινόμενης Τεχνικής στην Κανονική Λειτουργία	62
4.2.7. Παρατηρήσεις	62
4.3. Πειραματικά Αποτελέσματα	64
4.3.1. Αποτελέσματα Προσομοίωσης Πρώτης Προτεινόμενης Τεχνικής	65
4.3.2. Αποτελέσματα Προσομοίωσης Δεύτερης Προτεινόμενης Τεχνικής	68
4.4. Πειραματικές Μετρήσεις	70
4.4.1. Μείωση του Αριθμού των Μεταβάσεων Σήματος με την Εφαρμογή της Πρώτης Προτεινόμενης Τεχνικής	71
4.4.2. Μείωση του Αριθμού των Μεταβάσεων Σήματος με την Εφαρμογή της Δεύτερης Προτεινόμενης Τεχνικής	72
ΚΕΦΑΛΑΙΟ 5. ΣΥΜΠΕΡΑΣΜΑΤΑ	76



ΕΥΧΕΤΗΡΙΟ ΠΡΟΛΟΓΟΣ

Ευχαριστώ τον Θεό για την ευκαιρία που μου δίνει να
αναφερθώ στην εργασία που έγραψα για την ιστορία της
Εκκλησίας στην Ελλάδα. Ευχαριστώ τους φίλους μου
για την υποστήριξη και την ενθάρρυνση που μου έδωσαν.
Ευχαριστώ τον Θεό για την ευκαιρία που μου δίνει να
αναφερθώ στην εργασία που έγραψα για την ιστορία της
Εκκλησίας στην Ελλάδα.



ΕΥΡΕΤΗΡΙΟ ΠΙΝΑΚΩΝ

Πίνακας	Σελ
Πίνακας 4.1 Αριθμός Μεταβάσεων για την Τυπική Αλυσίδα και την Αλυσίδα με τη Χρήση της Πρώτης Προτεινόμενης Τεχνικής	72
Πίνακας 4.2 Αριθμός Μεταβάσεων για την Τυπική Αλυσίδα και την Αλυσίδα με τη Χρήση της Πρώτης Προτεινόμενης Τεχνικής	74



ΕΥΡΕΤΗΡΙΟ ΣΧΗΜΑΤΩΝ

Σχήμα	Σελ
Σχήμα 2.1 Καμπύλες Αστοχιών ενός Κυκλώματος σε Διάφορα Στάδια της Ζωής του	5
Σχήμα 2.2 Κατασκευαστικό Κόστος έναντι Κόστους Ελέγχου ανά Τρανζίστορ	7
Σχήμα 2.3 Κύτταρο Σάρωσης (Scan Flip-Flop)	9
Σχήμα 2.4 Αλυσίδα Σειριακής Σάρωσης	10
Σχήμα 2.5 Παράδειγμα Εφαρμογής Ελέγχου με την Τεχνική της Σειριακής Σάρωσης	11
Σχήμα 2.6 Χρήση Ζεύγους Διανυσμάτων για την Ανίχνευση Σφαλμάτων Καθυστέρησης σε Διαδρομές Σήματος του Κυκλώματος	13
Σχήμα 2.7 (α) Εφαρμογή Διανύσματος Ελέγχου κατά τη Φάση της Ολισθησης (Launch-On-Shift ή Skewed-Load) (β) Εφαρμογή Διανύσματος Ελέγχου κατά τη Φάση της Σύλληψης (Lunch-On-Capture ή Double-Capture)	14
Σχήμα 2.8 Ολισθηση του Διανύσματος Ελέγχου εντός του Ολισθητή Καταχωρητή και των Αποκρίσεων του Προηγούμενου Διανύσματος Ελέγχου εκτός του Ολισθητή Καταχωρητή	15
Σχήμα 2.9 Εφαρμογή του Διανύσματος Ελέγχου στη Λογική	16
Σχήμα 2.10 Σύλληψη των Αποκρίσεων στα Flip-Flop του Κυκλώματος και του Ολισθητή Καταχωρητή	17
Σχήμα 2.11 Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)	18
Σχήμα 2.12 (α) Τεχνική Χαμηλής Κατανάλωσης με Απομόνωση Δεδομένων με Χρήση της Πύλης AND. (β) με Χρήση της Πύλης NOR	21
Σχήμα 2.13 Τεχνική Χαμηλής Κατανάλωσης με τη Χρήση Flip-Flop Συγκράτησης	22
Σχήμα 2.14 Τμηματοποιημένη Αλυσίδα Σάρωσης σε p Τμήματα	24
Σχήμα 2.15 Κύτταρο Σάρωσης με Πρόσθετη τη Δυνατότητα Αναστολής (Scan Freeze Flip-Flop/Cell)	25
Σχήμα 2.16 Η τεχνική LPILS	26
Σχήμα 3.1 Κύκλωμα Razor	32
Σχήμα 3.2 Κυματομορφές Χρονισμού Κυκλώματος Razor	34
Σχήμα 3.3 Τοπολογία Razor για τη Σειριακή Σάρωση (Scan Razor Flip-Flop)	36
Σχήμα 3.4 (α) Παράδειγμα Παλμοδότη. (β) Παλμικό Flip-Flop	38
Σχήμα 3.5 Σχέση μεταξύ Αριθμού Παραβιάσεων Χρόνου Συγκράτησης και Έξτρα Buffers για Διαφορετικά Πλάτη Παλμών για το Κύκλωμα s1423 ISCAS-89 (α) και το Κύκλωμα usbc orep-core (β)	40
Σχήμα 3.6 Κατανάλωση Ισχύος σε Κυκλώματα με τη Χρήση των Αρχαίων	



Παλμικών Μανδαλωτών (Αριστεροί Ράβδοι) και σε Κυκλώματα με Απενεργοποίηση Παλμοδότη (Δεξιοί Ράβδοι). Η Έντονη Γραμμή με τις Κουκίδες Αναπαριστά τη Μέση Πιθανότητα Απενεργοποίησης.	42
Σχήμα 4.1 Τροποποιημένο Razor Κύτταρο Σάρωσης (Modified Scan Razor Flip-Flop)	44
Σχήμα 4.2 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Τροποποιημένο Razor Flip-Flop Σάρωσης, (β) Ολίσθηση των Άρτιων Τιμών του Διανύσματος Ελέγχου και των Αντίστοιχων Αποκρίσεων, (γ) Δέσμευση των Άρτιων Τιμών του Διανύσματος Ελέγχου στα Flip-Flop των Άρτιων Κυττάρων Σάρωσης και Εφαρμογή τους στη Λογική, (δ) Ολίσθηση των Περιττών Τιμών του Διανύσματος Ελέγχου και των Αντίστοιχων Αποκρίσεων, (ε) Δέσμευση των Περιττών Τιμών του Διανύσματος Ελέγχου στα Flip-Flop των Περιττών Κυττάρων Σάρωσης και Εφαρμογή τους στη Λογική, (στ) Δέσμευση των Αποκρίσεων στα Flip-Flop των Περιττών Κυττάρων Σάρωσης και στα Flip-Flop και Μανδαλωτές των Άρτιων Κυττάρων Σάρωσης	48
Σχήμα 4.3 Διάγραμμα Χρονισμών	50
Σχήμα 4.4 Κύτταρο Σάρωσης με την Τεχνολογία Razor (Scan Razor flip-flop)	53
Σχήμα 4.5 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Razor Flip-Flop Σάρωσης, (β) Ταυτόχρονη Ολίσθηση εντός και εκτός της Αλυσίδας Σάρωσης, του Διανύσματος Ελέγχου και των Αποκρίσεων του Προηγούμενου Διανύσματος, αντίστοιχα, στα n Κύτταρα Σάρωσης, για n-1 Κύκλους Ρολογιού, (γ) Σύλληψη του Διανύσματος Ελέγχου στα Flip-Flop και Εφαρμογή του στη Συνδυαστική Λογική, κατά τον n-οστό Κύκλο Ρολογιού, (δ) Σύλληψη των Αποκρίσεων της Λογικής στους Σκιάδεις Μανδαλωτές κατά τη Φάση της Σύλληψης	55
Σχήμα 4.6 Διάγραμμα Χρονισμών	58
Σχήμα 4.7 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Razor Flip-Flop Σάρωσης, (β) Ολίσθηση Διανύσματος Αρχικοποίησης ή Ελέγχου και Ταυτόχρονη Εξαγωγή των Αποκρίσεων, (γ) Σύλληψη και Εφαρμογή του Διανύσματος Αρχικοποίησης ή Ελέγχου, (δ) Σύλληψη του Διανύσματος Ελέγχου στα Flip-Flop και στους Μανδαλωτές	60
Σχήμα 4.8 Δεύτερος Τρόπος Σύλληψης των Αποκρίσεων του Διανύσματος Ελέγχου κατά τον Έλεγχο στην Ταχύτητα Λειτουργίας	62
Σχήμα 4.9 ΕΟΛ με Αλυσίδες Σάρωσης με SSFF και Αλυσίδες Σάρωσης με SRFF	63
Σχήμα 4.10 Συνδυασμός SSFF και SRFF στην Ίδια Αλυσίδα Σάρωσης	63
Σχήμα 4.11 Διάγραμμα Χρονισμού	64
Σχήμα 4.12 Τροποποιημένο Razor Flip-Flop Σάρωσης	65
Σχήμα 4.13 Αλυσίδα Σάρωσης Τεσσάρων Τροποποιημένων Razor Flip-Flop Σάρωσης	66
Σχήμα 4.14 Κυματομορφές Πρώτης Προτεινόμενης Τεχνικής	67
Σχήμα 4.15 Razor Flip-Flop Σάρωσης	68
Σχήμα 4.16 Αλυσίδα Σάρωσης Τεσσάρων Razor Flip-Flop Σάρωσης	68
Σχήμα 4.17 Κυματομορφές Δεύτερης Προτεινόμενης Τεχνικής	69



ΕΠΕΞΗΓΗΣΕΙΣ ΣΥΜΒΟΛΙΣΜΩΝ

VLSI: πολύ μεγάλης κλίμακας ολοκλήρωση – Very Large Scale Integration

CMOS: Complementary Metal Oxide Semiconductor

CUT: κύκλωμα υπό έλεγχο – Circuit Under Test

DL: ποσοστό ελαττωματικών κυκλωμάτων – Defect Level

FC: κάλυψη σφαλμάτων – Fault Coverage

DFT: σχεδιασμός για έλεγχο – Design for Testability

BIST: ενσωματωμένος αυτοέλεγχος – Built In Self Test

LFSR: Καταχωρητής Ολίσθησης Γραμμικής Ανάδρασης – Linear Feedback Shift Register

LSSD: Σχεδίαση Σάρωσης Καθοδηγούμενη από Στάθμη Σήματος - Level Sensitive Scan Design

ATPG: Αυτόματη Γέννηση Διανυσμάτων Ελέγχου – Automatic Test Pattern Generation

TDDM: αποπλέκτης χρονικού διαμοιρασμού - Time Division Demultiplexer

TDM: πολυπλέκτης χρονικού διαμοιρασμού - Time Division Multiplexer

SRFF: Razor Flip-Flop Σάρωσης - Scan Razor Flip-Flop

SSFF: Κλασικό Flip-Flop Σάρωσης - Standard Scan Flip-Flop



ΠΕΡΙΛΗΨΗ

Ανθούλα Αναστασίου του Κωνσταντίνου και της Σοφίας.
MSc, Τμήμα Πληροφορικής, Πανεπιστήμιο Ιωαννίνων,
Ιούλιος, 2013.

Επέκταση των τεχνικών σχεδίασης ταυτόχρονου ελέγχου ορθής λειτουργίας ολοκληρωμένων κυκλωμάτων για αποδοτική χρήση των αλυσίδων σάρωσης
Επιβλέπωντας: Γεώργιος Τσιατούχας

Η κατανάλωση ισχύος κατά τον έλεγχο ορθής λειτουργίας (ΕΟΛ) των ολοκληρωμένων κυκλωμάτων αποτελεί ένα σημαντικό πρόβλημα στις σύγχρονες νανομετρικές τεχνολογίες. Η καταναλισκόμενη ισχύς μπορεί να είναι πολλαπλάσια εκείνης κατά την κανονική λειτουργία του κυκλώματος με αποτέλεσμα να απειλείται σοβαρά η αξιόπιστη λειτουργία των ελεγχόμενων κυκλωμάτων στο πεδίο της εφαρμογής καθώς και η κατασκευαστική απόδοση (yield). Απαιτείται συνεπώς η ανάπτυξη τεχνικών ΕΟΛ με χαμηλή κατανάλωση ισχύος, οι οποίες παράλληλα δεν θα αυξάνουν το κόστος εφαρμογής τους πάνω από τα αποδεκτά επίπεδα, δεν θα επηρεάζουν σημαντικά τις επιδόσεις και θα εξασφαλίζουν την υψηλή κάλυψη σφαλμάτων.

Στην παρούσα εργασία προτείνονται δύο τεχνικές σειριακής σάρωσης χαμηλής κατανάλωσης ισχύος για τον ΕΟΛ ολοκληρωμένων κυκλωμάτων. Οι προτεινόμενες τεχνικές επαναχρησιμοποιούν την πολύ γνωστή τεχνική σχεδίασης Razor που έχει προταθεί για τον εν-λειτουργία ΕΟΛ των κυκλωμάτων. Εκμεταλλεύονται τους πρόσθετους σκιδώδεις μανδαλωτές της δομής Razor για τη σύνθεση των αλυσίδων σάρωσης και την ολίσθηση των δεδομένων ελέγχου. Ως αποτέλεσμα, κατά την ολίσθηση των δεδομένων ελέγχου οι τιμές στις εισόδους της συνδυαστικής λογικής παραμένουν σταθερές εκμηδενίζοντας την κατανάλωση ισχύος σε αυτήν.



Στην πρώτη προτεινόμενη τεχνική το Razor flip-flop τροποποιείται με την προσθήκη ενός πολυπλέκτη, για τη διευκόλυνση της σύλληψης των αποκρίσεων στην αλυσίδα σάρωσης. Τα κύτταρα σάρωσης (σκιώδεις μανδαλωτές) χωρίζονται σε άρτια και περιττά και ο χρονισμός τους πραγματοποιείται με ξεχωριστά συμπληρωματικά ρολόγια. Αρχικά, ολισθαίνουν εντός της αλυσίδας σάρωσης οι άρτιες τιμές του διανύσματος ελέγχου και ολισθαίνουν εκτός της αλυσίδας οι άρτιες τιμές του διανύσματος απόκρισης. Ακολουθεί η ολίσθηση των περιττών τιμών του διανύσματος ελέγχου και του διανύσματος απόκρισης. Στον επόμενο κύκλο ρολογιού, συλλαμβάνονται οι αποκρίσεις της λογικής στα άρτια και περιττά flip-flop και στους αντίστοιχους σκιώδεις μανδαλωτές της δομής Razor.

Στη δεύτερη προτεινόμενη τεχνική δεν απαιτείται καμία τροποποίηση της δομής Razor. Οι σκιώδεις μανδαλωτές χρησιμοποιούνται ως παλμικοί μανδαλωτές (pulsed latches) και χρονίζονται με σύντομους παλμούς. Για $n-1$ κύκλους ρολογιού (όπου n ο αριθμός των στοιχείων μνήμης της αλυσίδας) το διάνυσμα ελέγχου ολισθαίνει στους σκιώδεις μανδαλωτές και ταυτόχρονα εξέρχεται από την αλυσίδα το διάνυσμα απόκρισης. Στον n -οστό κύκλο τα flip-flop της δομής Razor ενημερώνονται με το νέο διάνυσμα ελέγχου. Ακολουθεί ο κύκλος της σύλληψης των αποκρίσεων στους σκιώδεις μανδαλωτές (όχι στα flip-flop όπως στην κλασική τεχνική) και η διαδικασία επαναλαμβάνεται. Η δεύτερη τεχνική προσφέρει πλεονεκτήματα κατά την εφαρμογή της σειριακής σάρωσης για τον ΕΟΛ στην ταχύτητα λειτουργίας (at-speed scan testing) καθώς το διάνυσμα αρχικοποίησης αποθηκεύεται στα flip-flop της δομής κατά τη διάρκεια που το επακόλουθο διάνυσμα ελέγχου ολισθαίνει στην αλυσίδα σάρωσης. Συνεπώς, μπορεί εύκολα να πραγματοποιηθεί αιτιοκρατικός ΕΟΛ στην ταχύτητα λειτουργίας.

Η μείωση της καταναλισκόμενης ισχύος που πετυχαίνουν και οι δύο τεχνικές κατά τον σειριακό ΕΟΛ είναι της τάξης του 99% σε σχέση με την κλασική αλυσίδα σάρωσης, χωρίς να επιφέρουν είτε αύξηση του χρόνου ελέγχου, είτε μείωση των επιδόσεων, είτε μείωση της κάλυψης σφαλμάτων. Να επισημανθεί ότι η πρώτη τεχνική πετυχαίνει μείωση κατά μισό κύκλο ρολογιού του χρόνου εφαρμογής κάθε διανύσματος ελέγχου. Τέλος η πρώτη τεχνική έχει ως κόστος υλοποίησης την παρουσία ενός πρόσθετου πολυπλέκτη ανά Razor flip-flop στην αλυσίδα καθώς και



τη δρομολόγηση των ξεχωριστών σημάτων ρολογιού που απαιτεί στα άρθρα και περιττά στοιχεία μνήμης, ενώ η δεύτερη τεχνική έχει σχεδόν μηδενικό κόστος υλοποίησης.



EXTENDED ABSTRACT IN ENGLISH

Anastasiou, Anthi.

MSc Computer Science Department, University of Ioannina, Greece.

July, 2013.

Extending concurrent testing design techniques for efficient use of the scan chains

Thesis Supervisor: Yiorgos Tsiatouhas.

In nanometric technology integrated circuits, testing power consumption is a major concern since it can be multiple times higher than that in the normal mode of operation. As a result circuit's reliability and manufacturing yield are threatened. Consequently, it is mandatory to develop low power testing techniques that maintain manufacturing cost at low levels without affecting circuit performance and fault coverage.

This thesis proposes two design techniques for low-power scan testing that reuse the well-known Razor topology, which has been developed to support concurrent on-line testing requirements. Both designs take advantage of the Razor's shadow-latches to construct the scan chains. During the shift mode of operation the power consumption is reduced to zero because there are no transitions at the inputs of the combinational logic.

In the first design technique the Razor Flip-Flop is modified and a multiplexer is added to facilitate the response capture. The scan cells (shadow-latches) are classified as even and odd and each class is fed with complementary clocks. At first, the even bits of the test vector are shifted in the scan chain while the even bits of the response vector are shifted out of the scan chain. Then the odd bits of test vector and response vectors are shifted in and out of the scan chain, respectively. In the capture mode both



even and odd shadow-latches and flip-flops of the Razor topology capture the responses of the combinational logic.

In the second design, the Scan Razor Flip-Flop is not modified at all. Simply the shadow-latches are used as pulsed latches and are fed with a pulse-clock. During the shift phase the test vector and the response vector are shifted in and out of scan chain, respectively, through the shadow-latches for $n-1$ clock cycles (where n is the number of memory elements in the scan chain). At n^{th} clock cycle, the Razor flip-flops are updated with the new test vector. Next follows the capture cycle where the responses are captured at the shadow-latches and not at the flip-flops as in a typical scan chain. Then the procedure is repeated. The second proposed technique has the advantage to support deterministic at-speed scan testing since the initialization vector is stored at Razor's flip-flops while the subsequent test vector is shifted in the scan chain.

Both designs reduce the scan power dissipation about 99% with respect to the typical scan testing design, without increasing the test time or decreasing the fault coverage. It is worth to mention that the first proposed technique reduces test application time by a half clock cycle for each test vector used. Finally the cost for the implementation of the first proposed technique is one additional multiplexer per Razor Flip-Flop plus the routing cost of the extra clock signals that are required for the even and odd memory elements. The implementation cost for the second proposed technique though is negligible.



ΚΕΦΑΛΑΙΟ 1. ΕΙΣΑΓΩΓΗ

Στόχοι

Δομή της Διατριβής

1.1. Στόχοι

Τα τελευταία χρόνια στο επίκεντρο του επιστημονικού ενδιαφέροντος είναι ο έλεγχος της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων (ΕΟΛ). Αυτό συμβαίνει γιατί η διαδικασία ΕΟΛ έχει καταστεί εξαιρετικά δύσκολη εξαιτίας των πολύπλοκων και υπεράριθμων κυκλωμάτων που υπάρχουν σε ένα σχεδιασμό, αλλά και των νανομετρικών διαστάσεων των κυκλωματικών στοιχείων που αυξάνουν την πιθανότητα εμφάνισης κατασκευαστικών ατελειών. Η αξιοπιστία του τελικού προϊόντος ωστόσο πρέπει να παραμείνει υψηλή και μάλιστα με το μικρότερο δυνατό κόστος. Αυτοί οι παράγοντες μαζί με τη μείωση της καταναλισκόμενης ισχύος συνθέτουν τους στόχους που πρέπει να είναι ικανή να αντιμετωπίσει μια τεχνική για τον αποδοτικό ΕΟΛ.

Στην εργασία προτείνεται η επέκταση των τεχνικών σχεδίασης κυκλωμάτων που χρησιμοποιούνται για τον ταυτόχρονο έλεγχο των ολοκληρωμένων κυκλωμάτων για την αποδοτική χρήση των αλυσίδων σάρωσης. Η τεχνική εκμεταλλεύεται τη δομή της πολύ γνωστής τεχνικής Razor και την τροποποιεί κατάλληλα ώστε να εξυπηρετήσει τις ανάγκες της σειριακής σάρωσης κατά τον ΕΟΛ. Παρουσιάζονται δύο τρόποι υλοποίησης. εκ των οποίων ο πρώτος απαιτεί την τροποποίηση του κυκλώματος Razor για να διαχειριστεί τη φάση της διαφάνειας των μανδαλωτών, ενώ ο δεύτερος αξιοποιεί την τεχνική σχεδίασης με παλμικούς μανδαλωτές ώστε να ελαχιστοποιήσει τις παρεμβάσεις στο κύκλωμα.



Κύριος στόχος της παρούσας εργασίας είναι η μείωση της καταναλισκόμενης ενέργειας κατά το σειριακό ΕΟΛ, περιορίζοντας τις μεταβάσεις σήματος στις εισόδους της συνδυαστικής λογικής. Επιπλέον, εκτός της χαμηλής κατανάλωσης κατά τον ΕΟΛ, η δεύτερη προτεινόμενη τεχνική προσφέρει πλεονεκτήματα κατά τον ΕΟΛ του κυκλώματος στην ταχύτητα λειτουργίας.

1.2. Δομή της Διατριβής

Η διατριβή περιέχει 5 κεφάλαια:

Το Κεφάλαιο 1 είναι εισαγωγικό και περιγράφει τους στόχους της εργασίας και τη δομή της.

Στο Κεφάλαιο 2 πραγματοποιείται μία βιβλιογραφική επισκόπηση για τον έλεγχο της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων γενικότερα και των τεχνικών σειριακής σάρωσης χαμηλής κατανάλωσης ισχύος ειδικότερα.

Στο Κεφάλαιο 3 παρουσιάζεται η δομή, η λειτουργία και τα χαρακτηριστικά υλοποίησης δύο γνωστών τεχνικών σχεδίασης ολοκληρωμένων κυκλωμάτων, της σχεδίασης Razor και της σχεδίασης κυκλωμάτων με χρήση παλμικών μανδαλωτών.

Στο Κεφάλαιο 4 παρουσιάζεται η δομή, η λειτουργία και τα χαρακτηριστικά υλοποίησης των δύο προτεινόμενων τεχνικών σάρωσης που ως στόχο έχουν την χαμηλή κατανάλωση ισχύος κατά τη σειριακή σάρωση. Επίσης, παρουσιάζονται τα αποτελέσματα των προσομοιώσεων για τις δύο τεχνικές καθώς και οι πειραματικές μετρήσεις που πραγματοποιήθηκαν με την εφαρμογή της προτεινόμενης τεχνικής σε γνωστά κυκλώματα αναφοράς.

Στο Κεφάλαιο 5 παρουσιάζονται τα συμπεράσματα της εργασίας.



ΚΕΦΑΛΑΙΟ 2. ΤΕΧΝΙΚΕΣ ΕΛΕΓΧΟΥ ΟΡΘΗΣ ΛΕΙΤΟΥΡΓΙΑΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

2.1. Έλεγχος Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων

2.1.1. Η Ανάγκη του Ελέγχου της Ορθής Λειτουργίας

Ο έλεγχος της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων (ΕΟΛ) διαβεβαιώνει ότι η λειτουργία κάθε κατασκευασμένου κυκλώματος αντιστοιχεί στην επιθυμητή λειτουργία της υλοποίησης [1]. Η παραγωγή αξιόπιστων υψηλής κλίμακας ολοκλήρωσης (VLSI) κυκλωμάτων εξαρτάται κατά πολύ από τον ΕΟΛ, ο οποίος συμπεριλαμβάνει όλες τις ενέργειες που πραγματοποιούνται στο κύκλωμα για την ανίχνευση πιθανών ελαττωμάτων, βλαβών ή ατελειών που παρουσιάζονται κατά τη διαδικασία της κατασκευής τους. Οι αιτίες που οδηγούν σε κατασκευαστικά ελαττώματα είναι συνήθως υπολείμματα (particles) που εναποτίθενται στο κύκλωμα, η τυχαία διακύμανση των κατασκευαστικών παραμέτρων και η διακύμανση παρασιτικών φαινομένων. Η μοντελοποίηση της επίδρασης των κατασκευαστικών ελαττωμάτων γίνεται με τη χρήση των μοντέλων *σφαλμάτων*. Διακρίνουμε διάφορα είδη σφαλμάτων, όπως στατικά σφάλματα (γραμμή με μόνιμη τιμή στο λογικό 0 ή 1) ή χρονικά σφάλματα (καθυστέρηση διάδοσης σήματος) κ.α. Οι λανθασμένες λογικές αποκρίσεις των ολοκληρωμένων κυκλωμάτων υπό την παρουσία σφαλμάτων, ονομάζονται *λάθη*. Ο ΕΟΛ εγγυάται σε μεγάλο βαθμό την απόδοση στην αγορά ενός κυκλώματος που είναι απαλλαγμένο από σφάλματα.

Επιπλέον, οι απαιτήσεις της σύγχρονης τεχνολογίας επιβάλουν την κατασκευή όλο και μικρότερων κυκλωματικών στοιχείων (τρανζίστορ), ώστε να καταλαμβάνουν συνεχώς λιγότερο χώρο στην επιφάνεια ενός ολοκληρωμένου κυκλώματος. Σύμφωνα



με τον πολύ γνωστό νόμο του Moore που διατύπωσε το 1965 ο Gordon Moore, ο αριθμός των τρανζίστορ που μπορούν να τοποθετηθούν σε ένα ολοκληρωμένο κύκλωμα διπλασιάζεται ανά δύο έτη [2]. Όντως στη σημερινή εποχή υπάρχουν σχεδιασμοί κυκλωμάτων που περιλαμβάνουν πάνω από δύο δις τρανζίστορ και μάλιστα σε γεωμετρίες κυκλωμάτων των 22nm. Για την επίτευξη τέτοιων σχεδιασμών είναι απαραίτητη η μείωση των αποστάσεων μεταξύ των γραμμών διασύνδεσης ενός κυκλώματος γεγονός που συμβάλλει στην αύξηση της πολυπλοκότητας κατασκευής του και συνεπώς της πιθανότητας να είναι ελαττωματικό. Επομένως, είναι πολύ σημαντική η εξασφάλιση ενός αξιόπιστου τελικού προϊόντος που όσο πιο γρήγορα μπει στην αγορά, τόσο μεγαλύτερο κέρδος θα αποφέρει.

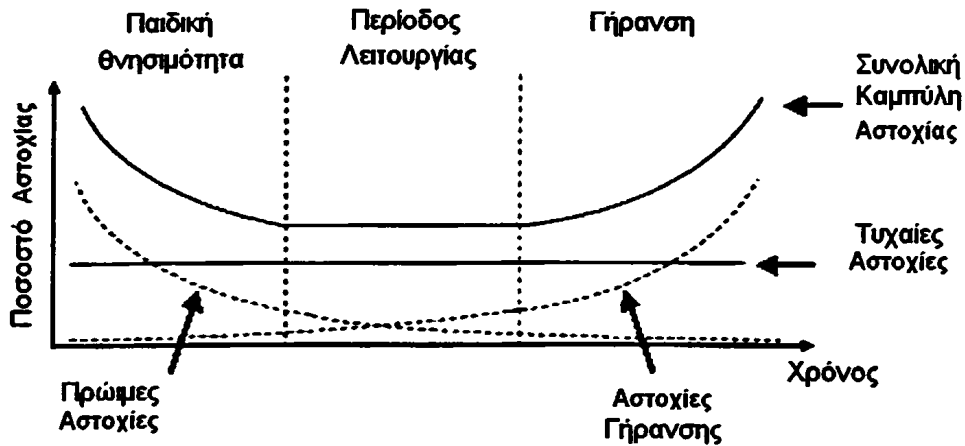
Γενικά, είναι αναπόφευκτο να μην υπάρχουν ελαττωματικά ολοκληρωμένα κυκλώματα. Ο λόγος του αριθμού των μη ελαττωματικών ολοκληρωμένων κυκλωμάτων προς τον αριθμό των συνολικών κατασκευασμένων κυκλωμάτων (OK) ονομάζεται την κατασκευαστική απόδοση (yield - Y) [3].

$$Y = \frac{\# \text{ μη ελαττωματικών OK}}{\# \text{ συνολικών OK}}$$

Η απόδοση βέβαια, εξαρτάται από παράγοντες, όπως η τεχνολογία, η επιφάνεια του ολοκληρωμένου και ο φυσικός του σχεδιασμός (layout).

Η κατασκευαστική απόδοση σχετίζεται με το ποσοστό αστοχίας (failure). Στο σχήμα 2.1 [3] φαίνεται η καμπύλη αστοχίας ενός κυκλώματος. Οι αστοχίες ενός κυκλώματος μπορεί να συμβούν κατά τα πρώτα στάδια παραγωγής του και σηματοδοτούν την περίοδο παιδικής θνησιμότητας. Οι αστοχίες σε αυτή την περίοδο έχουν τάση μείωσης σε σχέση με το χρόνο. Κατά την περίοδο της λειτουργίας του κυκλώματος, οι αστοχίες οφείλονται σε τυχαία ως επί το πλείστον γεγονότα, και παρουσιάζουν σταθερό ποσοστό. Κατά την περίοδο της γήρανσης οι αστοχίες αυξάνονται λόγω της παλαίωσης των κυκλωμάτων και της φυσιολογικής φθοράς τους.





Σχήμα 2.1 Καμπύλες Αστοχιών ενός Κυκλώματος σε Διάφορα Στάδια της Ζωής του

Επιπλέον, κατά τη διαδικασία του ελέγχου των ολοκληρωμένων κυκλωμάτων ελλοχεύουν διάφοροι κίνδυνοι. Ένας τέτοιος κίνδυνος είναι ένα σωστό ολοκληρωμένο κύκλωμα να μην καταφέρει να περάσει τον έλεγχο και να θεωρηθεί λανθασμένα ως ελαττωματικό. Επίσης, υπάρχει και η αντίθετη περίπτωση, δηλαδή κάποια ελαττωματικά κυκλώματα να περάσουν τον έλεγχο αποδοχής και ως εκ τούτου να χρησιμοποιηθούν στο τελικό κατασκευασμένο ηλεκτρονικό σύστημα. Ο επονομαζόμενος λόγος απόρριψης, δίνει ακριβώς αυτή τη σχέση [3]:

Λόγος απόρριψης = αριθμός ελαττωματικών ΟΚ που πέρασαν τον έλεγχο / συνολικός αριθμός ΟΚ που πέρασαν τον έλεγχο

Επιπλέον, την πιο σημαντική ένδειξη της συνολικής ποιότητας της διαδικασίας ελέγχου [4][5][6] την προσφέρει το επίπεδο ελαττωμάτων [7], το οποίο ορίζεται ως εξής: $DL = 1 - Y^{(1-FC)}$,

όπου FC είναι η κάλυψη σφαλμάτων (fault coverage), που ορίζεται ως ο λόγος του αριθμού σφαλμάτων που ανιχνεύονται προς το συνολικό αριθμό πιθανών σφαλμάτων του υπό μελέτη μοντέλου σφαλμάτων.

$FC = \# \text{ σφαλμάτων που ανιχνεύθηκαν} / \text{ συνολικός } \# \text{ πιθανών σφαλμάτων}$



2.1.2. Λειτουργία του Ελέγχου Ορθής Λειτουργίας Ολοκληρωμένων Κυκλωμάτων

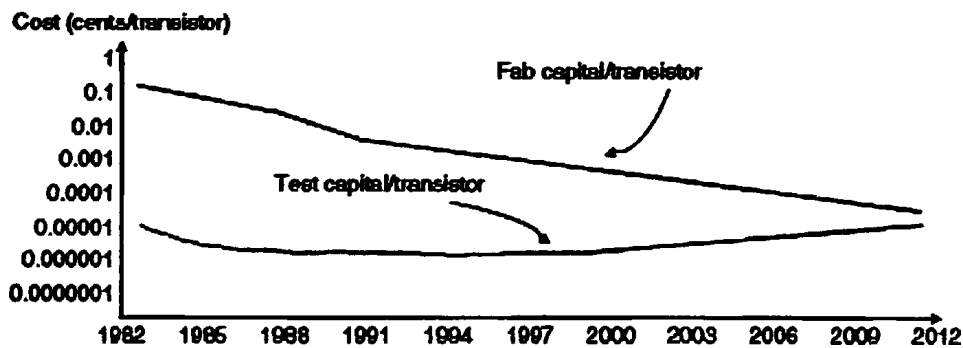
Η διαδικασία για τον ΕΟΛ σε γενικές γραμμές έχει ως ακολούθως. Στο υπό έλεγχο κύκλωμα (Circuit Under Testing - CUT), εφαρμόζεται ένα σύνολο από τιμές στις κύριες εισόδους του και οι αποκρίσεις του κυκλώματος σε αυτές εμφανίζονται στις κύριες εξόδους του, όπου και παρατηρούνται από το εξωτερικό περιβάλλον. Σε κάθε χρονική στιγμή οι τιμές των εισόδων κατά τον ΕΟΛ του κυκλώματος ομαδοποιούνται στο επονομαζόμενο διάνυσμα ελέγχου (test vector/ test pattern). Τα διανύσματα ελέγχου αποτελούνται από ν-άδες δυαδικών ψηφίων κατάλληλα επιλεγμένων, ώστε να ενεργοποιήσουν ένα ή περισσότερα σφάλματα μέσα στο κύκλωμα και να διαδώσουν στις εξόδους του CUT τις πιθανές λανθασμένες αποκρίσεις. Η εφαρμογή των διανυσμάτων ελέγχου μπορεί να γίνει είτε από το εξωτερικό περιβάλλον (off chip testing) είτε με τη χρήση ενσωματωμένων τεχνικών στο ολοκληρωμένο (on chip testing). Οι αποκρίσεις, στη συνέχεια, παρατηρούνται στις εξόδους του CUT και συγκρίνονται με τις αναμενόμενες τιμές που έχουν προκύψει από την προσομοίωση και είναι γνωστές στον σχεδιαστή που πραγματοποιεί τον έλεγχο του κυκλώματος. Η προσομοίωση έχει προηγηθεί του ελέγχου και προ-υπολογίζει τις αναμενόμενες τιμές εξόδου ενός κυκλώματος κατά την εφαρμογή μιας συγκεκριμένης ακολουθίας διανυσμάτων εισόδου. Στην περίπτωση που οι αποκρίσεις του CUT και οι αναμενόμενες τιμές είναι ίδιες για κάθε ψηφίο του διανύσματος απόκρισης, το κύκλωμα λειτουργεί σωστά, χωρίς την παρουσία ελαττωμάτων. Σε διαφορετική περίπτωση το ολοκληρωμένο κύκλωμα χαρακτηρίζεται ως ελαττωματικό. Επομένως, είναι σαφές ότι υπάρχει μια διαδοχική σειρά ενεργειών για την ανίχνευση ενός σφάλματος. Αρχικά είναι απαραίτητη η ενεργοποίησή του μέσα στο κύκλωμα. Είναι προφανές ότι τα διανύσματα ελέγχου παίζουν καθοριστικό ρόλο στην ενεργοποίηση του σφάλματος, γι' αυτό πρέπει να είναι κατάλληλα ώστε η εφαρμογή τους να εγγυάται την όσο το δυνατόν μεγαλύτερη διέγερση σφαλμάτων. Στη συνέχεια ακολουθεί η διάδοση του λάθους στις κύριες εξόδους του κυκλώματος. Και οι δύο διεργασίες είναι περίπλοκες γιατί προϋποθέτουν την ανάθεση επιθυμητών τιμών σε συγκεκριμένους κόμβους του κυκλώματος, πράγμα που δεν είναι πάντα εφικτό.



2.1.3. Τεχνικές για τον Έλεγχο της Ορθής Λειτουργίας των Ολοκληρωμένων

Κυκλωμάτων

Πάρα πολλές τεχνικές, που καλούνται Τεχνικές Σχεδίασης για τον Έλεγχο της Ορθής Λειτουργίας των Κυκλωμάτων (Design For Testability - DFT) έχουν αναπτυχθεί με σκοπό την εύκολη και γρήγορη διαπίστωση της ορθής λειτουργίας των ολοκληρωμένων κυκλωμάτων με βάση διάφορους μηχανισμούς. Η προσθήκη ή η ενσωμάτωση όμως, αυτών των μηχανισμών επιφέρει κάποια αρνητικά αποτελέσματα στην ανάπτυξη των κυκλωμάτων, όπως η αύξηση της κατανάλωσης ενέργειας ή ακόμα και η αύξηση του κόστους για τον έλεγχο ανά τρανζίστορ. Συγκεκριμένα, το κατασκευαστικό κόστος ανά τρανζίστορ τείνει να ξεπεραστεί τελικά από το κόστος του ελέγχου ανά τρανζίστορ, όπως φαίνεται στο σχήμα 2.2 [8][9].



Σχήμα 2.2 Κατασκευαστικό Κόστος έναντι Κόστους Ελέγχου ανά Τρανζίστορ

Είναι προφανές πόσο σημαντική είναι η DFT τεχνική που θα εφαρμοστεί για την αύξηση της απόδοσης του ΕΟΛ. Κάθε τεχνική προσπαθεί να επιτύχει μεγαλύτερη απόδοση, χρησιμοποιώντας διαφορετικούς τρόπους ελέγχου. Στις τεχνικές ενσωματωμένου αυτοελέγχου (built-in-self test - BIST), τα κυκλώματα για τον έλεγχο ορθής λειτουργίας είναι ενσωματωμένα στο κύκλωμα και επιτρέπουν τον αυτοέλεγχό του. Τα διανύσματα ελέγχου παράγονται μέσα στο κύκλωμα, εφαρμόζονται στο CUT και όλα αυτά γίνονται υπό τον έλεγχο ενός BIST ελεγκτή. Η μέθοδος μπορεί να προσφέρει και έλεγχο κατά τη λειτουργία του κυκλώματος (on-line testing). Στην περίπτωση των τεχνικών περιφερειακής σάρωσης τα πρωτόκολλα IEEE 1149.1 και IEEE 1500, προσφέρουν τη δυνατότητα ελέγχου της ορθής λειτουργίας του κυκλώματος, μέσω ενός αριθμού από εξειδικευμένους ακροδέκτες σημάτων. Η πιο



ευρέως διαδεδομένη τεχνική, ωστόσο, είναι η σειριακή σάρωση, που επιτρέπει την πρόσβαση στις εσωτερικές καταστάσεις του ολοκληρωμένου κυκλώματος, για να πραγματοποιηθεί ο ΕΟΛ.

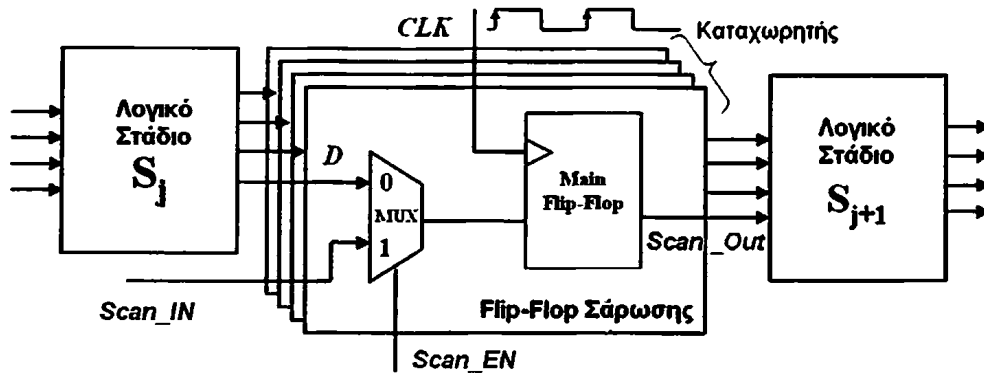
2.2. Τεχνικές Σειριακής Σάρωσης

Σε κάθε τεχνική ο σχεδιασμός της αλυσίδας σάρωσης του κυκλώματος είναι διαφορετικός εξυπηρετώντας διαφορετικούς στόχους. Οι συγκεκριμένες τεχνικές ανεξάρτητα από το σχεδιασμό τους παρουσιάζουν πολλά μειονεκτήματα, συνήθως ως προς το κόστος της επιφάνειας πυριτίου, την ταχύτητα λειτουργίας του κυκλώματος, το χρόνο εφαρμογής του ΕΟΛ και την επιβάρυνση του κυκλώματος με την υπερθέρμανσή του κατά την ολίσθηση δεδομένων στις αλυσίδες σάρωσης [10].

2.2.1. Τεχνική Σειριακής Σάρωσης

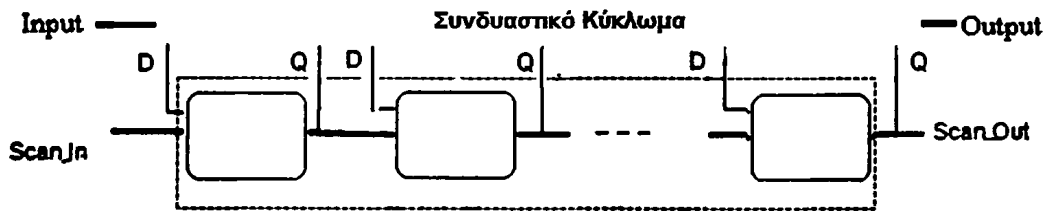
Μια από τις πιο διαδεδομένες και ευρέως χρησιμοποιούμενες τεχνικές για τον ΕΟΛ των ακολουθιακών κυκλωμάτων είναι η τεχνική σειριακής σάρωσης. Η λειτουργία της στηρίζεται στην αντικατάσταση όλων των στοιχείων μνήμης (flip-flops) με κύτταρα σάρωσης (scan flip-flops/cells), τα οποία είναι μεταξύ τους συνδεδεμένα σε σειρά. Με αυτό τον τρόπο δημιουργείται ένας σειριακός ολισθητής καταχωρητής (scan register) ή αλλιώς μια αλυσίδα σάρωσης με τη δυνατότητα εξωτερικής παρέμβασης. Επομένως, η εσωτερική κατάσταση του ακολουθιακού κυκλώματος, που είναι γενικά άγνωστη, μπορεί να ελεγχθεί και να παρατηρηθεί στην έξοδο. Αυτό επιτυγχάνεται με την είσοδο δεδομένων στην αλυσίδα σάρωσης, ώστε να επιβληθεί μια κατάλληλη εσωτερική κατάσταση για τον έλεγχο και την ολίσθηση στην έξοδο των αποκρίσεων του συνδυαστικού κυκλώματος που συλλαμβάνονται στην αλυσίδα σάρωσης. Στο σχήμα 2.3 φαίνεται η δομή ενός κυττάρου σάρωσης. Το flip-flop χρονίζεται από το ρολόι clk. Στην είσοδο του τυπικού στοιχείου μνήμης, έχει προστεθεί ένας πολυπλέκτης, ο οποίος μέσω του σήματος ελέγχου Scan_EN δίνει τη δυνατότητα επιλογής μεταξύ των δεδομένων που έρχονται από τη σειριακή είσοδο (Scan_IN) ή από τη συνδυαστική λογική (σήμα D).





Σχήμα 2.3 Κύτταρο Σάρωσης (Scan Flip-Flop)

Η αλυσίδα σάρωσης μήκους L , δημιουργείται από την αντικατάσταση όλων των στοιχείων μνήμης από τα κύτταρα σάρωσης, που συνδέονται σειριακά μεταξύ της εισόδου $Scan_IN$ και της εξόδου $Scan_Out$, όπως φαίνεται και στο σχήμα 2.4. Το ρολόι clk είναι κοινό για όλα τα κύτταρα σάρωσης. Στο σχήμα οι εισοδοί Input είναι οι κύριες εισοδοί του κυκλώματος (Primary Inputs - PIs) και οι εξοδοί Outputs είναι οι κύριες εξοδοί του (Primary Outputs - POs), ενώ οι εξοδοί της αλυσίδας σάρωσης προς τη συνδυαστική λογική, ονομάζονται ψευδοκύριες εισοδοί (Pseudo Primary Inputs - PPIs) και οι εισοδοί της αλυσίδας σάρωσης από τη συνδυαστική λογική, ψευδοκύριες εξοδοί (Pseudo Primary Outputs - PPOs). Για τον ΕΟΛ είναι απαραίτητη η εφαρμογή διανυσμάτων ελέγχου από το χρήστη, τα οποία τροφοδοτούν τις κύριες και ψευδοκύριες εισόδους. Αντίστοιχα, οι αποκρίσεις του κυκλώματος στο διάνυσμα ελέγχου που εφαρμόστηκε λαμβάνονται από τις κύριες και ψευδοκύριες εξόδους. Αυτές οι αποκρίσεις, λοιπόν, πρέπει να συγκριθούν με τις αναμενόμενες για τη διαπίστωση σφαλμάτων στο συνδυαστικό κύκλωμα. Είναι κοινή πρακτική οι αποκρίσεις του κυκλώματος στον ΕΟΛ να συμπίπτουν για την καλύτερη εκμετάλλευση του διαθέσιμου εύρους ζώνης στην επικοινωνία με το υπό έλεγχο ολοκληρωμένο κύκλωμα από το εξωτερικό περιβάλλον. Η συμπίεση επιτελείται από τον αναλυτή υπογραφής, δηλαδή ένα κατάλληλο κύκλωμα συμπίεσης (συνήθως βασισμένο σε LFSR) στο οποίο εφαρμόζεται η ακολουθία των αποκρίσεων του κυκλώματος. Το LFSR είναι ένας ολισθητής καταχωρητής του οποίου η κατάσταση σε κάθε χρονική στιγμή είναι γραμμική συνάρτηση των προηγούμενων καταστάσεών του.

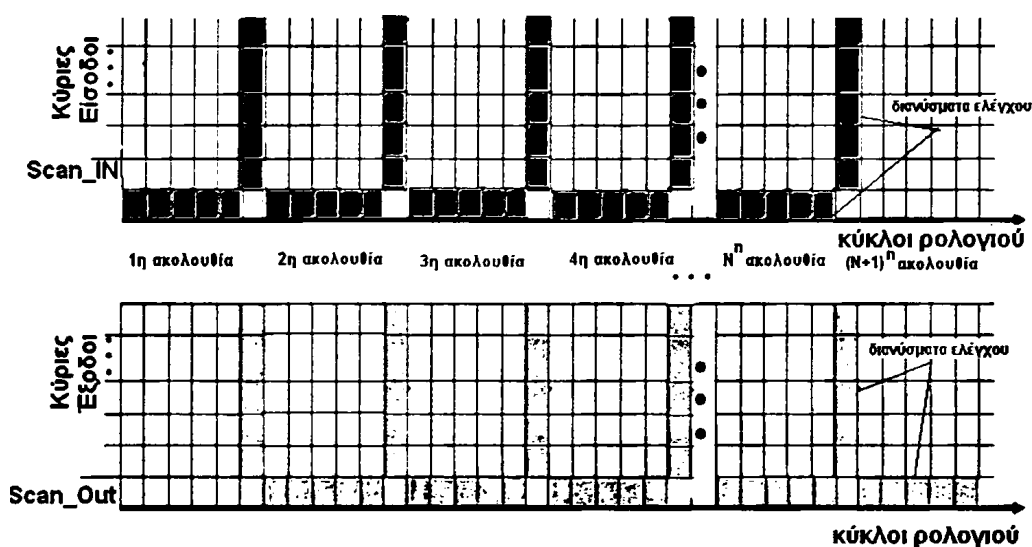


Σχήμα 2.4 Αλυσίδα Σειριακή Σάρωση

Τα βήματα για την εκτέλεση της διαδικασίας ελέγχου σε ένα ολοκληρωμένο κύκλωμα είναι συγκεκριμένα. Αρχικά, γίνεται η ολίσθηση του διάνυσματος ελέγχου εντός της αλυσίδα σάρωσης. Το διάνυσμα ελέγχου εφαρμόζεται τόσο στις κύριες όσο και στις ψευδοκύριες εισόδους. Ο αριθμός των κύκλων ρολογιού για την ολίσθηση του διάνυσματος είναι ίσος με το μήκος (αριθμός κυττάρων σάρωσης) της αλυσίδα σάρωσης. Σε αυτή τη διαδικασία, το σήμα ελέγχου των πολυπλεκτών των κυττάρων σάρωσης είναι λογικό ένα ($Scan_EN = 1$) έτσι ώστε να ολισθήσουν τα δεδομένα από τη σειριακή είσοδο $Scan_In$ και ταυτόχρονα να εξαχθούν οι αποκρίσεις του προηγούμενου διάνυσματος ελέγχου, στην έξοδο $Scan_Out$ (φάση ολίσθησης - shift mode). Στη συνέχεια ακολουθεί ένας κύκλος ρολογιού για τη δέσμευση των αποκρίσεων (φάση σύλληψης - capture mode) της συνδυαστικής λογικής. Σε αυτή τη φάση το κύκλωμα επαναφέρεται στην κανονική του λειτουργία (normal mode) με την αλλαγή του σήματος $Scan_EN$ στο λογικό 0, ώστε να επιτευχθεί η σύλληψη των αποκρίσεων του συνδυαστικού κυκλώματος στα κύτταρα σάρωσης. Μετά, η διαδικασία επαναλαμβάνεται, δηλαδή, ολισθαίνει ένα καινούργιο διάνυσμα ελέγχου και ταυτόχρονα εξάγονται στην έξοδο οι αποκρίσεις στο προηγούμενο διάνυσμα ελέγχου. Οι αποκρίσεις του ολοκληρωμένου κυκλώματος συγκρίνονται με τις αναμενόμενες ώστε να αποφασιστεί αν είναι ελαττωματικό ή όχι [3].

Σχηματικά, η λειτουργία της τεχνικής σειριακής σάρωσης παρουσιάζεται στο σχήμα 2.5. Πρόκειται για την αναπαράσταση της λειτουργίας ενός κυκλώματος πέντε κυττάρων σάρωσης, στα οποία εφαρμόζονται δεδομένα εισόδου και εξάγονται οι αντίστοιχες αποκρίσεις [5]. Αρχικά ολισθαίνεται το διάνυσμα ελέγχου για τις ψευδοκύριες εισόδους PPI και ταυτόχρονα ολισθαίνεται στην έξοδο η απόκριση από τις ψευδοκύριες PPOs από το προηγούμενο διάνυσμα. Αυτό απαιτεί πέντε κύκλους

ρολογιού, ενώ ταυτόχρονα εφαρμόζονται οι κύριες εισόδοι PI. Στον έκτο κύκλο ρολογιού, όπου το κύκλωμα είναι σε κανονική λειτουργία, γίνεται η δέσμευση των νέων αποκρίσεων στις PPOs. Ταυτόχρονα, εμφανίζονται στις κύριες εξόδους PO οι σχετικές αποκρίσεις. Στους επόμενους πέντε κύκλους επαναλαμβάνεται η ίδια διαδικασία εισάγοντας το επόμενο διάνυσμα ελέγχου και εξάγοντας σειριακά τις αποκρίσεις προς παρατήρηση κ.ο.κ.



Σχήμα 2.5 Παράδειγμα Εφαρμογής Ελέγχου με την Τεχνική της Σειριακής Σάρωσης

Κατά τη διαδικασία ΕΟΛ με την τεχνική της σειριακής σάρωσης αυξάνεται κατά πολύ η κατανάλωση ισχύος στο κύκλωμα, η οποία μπορεί να υπερβεί κατά πολύ τις υπάρχουσες προδιαγραφές. Η κατανάλωση ισχύος οφείλεται στις διαρκείς και συνεχόμενες μεταβάσεις (μετάβαση από τη λογική τιμή ένα σε μηδέν και το αντίστροφο) στις ψευδοκύριες εισόδους του συνδυαστικού κυκλώματος κατά την ολίσηση των δεδομένων ελέγχου στην αλυσίδα σάρωσης.

2.2.2. Έλεγχος στην Ταχύτητα Λειτουργίας (At - Speed Scan Testing)

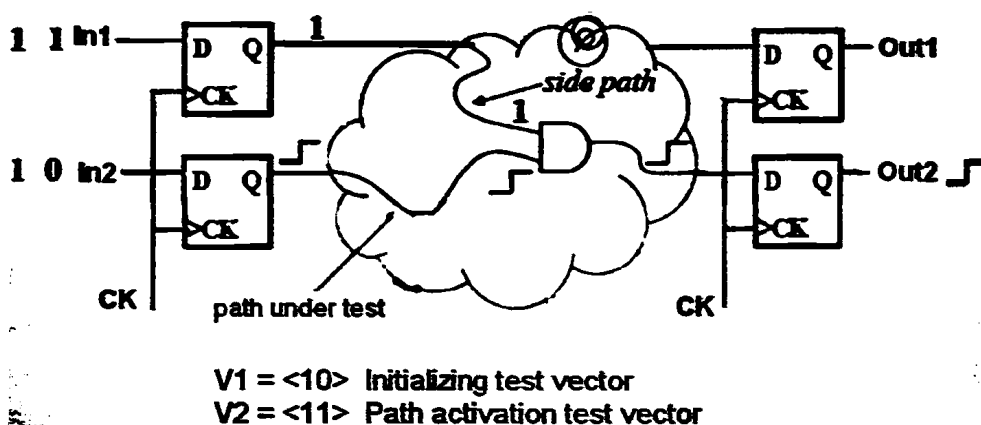
Ένας από τους πιο σημαντικούς τύπους ΕΟΛ είναι ο έλεγχος στην ταχύτητα λειτουργίας (at speed testing), για την ανίχνευση σφαλμάτων καθυστέρησης [3]. Τα κυκλώματα συχνά περιλαμβάνουν πολλαπλές περιοχές ρολογιού (clock domains),



που η καθεμιά λειτουργεί σε μια συχνότητα. Η συχνότητα μπορεί να είναι είτε σύγχρονη είτε ασύγχρονη ως προς τις άλλες περιοχές. Με τον όρο σύγχρονες, καλούνται δύο περιοχές ρολογιού, των οποίων οι ενεργές ακμές και των δύο ρολογιών που ελέγχουν τις δύο περιοχές μπορούν να ευθυγραμμιστούν ακριβώς ή να 'πυροδοτηθούν' ταυτόχρονα. Ασύγχρονες, ονομάζονται δύο περιοχές ρολογιού αν δεν είναι σύγχρονες.

Στον ΕΟΛ στην ταχύτητα λειτουργίας ενεργοποιούνται διαδρομές σήματος για να ελεγχθεί αν η διάδοση σήματος σε αυτές γίνεται στον επιθυμητό χρόνο. Μια υπό δοκιμή διαδρομή, περνάει από διάφορες πύλες της συνδυαστικής λογικής. Υπάρχει μεγάλος κίνδυνος κάποιες τιμές στις εισόδους των πυλών να μην επιτρέπουν τη διέλευση της διαδρομής, όπως φαίνεται στο σχήμα 2.6, με αποτέλεσμα να αποτυγχάνει ο ΕΟΛ. Για την αποφυγή του φαινομένου είναι απαραίτητη η εφαρμογή ενός ζεύγους διανυσμάτων δεδομένων. Έτσι, κατά τον ΕΟΛ στην ταχύτητα λειτουργίας μία ή περισσότερες διαδρομές σήματος ενεργοποιούνται στο υπό έλεγχο κύκλωμα με τη χρήση ενός διανύσματος αρχικοποίησης (διάνυσμα αρχικοποίησης – initialization vector) και ακολούθως ένα σήμα διαδίδεται σε αυτές με τη χρήση ενός διανύσματος ελέγχου (διάνυσμα ελέγχου – test vector). Η σύλληψη των αποκρίσεων γίνεται στην ταχύτητα λειτουργίας του κυκλώματος. Υπάρχουν δύο βασικές μέθοδοι χρονισμού για τον έλεγχο στην ταχύτητα λειτουργίας ενός ολοκληρωμένου κυκλώματος με τη χρήση αλυσίδων σάρωσης. Και οι δύο μέθοδοι μπορούν να ανιχνεύσουν σφάλματα καθυστέρησης διάδοσης σήματος σε διαδρομή (path delay faults) και σφάλματα μετάβασης (transition faults), μέσα σε μια περιοχή ρολογιού ή μεταξύ των περιοχών του ρολογιού.





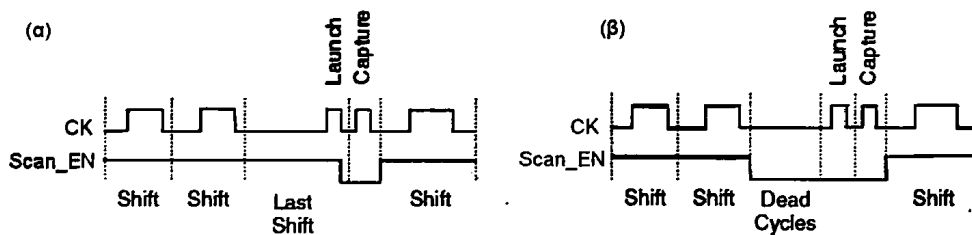
Σχήμα 2.6 Χρήση Ζεύγους Διανυσμάτων για την Ανίχνευση Σφαλμάτων Καθυστέρησης σε Διαδρομές Σήματος του Κυκλώματος

Σύμφωνα με την πρώτη τεχνική η εφαρμογή του διανύσματος ελέγχου γίνεται κατά τη φάση της ολίσθησης (launch-on-shift ή skewed-load) ενώ στη δεύτερη τεχνική η εφαρμογή του διανύσματος ελέγχου γίνεται κατά τη φάση της σύλληψης (lunch-on-capture ή double-capture). Η τεχνική εφαρμογής του διανύσματος ελέγχου κατά τη φάση της ολίσθησης χρησιμοποιεί τον προ-τελευταίο παλμό ολίσθησης για την αρχικοποίηση του κυκλώματος με την τρέχουσα κατάσταση στην αλυσίδα σάρωσης και τον τελευταίο παλμό ολίσθησης για να εφαρμόσει το διάνυσμα ελέγχου στο κύκλωμα. Αμέσως μετά, στο χρόνο της κανονικής λειτουργίας ακολουθεί ένας παλμός σύλληψης για τη σύλληψη στα κύτταρα σάρωσης της απόκρισης του ελέγχου. Στο σχήμα 2.7 (α) φαίνονται οι κυματομορφές για την εφαρμογή της τεχνικής. Η απενεργοποίηση του σήματος ελέγχου Scan_EN του πολυπλέκτη που επαναφέρει το κύκλωμα στην κανονική λειτουργία, πραγματοποιείται ανάμεσα στους δύο γρήγορους παλμούς εφαρμογής (launch) και σύλληψης (capture). Αυτό επιβάλλει το σήμα Scan_EN να έχει τις προδιαγραφές ενός σήματος ρολογιού, με αποτέλεσμα η δρομολόγησή του να είναι δύσκολη και να ανεβάζει το κόστος σχεδιασμού.

Η τεχνική εφαρμογής του διανύσματος ελέγχου κατά τη φάση της σύλληψης χρησιμοποιεί την τελευταία ολίσθηση για την αρχικοποίηση του κυκλώματος και ακολούθως δύο διαδοχικούς παλμούς σύλληψης για να εφαρμόσει ο πρώτος το διάνυσμα ελέγχου στο κύκλωμα (το οποίο είναι η απόκριση του κυκλώματος στο διάνυσμα αρχικοποίησης) και να συλλάβει ο δεύτερος στα κύτταρα σάρωσης την

απόκριση του ελέγχου, η οποία θα εξαχθεί για την ανίχνευση πιθανών σφαλμάτων. Στο σχήμα 2.7 (β) φαίνονται οι κυματομορφές για την εφαρμογή της δεύτερης τεχνικής. Το σήμα ελέγχου Scan_EN απενεργοποιείται νωρίς παρέχοντας έτσι τον απαραίτητο χρόνο για τη διάδοσή του στην αλυσίδα σάρωσης χωρίς να απαιτούνται προδιαγραφές σήματος ρολογιού σε αυτό.

Και στις δύο τεχνικές, ο δεύτερος παλμός του ρολογιού πρέπει να εκτελείται στην ταχύτητα που λειτουργεί η συγκεκριμένη περιοχή ρολογιού (at-speed) κατά την κανονική λειτουργία.

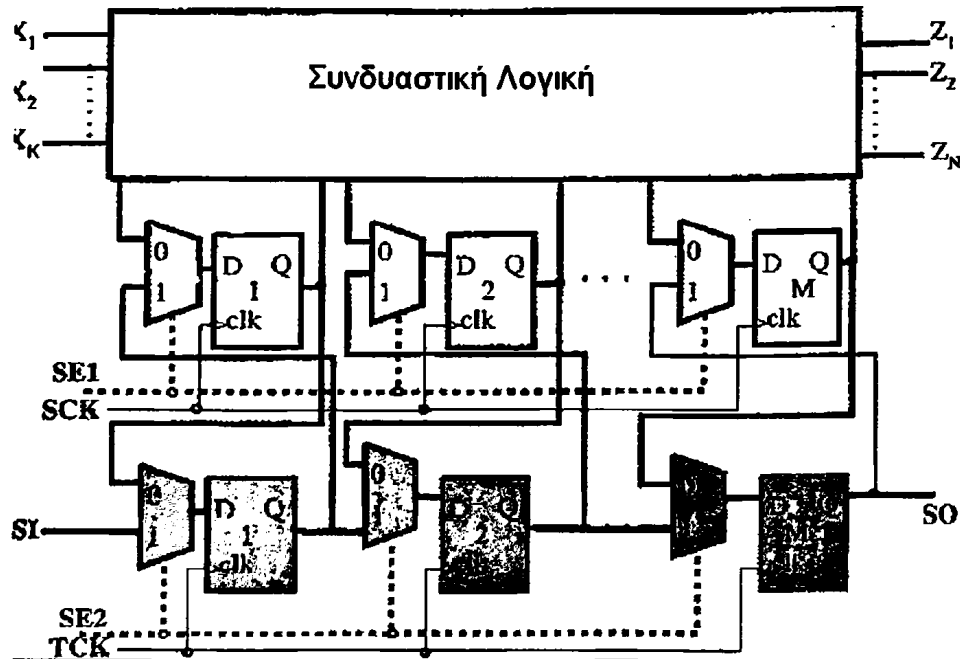


Σχήμα 2.7 (α) Εφαρμογή Διανύσματος Ελέγχου κατά τη Φάση της Ολισθησης (Launch-On-Shift ή Skewed-Load) (β) Εφαρμογή Διανύσματος Ελέγχου κατά τη Φάση της Σύλληψης (Lunch-On-Capture ή Double-Capture).

2.2.3. Η Scan-Set Τεχνική της Σειριακής Σάρωσης

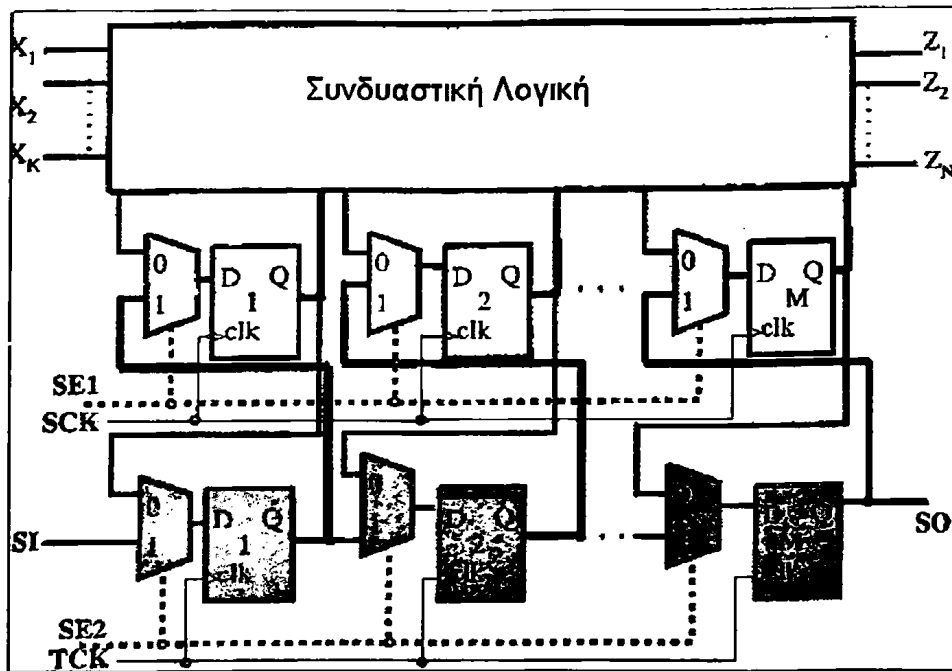
Η Scan-Set τεχνική είναι μια τεχνική σειριακής σάρωσης, όπου τα στοιχεία μνήμης (flip-flop) του κυκλώματος, δεν χρησιμοποιούνται για τη σύνθεση του ολισθητή καταχωρητή. Αντ' αυτού ένας ολισθητής καταχωρητής αποτελούμενος από ακμοπροδότητα flip-flop προστίθεται στο κύκλωμα [11]. Αρχικά, το διάνυσμα ελέγχου ολισθαίνει σειριακά στον ολισθητή καταχωρητή σε κάθε χτύπο του ρολογιού TCLK, από τη σειριακή είσοδο SI. Ταυτόχρονα οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου ολισθαίνουν εκτός του καταχωρητή ολισθητή από τη σειριακή έξοδο SO, βλ. σχήμα 2.8.





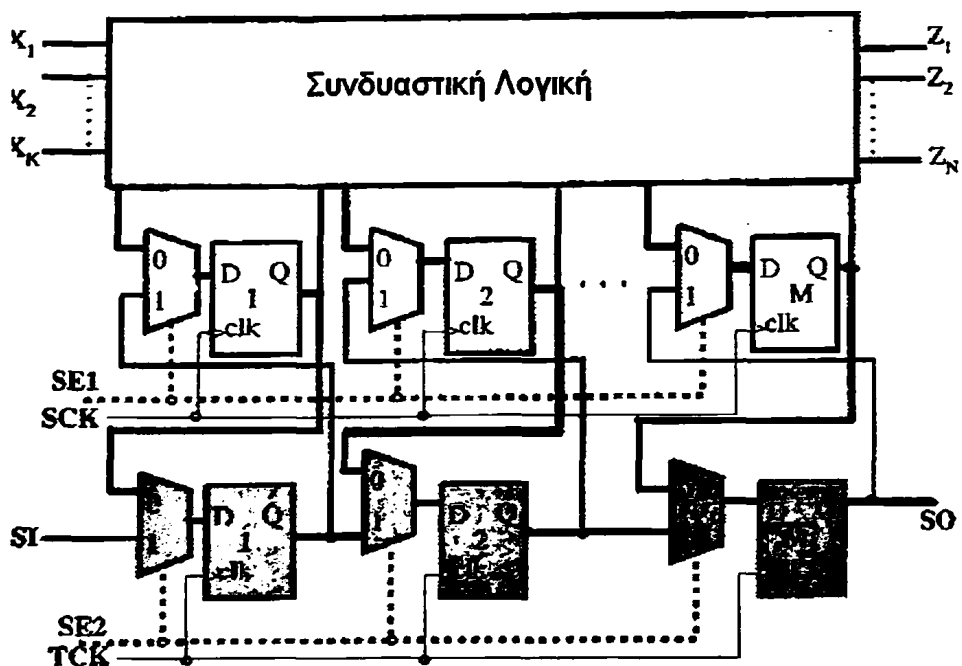
Σχήμα 2.8 Ολίσθηση του Διανύσματος Ελέγχου εντός του Ολισθητή Καταχωρητή και των Αποκρίσεων του Προηγούμενου Διανύσματος Ελέγχου εκτός του Ολισθητή Καταχωρητή

Καθ' όλη τη διαδικασία το σήμα ελέγχου SE2 των πολυπλεκτών του ολισθητή καταχωρητή είναι στο λογικό ένα. Στον n-οστό κύκλο ρολογιού το σήμα ελέγχου SE1 των πολυπλεκτών των στοιχείων μνήμης του κυκλώματος αλλάζει σε λογικό ένα. Συνεπώς, το διάνυσμα ελέγχου μεταφέρεται παράλληλα στα στοιχεία μνήμης του κυκλώματος στην ανοδική ακμή του ρολογιού SCLK και εφαρμόζεται στη συνδυαστική λογική, όπως φαίνεται στο σχήμα 2.9.



Σχήμα 2.9 Εφαρμογή του Διανύσματος Ελέγχου στη Λογική

Στον επόμενο κύκλο ρολογιού τα SE1 και SE2 είναι στη λογική κατάσταση μηδέν και τα ρολόγια SCLK και TCLK πυροδοτούν διαδοχικά τα flip-flop του κυκλώματος και του ολισθητή καταχωρητή, αντίστοιχα, ώστε να συλλάβουν τις αποκρίσεις του κυκλώματος, όπως φαίνεται στο σχήμα 2.10. Οι αποκρίσεις του κυκλώματος μπορούν να παρατηρηθούν ακόμα και όταν το κύκλωμα βρίσκεται σε χρήση (on-line testing).



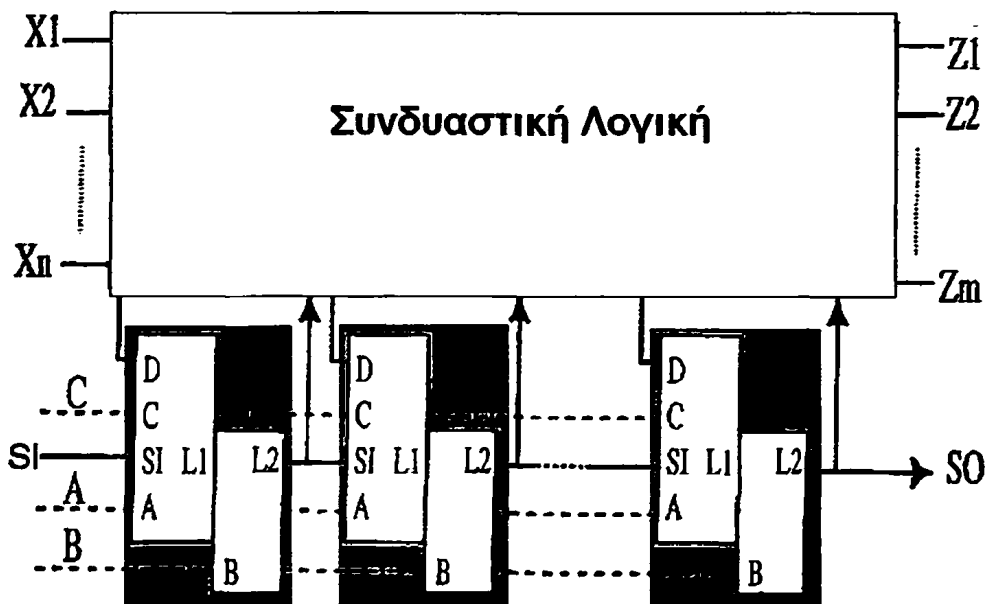
Σχήμα 2.10 Σύλληψη των Αποκρίσεων στα Flip-Flop του Κυκλώματος και του Ολισθητή Καταχωρητή

2.2.4. Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)

Οι προαναφερθείσες τεχνικές σειριακής σάρωσης αφορούν σχεδιασμούς όπου χρησιμοποιούνται flip-flop ως στοιχεία μνήμης. Η LSSD τεχνική υποστηρίζει τη σειριακή σάρωση σε σχεδιασμούς που βασίζονται στη χρήση μανδαλωτών. Σε αυτή την τεχνική χρησιμοποιούνται δύο μανδαλωτές για να αποδοθεί η λειτουργία του flip-flop κατά τη σειριακή σάρωση (βλ. σχήμα 2.11). Οι δύο μανδαλωτές L1 και L2 λειτουργούν ως μια τοπολογία 'αφέντη' - 'σκλάβου' [12], αντίστοιχα. Ο μανδαλωτής L2 χρονίζεται από το ρολόι B το οποίο είναι μη επικαλυπτόμενο με το ρολόι C του μανδαλωτή L1. Ο μανδαλωτής L2 χρησιμοποιείται για την ολίσθηση του διανύσματος ελέγχου. Για να πραγματοποιηθεί η σειριακή σάρωση μέσω των μανδαλωτών είναι απαραίτητη η ύπαρξη κι ενός τρίτου ρολογιού A.

Τα τρία μη επικαλυπτόμενα ρολόγια πολυπλέκονται ώστε να υποστηρίζεται η εναλλαγή από την λειτουργία της ολίσθησης του διανύσματος ελέγχου στη λειτουργία της σύλληψης και αντίστροφα. Επομένως, μετά την αντικατάσταση κάθε μανδαλωτή

του κυκλώματος με ένα ζεύγος μανδαλωτών, προκύπτει η αλυσίδα σάρωσης που φαίνεται στο σχήμα.2.11 [10]. Για η κύκλους ρολογιού τα ρολόγια A και B δεν επικαλύπτονται και το διάνυσμα ελέγχου ολισθαίνει εντός της αλυσίδας σάρωσης μέσω της σειριακής εισόδου SI ενώ στη σειριακή έξοδο SO ολισθαίνουν οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου. Ακολουθεί η εφαρμογή του διανύσματος στη συνδυαστική λογική. Κατά τη φάση της σύλληψης ενεργοποιείται πρώτα το ρολόι C και μετά το B, ώστε να συλληφθεί η απόκριση της λογικής στους μανδαλωτές.



Σχήμα 2.11 Η Σχεδίαση Σάρωσης Καθοδηγούμενη από τη Στάθμη Σήματος (Level Sensitive Scan Design - LSSD)

2.3. Η Κατανάλωση Ενέργειας κατά τον ΕΟΛ

Η συνεχώς αυξανόμενη ζήτηση για φορητές υπολογιστικές συσκευές και ασύρματες επικοινωνίες απαιτούν χαμηλής κατανάλωσης ισχύος VLSI συστήματα. Πολλές τεχνικές έχουν αναπτυχθεί για τη σχεδίαση VLSI κυκλωμάτων με τη CMOS τεχνολογία που πετυχαίνουν χαμηλή κατανάλωση ισχύος κατά τη διάρκεια της κανονικής λειτουργίας, αυξάνοντας τη διάρκεια ζωής του κυκλώματος και της αξιοπιστίας του [13][14]. Ωστόσο το επιστημονικό ενδιαφέρον έχει στραφεί στην



ανάπτυξη τεχνικών που επιτυγχάνουν χαμηλή κατανάλωση ισχύος και κατά τη διάρκεια του ΕΟΛ. Αυτό συμβαίνει γιατί κατά τη διάρκεια του ΕΟΛ η καταναλισκόμενη ισχύς σε ένα ολοκληρωμένο κύκλωμα είναι μεγαλύτερη από εκείνη κατά τη διάρκεια της κανονικής του λειτουργίας καταστρατηγώντας τις προδιαγραφές του σχεδιασμού [15][16][17]. Η αύξηση της καταναλισκόμενης ισχύος οφείλεται κυρίως στην αύξηση της δυναμικής ισχύος κατά τη διαδικασία του ΕΟΛ. Στη σειριακή σάρωση η δυναμική κατανάλωση ισχύος οφείλεται στις πολλαπλές και συνεχόμενες μεταβάσεις τιμών στα στοιχεία μνήμης του κυκλώματος, που έχουν ως αποτέλεσμα την ενεργοποίηση της συνδυαστικής λογικής. Επιπρόσθετα, κατά τη διάρκεια του ελέγχου, οι εσωτερικές καταστάσεις του κυκλώματος είναι σε μεγάλο βαθμό μη προβλεπόμενες καθώς τα εργαλεία γέννησης διανυσμάτων του ΕΟΛ, δεν λαμβάνουν υπόψιν σχετικούς περιορισμούς. Αντίθετα, κατά τη διαδικασία της κανονικής λειτουργίας οι εσωτερικές καταστάσεις του κυκλώματος είναι σε ένα μεγάλο βαθμό μοντελοποιημένες και σύμφωνες με τις προδιαγραφές σχεδίασης του ολοκληρωμένου κυκλώματος και επομένως η κατανάλωση ενέργειας είναι περιορισμένη και εντός των προδιαγραφών.

Συνεπώς, είναι σημαντικό η κατανάλωση ισχύος κατά τον ΕΟΛ να μην υπερβαίνει την κατανάλωση ενέργειας κατά τη διάρκεια της κανονικής λειτουργίας [18][15]. Σε διαφορετική περίπτωση το κύκλωμα μπορεί να παρουσιάσει διάφορα προβλήματα όπως, πρόωμη γήρανση που οδηγεί σε μείωση της αξιοπιστίας του προϊόντος.

Ένα από τα πιο σημαντικά προβλήματα που υποβαθμίζουν το κύκλωμα είναι η υπερβολική θέρμανση του ολοκληρωμένου κυκλώματος κατά τη διάρκεια του ΕΟΛ εξαιτίας της υψηλής καταναλισκόμενης ισχύος [17]. Για την απαγωγή της θερμότητας κατά τον ΕΟΛ χρησιμοποιούνται ειδικές συσκευές ψύξης, οι οποίες είναι ακριβές και πολύπλοκες στη σύνδεσή τους με το υπό έλεγχο κύκλωμα. Σε περίπτωση που παρουσιαστεί υπερβολική αύξηση της θερμοκρασίας κατά τη διάρκεια της εφαρμογής των διανυσμάτων ελέγχου, είναι πιθανή η πρόωμη καταστροφή του κυκλώματος [16]. Επιπλέον, η υπερθέρμανση του κυκλώματος συμβάλλει στην πρόωρη γήρανσή του (μηχανισμοί bias-temperature instability - BTI), την καταπόνηση των μετάλλων, την κατάρρευση των διηλεκτρικών κ.α. με αποτέλεσμα να πάψει να λειτουργεί κατά τον αναμενόμενο τρόπο. Ένας καθοριστικός παράγοντας μείωσης της κατασκευαστικής απόδοσης προκύπτει από το γεγονός ότι η υπερθέρμανση ενός ολοκληρωμένου κατά



τον ΕΟΛ υποβαθμίζει την ταχύτητα λειτουργίας του. Συνεπώς, ο ΕΟΛ στην ταχύτητα λειτουργίας μπορεί να χαρακτηρίσει το κύκλωμα ως ελαττωματικό ενώ στην πράξη δεν είναι [17].

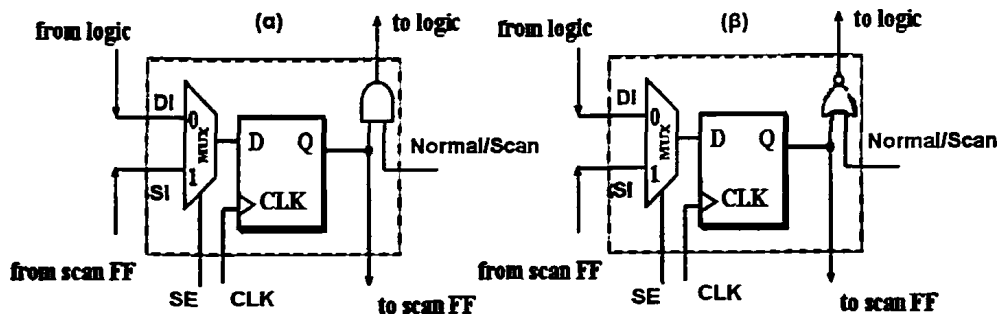
2.4. Αρχιτεκτονικές Σειριακής Σάρωσης Χαμηλής Κατανάλωσης Ισχύος

Τα τελευταία χρόνια έχουν αναπτυχθεί πολλές τεχνικές σειριακής σάρωσης για τη μείωση της κατανάλωσης ισχύος κατά τη διαδικασία του ΕΟΛ. Κάποιες προσπαθούν να το πετύχουν ρυθμίζοντας τα χαρακτηριστικά λειτουργίας των κυκλωμάτων (τάση τροφοδοσίας, συχνότητα ρολογιού) και άλλες ανοικοδομώντας τις αλυσίδες σάρωσης. Οι τεχνικές αυτές ωστόσο μπορεί να οδηγήσουν στη δημιουργία νέων σφαλμάτων που είναι δύσκολο να ανιχνευτούν.

2.4.1. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απομόνωση των Δεδομένων (Data Gating)

Η απομόνωση των δεδομένων ελέγχου είναι μια από τις ευρέως χρησιμοποιούμενες τεχνικές χαμηλής κατανάλωσης. Η λειτουργία της βασίζεται στην απομόνωση των δεδομένων ελέγχου από τη συνδυαστική λογική κατά την ολίσθησή τους στην αλυσίδα σάρωσης. Αυτό επιτυγχάνεται με την προσθήκη μιας λογικής πύλης, όπως μια NOR ή μια AND, μεταξύ της εξόδου του flip-flop και της εισόδου της συνδυαστικής λογικής, όπως φαίνεται στα σχήματα 2.12 (α) και (β), αντίστοιχα. Η άλλη είσοδος της πύλης μπορεί να προέρχεται από κάποιο εξωτερικό σήμα είτε να είναι το σήμα επίτρησης SE του κυττάρου σάρωσης. Κατά την ολίσθηση του διανύσματος ελέγχου οι δύο πύλες αποτρέπουν τις μεταβάσεις σήματος στην είσοδο της συνδυαστικής λογικής, διατηρώντας σταθερή την τιμή στις εξόδους τους θέτοντας την κατάλληλη τιμή στο σήμα Normal/Scan. Συνεπώς, επιτυγχάνεται μείωση της καταναλισκόμενης ισχύος, αλλά εξαιτίας της πύλης προστίθεται καθυστέρηση κατά την κανονική λειτουργία του κυκλώματος.

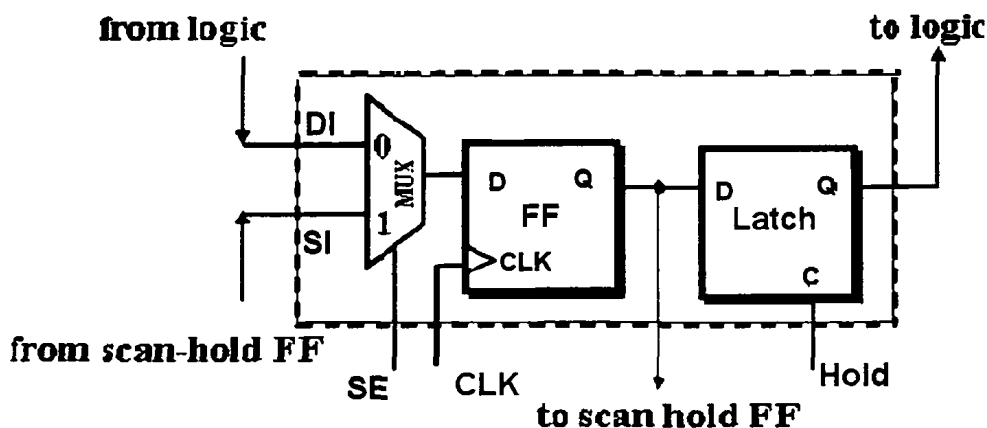




Σχήμα 2.12 (α) Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απομόνωση Δεδομένων με Χρήση της Πύλης AND. (β) με Χρήση της Πύλης NOR

2.4.2. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Flip-Flop Συγκράτησης

Μια εναλλακτική τεχνική για την απομόνωση των δεδομένων ελέγχου από τη συνδυαστική λογική κατά τη σειριακή ολίσθηση επιτυγχάνεται με τη χρήση ενός μανδαλωτή στην έξοδο του flip-flop [23], όπως φαίνεται στο σχήμα 2.13. Όσο το σήμα Hold είναι στο λογικό μηδέν ο μανδαλωτής βρίσκεται σε κατάσταση μνήμης και η συνδυαστική λογική τροφοδοτείται με τις προηγούμενες σταθερές τιμές που είχαν συγκρατηθεί στην έξοδό του. Επομένως, κατά τη διάρκεια της ολίσθησης το σήμα Hold διατηρείται στο λογικό μηδέν, επομένως δεν πραγματοποιούνται μεταβάσεις τιμών σήματος στις εισόδους της συνδυαστικής λογικής. Με τον τρόπο αυτό επιτυγχάνεται μείωση της κατανάλωσης ισχύος ενώ η τεχνική υποστηρίζει αποτελεσματικά τον ΕΟΛ στην ταχύτητα λειτουργίας για σφάλματα καθυστέρησης διάδοσης σήματος. Το μειονέκτημα είναι ότι η προσθήκη του μανδαλωτή αυξάνει την καθυστέρηση κατά την κανονική λειτουργία του κυκλώματος.



Σχήμα 2.13 Τεχνική Χαμηλής Κατανάλωσης με τη Χρήση Flip-Flop Συγκράτησης

2.4.3. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Απενεργοποίηση του Ρολογιού κατά Τμήματα

Μια άλλη τεχνική για χαμηλή κατανάλωση ενέργειας γίνεται με την απενεργοποίηση του ρολογιού της αλυσίδας σάρωσης διαδοχικά σε διάφορα τμήματά της. Η ολίσθηση των δεδομένων στην αλυσίδα σάρωσης γίνεται τμηματικά [19]. Στην τεχνική αυτή υφίσταται το μειονέκτημα της χρονικής απόκλισης (skew) που εμφανίζεται μεταξύ των ρολογιών των τμημάτων της αλυσίδας σάρωσης στην κανονική λειτουργία.

2.4.4. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Συμπλήρωση των Αδιάφορων Όρων (X - Filling Techniques)

Πρόκειται για μία αλγοριθμική τεχνική που αναθέτει κατάλληλες λογικές τιμές στις απροσδιόριστες δυαδικές τιμές (X-bits) των κύβων ελέγχου (test cubes) που παράγουν τα εργαλεία γέννησης διανυσμάτων ελέγχου, ώστε να δημιουργηθεί ένα πλήρως προσδιορισμένο διάνυσμα ελέγχου που μειώνει τις μεταβάσεις σήματος κατά τη διαδικασία της ολίσθησης (shift mode) ή / και κατά τη διαδικασία της σύλληψης των αποκρίσεων (capture mode). Ο κύβος ελέγχου είναι ένας μερικός προσδιορισμένος συνδυασμός δυαδικών τιμών εισόδου με τουλάχιστον έναν αδιάφορο όρο (don't-care bit - X-bit). Οι αδιάφοροι όροι υπάρχουν σε ένα κύβο ελέγχου επειδή δεν είναι απαραίτητος ο προσδιορισμός όλων των bit εισόδου για τον

εντοπισμό ενός ή περισσότερων σφαλμάτων στο κύκλωμα. Η συντριπτική πλειοψηφία των θέσεων ενός κύβου ελέγχου είναι αδιάφοροι όροι.

Πολλές τεχνικές διαχείρισης διανυσμάτων ελέγχου έχουν αναπτυχθεί τα τελευταία χρόνια με στόχο τη μείωση της καταναλισκόμενης ενέργειας κατά τη διαδικασία της ολίσθησης των διανυσμάτων ή της σύλληψης των αποκρίσεων της λογικής ή και των δύο διαδικασιών μαζί. Οι τεχνικές που εφαρμόζονται για τη μείωση της καταναλισκόμενης ισχύος κατά την ολίσθηση του διανύσματος ελέγχου προσπαθούν να ελαχιστοποιήσουν την ύπαρξη συμπληρωματικών λογικών τιμών μεταξύ δύο διαδοχικών bit του διανύσματος ελέγχου, συμπληρώνοντας κατάλληλα τους αδιάφορους όρους. Μία από τις πιο διαδεδομένες τεχνικές αυτής της κατηγορίας είναι η Τεχνική Γειτονικής Συμπλήρωσης (Adjacent - Fill Technique) [20], η οποία αξιοποιεί τους αδιάφορους όρους των κύβων ελέγχου ώστε να ελαχιστοποιηθεί η ύπαρξη συμπληρωματικών τιμών σε γειτονικά bit ελέγχου που θα φορτωθούν στην αλυσίδα σάρωσης, λαμβάνοντας υπόψη την απόσταση που θα διανύσουν τα bit μέσα σε αυτή. Η τεχνική, δηλαδή, συμπληρώνει τους αδιάφορους όρους του διανύσματος ελέγχου με βάση το προσδιορισμένο bit (care bit) που θα εισαχθεί πρώτο στην αλυσίδα σάρωσης, γιατί αυτό θα είναι που θα ολισθήσει περισσότερες θέσεις εντός της αλυσίδας πραγματοποιώντας συνεπώς τις περισσότερες μεταβάσεις. Αυτή η προσέγγιση μειώνει την κατανάλωση ισχύος κατά τη φάση της ολίσθησης του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης οπότε επέρχεται και μείωση τόσο της μέσης ισχύος (average power) όσο και της μέγιστης ισχύος (peak power) στο κύκλωμα. Ωστόσο η τεχνική αυτή δεν μπορεί να αντιμετωπίσει τόσο αποδοτικά την κατανάλωση ενέργειας κατά τη διαδικασία σύλληψης των αποκρίσεων (capture mode).

Η εφαρμογή της τεχνικής συμπλήρωσης των αδιάφορων όρων για τη μείωση της καταναλισκόμενης ενέργειας κατά τη φάση της σύλληψης των αποκρίσεων γίνεται με τελείως διαφορετικό τρόπο. Οι μεταβάσεις των λογικών τιμών στα κύτταρα σάρωσης πραγματοποιούνται κατά τον κύκλο σύλληψης. Η λογική τιμή με την οποία θα συμπληρωθεί ο i - οστός αδιάφορος όρος του διανύσματος ελέγχου στην έξοδο των flip-flop της αλυσίδας σάρωσης πρέπει να είναι ίδια με τον αντίστοιχο i - οστό αδιάφορο όρο του διανύσματος των αποκρίσεων της συνδυαστικής λογικής. Μία από τις πιο διαδεδομένες τεχνικές αυτής της κατηγορίας είναι η Συμπλήρωση κατά



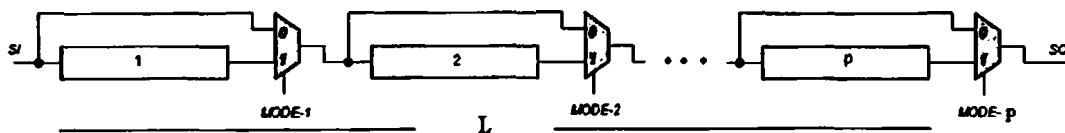
Προτίμηση (Preferred Fill) [21], στην οποία η συμπλήρωση του αδιάφορου όρου του διανύσματος ελέγχου γίνεται με βάση την πιθανότητα το αντίστοιχο bit του διανύσματος απόκρισης να έχει την ίδια λογική τιμή. Με άλλα λόγια το i -οστό bit του διανύσματος ελέγχου συμπληρώνεται με τη λογική τιμή που είναι πιο πιθανό να συλληφθεί μετά τη φάση της σύλληψης στο i -οστό κύτταρο σάρωσης. Τέτοιου είδους τεχνικές επιφέρουν κυρίως μείωση της μέγιστης ισχύος στο κύκλωμα.

Επίσης, έχουν αναπτυχθεί τεχνικές που συμπληρώνουν κατάλληλα τους αδιάφορους όρους ώστε να πετύχουν μείωση της καταναλισκόμενης ισχύος και στις δύο φάσεις της σειριακής σάρωσης, συνδυάζοντας τις δύο προαναφερθείσες τεχνικές.

Γενικά, οι τεχνικές διαχείρισης διανυσμάτων έχουν αμελητέο αντίκτυπο στη διαδικασία αυτόματης γέννησης διανυσμάτων ελέγχου (Automatic Test Pattern Generation - ATPG) και επιπλέον δεν επηρεάζουν ούτε την αλυσίδα σάρωσης ούτε το υπό έλεγχο κύκλωμα. Επιπρόσθετα μπορούν να συνδυαστούν με άλλες τεχνικές, όπως οι δύο προτεινόμενες τεχνικές της παρούσας εργασίας, για περαιτέρω μείωση της καταναλισκόμενης ισχύος κατά τη διάρκεια του ελέγχου [22].

2.4.5. Τεχνική Σχεδίασης Τμηματοποιημένων Αλυσίδων Σάρωσης με Αναστολή Σάρωσης (Freeze Scan Partitioning)

Σύμφωνα με την αρχιτεκτονική που προτάθηκε στην εργασία [46], εισάγονται στην αλυσίδα σάρωσης πολυπλέκτες ώστε να τμηματοποιηθεί σε p τμήματα (partitions) βλ. σχήμα 2.14, το πλήθος των οποίων καθορίζεται από το σχεδιαστή.

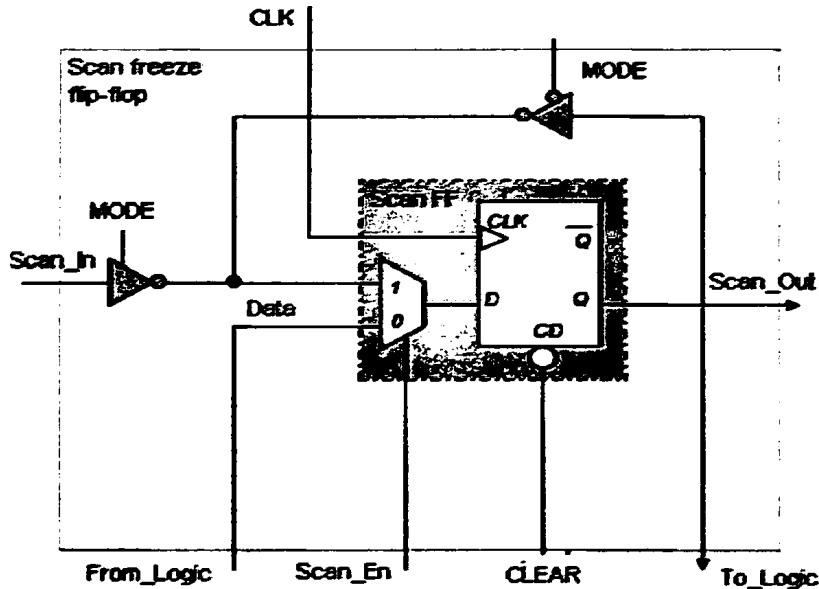


Σχήμα 2.14 Τμηματοποιημένη Αλυσίδα Σάρωσης σε p Τμήματα

Για την υλοποίηση της αλυσίδας σάρωσης είναι απαραίτητη η τροποποίηση του κλασικού κυττάρου σάρωσης στο καλούμενο στοιχειώδες κύτταρο σάρωσης με πρόσθετη τη δυνατότητα αναστολής (scan freeze flip-flop / cell), το οποίο παρουσιάζεται στο σχήμα 2.15. Στο νέο κύτταρο σάρωσης προστίθενται δύο



τρισταθείς ατομονωτές (3state-buffers) με αντίθετη λογική ενεργοποίησης που ελέγχονται από το εξωτερικό σήμα MODE, ώστε να παρέχονται τρεις κύριες λειτουργίες (modes).



Σχήμα 2.15 Κύτταρο Σάρωσης με Πρόσθετη τη Δυνατότητα Αναστολής (Scan Freeze Flip-Flop / Cell)

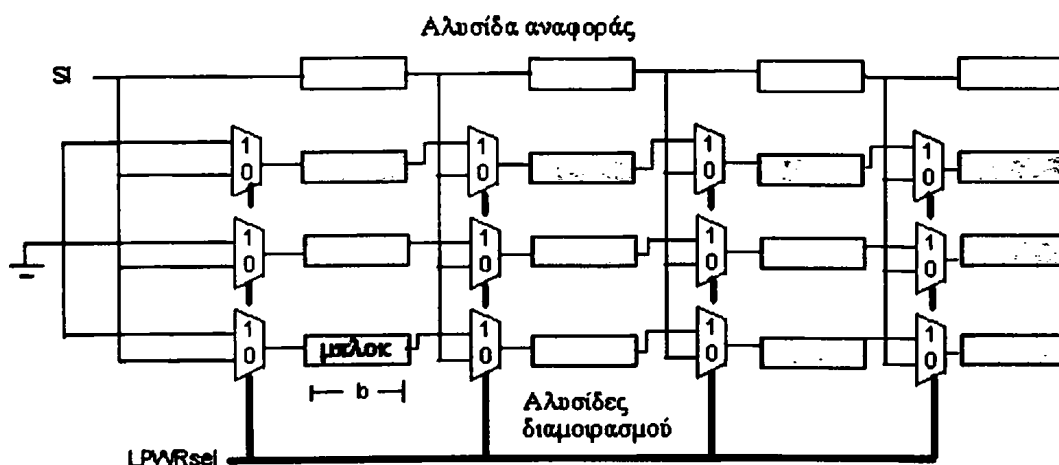
Η πρώτη λειτουργία είναι η ολίσθηση των δεδομένων (scan), η δεύτερη η κανονική λειτουργία (normal mode) και η τρίτη η αναστολή σάρωσης (memory mode) δηλαδή κατάσταση μνήμης μέσω ανατροφοδότησης. Κατά την ολίσθηση του διανύσματος ελέγχου μόνο ένα τμήμα της αλυσίδας είναι ενεργοποιημένο κάθε φορά και σε αυτό ολισθαίνει εντός το αντίστοιχο μέρος του διανύσματος ελέγχου ενώ ταυτόχρονα ολισθαίνει εκτός το αντίστοιχο τμήμα της προηγούμενης απόκρισης της λογικής. Τα υπόλοιπα $p-1$ τμήματα παραμένουν σε κατάσταση μνήμης (αναστολής σάρωσης) και παρακάμπτονται με τη χρήση πολυπλεκτιών κατά τη φόρτωση. Η διαδικασία συνεχίζεται μέχρι να φορτωθεί κάθε τμήμα της αλυσίδας σάρωσης με το διάνυσμα ελέγχου και παράλληλα να εξαχθεί η προηγούμενη απόκριση της λογικής. Ο αριθμός των κύκλων ρολογιού είναι ανάλογος του μήκους της αλυσίδας σάρωσης. Ακολουθεί η δέσμευση των νέων αποκρίσεων στα scan freeze flip-flop.

Η ολίσθηση των δεδομένων ελέγχου ανά τμήμα της αλυσίδας σάρωσης μειώνει ανάλογα ως προς τον αριθμό των τμημάτων, το πλήθος των μεταβάσεων των τιμών

στις εισόδους της υπό έλεγχο συνδυαστικής λογικής οδηγώντας στατιστικά σε ανάλογη μείωση της δυναμικής κατανάλωσης ισχύος κατά τον ΕΟΛ. Επιπρόσθετα ο συνολικός χρόνος που απαιτείται για τον ΕΟΛ δεν αυξάνεται και η κάλυψη σφαλμάτων δεν μειώνεται σε σχέση με την κλασική τεχνική σειριακής σάρωσης. Η αρχιτεκτονική έχει μικρό κόστος και μπορεί να εφαρμοστεί σε απλές ή παράλληλες αλυσίδες καθώς και στην αρχιτεκτονική σάρωσης Illinois. Επίσης, είναι κατάλληλη για τον παράλληλο έλεγχο πολλαπλών πυρήνων σε ολοκληρωμένα συστήματα (SOCs) και μπορεί να συνδυαστεί με τις υπάρχουσες τεχνικές ενσωματωμένου αυτοελέγχου (BIST) και με οποιαδήποτε μονάδα παραγωγής και συμπίεσης δεδομένων ελέγχου.

2.4.6. Η Χαμηλή Κατανάλωσης Illinois Τεχνική Σειριακής Σάρωσης

Η αρχιτεκτονική χαμηλής κατανάλωσης γνωστή ως LPILS είναι μια παραλλαγή της Illinois τεχνικής [47]. Η LPILS τεχνική αναδιαμορφώνει κατάλληλα την Illinois αρχιτεκτονική σπάζοντας κάθε τμήμα μεγέθους L της αλυσίδας σάρωσης σε n μπλοκ μεγέθους b το καθένα και προσθέτοντας πολυπλέκτες 2 σε 1 πριν από κάθε μπλοκ σε κάθε αλυσίδα διαμοιρασμού εκτός από την πρώτη που καλείται αλυσίδα αναφοράς, όπως φαίνεται στο σχήμα 2.16.



Σχήμα 2.16 Η Τεχνική LPILS



Κάθε μπλοκ περιέχει b κύτταρα σάρωσης. Η αλυσίδα αναφοράς φορτώνει τα δεδομένα απευθείας από τη σειριακή είσοδο SI, ενώ οι αλυσίδες διαμοιρασμού φορτώνονται με δεδομένα από το μπλοκ της ίδιας αλυσίδας ή από το προηγούμενο μπλοκ της αλυσίδας αναφοράς. Η σειριακή σάρωση γίνεται σε δύο φάσεις και απαιτούνται $n \times b$ κύκλοι ρολογιού. Κατά την πρώτη φάση το σήμα LPWRsel τίθεται στο λογικό ένα και το διάνυσμα ελέγχου ολισθαίνει εντός της αλυσίδας αναφοράς ενώ στις αλυσίδες διαμοιρασμού ολισθαίνει η σταθερή τιμή μηδέν από τη γείωση για $(n-1) \times b$ κύκλους ρολογιού. Ταυτόχρονα ολισθαίνουν εκτός των αλυσίδων οι αποκρίσεις της λογικής στο προηγούμενο διάνυσμα ελέγχου. Κατά τη δεύτερη φάση το σήμα LPWRsel τίθεται στο λογικό μηδέν και το διάνυσμα ελέγχου ολισθαίνει εντός των αλυσίδων διαμοιρασμού από το προηγούμενο μπλοκ της αλυσίδας αναφοράς για b κύκλους. Για το πρώτο μπλοκ κάθε αλυσίδας ολισθαίνουν κοινά δεδομένα στην αλυσίδα αναφοράς και στις αλυσίδες διαμοιρασμού μέσω της κοινής εισόδου SI. Ακολουθεί η φάση της σύλληψης των αποκρίσεων και επαναλαμβάνεται η διαδικασία από την αρχή.

Η αρχιτεκτονική LPILS εγγυάται τη μείωση των μεταβάσεων τιμών στις εισόδους της συνδυαστικής λογικής λόγω της ολίσθησης της σταθερής τιμής μηδέν στις αλυσίδες διαμοιρασμού για $(n-1) \times b$ κύκλους ρολογιού. Επιπλέον, η προσθήκη των πολυπλεκτών δεν αποτελεί μεγάλο κόστος και το πλήθος τους εξαρτάται από τα μπλοκ που θα χωριστεί η κάθε αλυσίδα με απόφαση του σχεδιαστή. Επίσης, τα μπλοκ των αλυσίδων διαμοιρασμού μπορεί να έχουν διαφορετικό μήκος. Η τεχνική απαιτεί την προσθήκη ενός επιπλέον ακροδέκτη εισόδου για το σήμα LPWRsel. Επιπρόσθετα, η τεχνική εφαρμόζεται μόνο σε Illinois αρχιτεκτονική μειώνοντας την κατανάλωση ισχύος μόνο κατά την παράλληλη λειτουργία [46].

2.4.7. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της Τάσης Τροφοδοσίας

Σε αυτή την τεχνική προτείνεται η μείωση της τάσης τροφοδοσίας κατά τον ΕΟΛ του κυκλώματος με στόχο τη μείωση της καταναλισκόμενης ισχύος. Αυτό επιτυγχάνεται, δεδομένου ότι η κατανάλωση ισχύος είναι ανάλογη του τετραγώνου της τάσης.

Ωστόσο, η ταχύτητα λειτουργίας του κυκλώματος ή αλλιώς η συχνότητα του ρολογιού είναι επίσης ανάλογη με την τάση τροφοδοσίας $f \propto V_{dd}$, με αποτέλεσμα την ανάγκη μείωσης της συχνότητας κατά τον ΕΟΛ. Επομένως, η τεχνική δεν ενδείκνυται



για έλεγχο στην ταχύτητα λειτουργίας καθώς συνήθως κάθε κύκλωμα είναι σχεδιασμένο να λειτουργεί σε μια συγκεκριμένη τάση τροφοδοσίας και ταχύτητα, διαφορετικά η συμπεριφορά του είναι ακαθόριστη.

2.4.8. Τεχνική Σάρωσης Χαμηλής Κατανάλωσης με Μείωση της Συχνότητας

Όπως προαναφέρθηκε η κατανάλωση ισχύος είναι ανάλογη της συχνότητας του ρολογιού ολίσθησης [20], εφόσον πρόκειται για τεχνική σάρωσης. Επομένως, από τη μία πλευρά η μείωση της συχνότητας του ρολογιού ολίσθησης έχει ως αποτέλεσμα τη μείωση της κατανάλωσης ενέργειας, αλλά από την άλλη πλευρά αυξάνει αναλογικά το χρόνο εφαρμογής του ελέγχου και κατά συνέπεια το κόστος του ελέγχου.

2.5. Έλεγχος Λειτουργίας κατά την Κανονική Λειτουργία του Κυκλώματος (On-line Testing)

Ανάλογα με τον χρόνο εφαρμογής του ο ΕΟΛ κατηγοριοποιείται στον έλεγχο λειτουργίας κατά την κανονική λειτουργία (on-line testing) [10] και στον έλεγχο λειτουργίας εκτός της κανονικής λειτουργίας (off line testing). Δηλαδή, ο off-line έλεγχος πραγματοποιείται όταν το κύκλωμα δεν χρησιμοποιείται (π.χ. εργοστασιακός έλεγχος). Από την άλλη μεριά ο on-line έλεγχος πραγματοποιείται όταν το κύκλωμα βρίσκεται σε χρήση. Ένα από τα κύρια πλεονεκτήματα του on-line ελέγχου, είναι η δυνατότητα να ανιχνεύει παροδικά σφάλματα (transient faults), δηλαδή μη επαναλαμβανόμενα σφάλματα, που οφείλονται σε τυχαίους μηχανισμούς παραγωγής σφαλμάτων (ακτινοβολία, διαταραχή της τάσης τροφοδοσίας, ηλεκτρομαγνητικές παρεμβολές κ.α.) και τα οποία κυρίως συμβάλλουν στη δημιουργία λαθών χρονισμού ή ήπιων λαθών (soft errors). Επίσης, ανιχνεύουν τα λεγόμενα διαλείποντα σφάλματα (intermittent faults), που είναι επαναλαμβανόμενα σφάλματα και οφείλονται στην υποβάθμιση των κυκλωματικών παραμέτρων. Ο on-line έλεγχος διακρίνεται επίσης σε ταυτόχρονο έλεγχο (concurrent testing) και σε περιοδικό έλεγχο (periodic testing). Στον ταυτόχρονο έλεγχο, το κύκλωμα ελέγχεται ταυτόχρονα με την κανονική του λειτουργία, ενώ στον περιοδικό, ο έλεγχος πραγματοποιείται περιοδικά όταν το κύκλωμα είναι σε κατάσταση αναμονής (idle mode of operation). Η τεχνική Razor



που θα αναπτύξουμε στο επόμενο κεφάλαιο προσφέρει ταυτόχρονο on-line έλεγχο για την ανίχνευση και διόρθωση λαθών χρονισμού.



ΚΕΦΑΛΑΙΟ 3. ΠΡΟΗΓΜΕΝΕΣ ΤΕΧΝΙΚΕΣ ΣΧΕΔΙΑΣΗΣ ΟΛΟΚΛΗΡΩΜΕΝΩΝ ΚΥΚΛΩΜΑΤΩΝ

3.1 Τεχνική Σχεδίασης Razor

3.2 Τεχνική Σχεδίαση με τη Χρήση Παλμικών Μανδαλωτών

3.1. Τεχνική Σχεδίασης Razor

3.1.1. Χρήση του Κυκλώματος Razor σε DVS Συστήματα

Η μεγαλύτερη αναγκαιότητα στην ανάπτυξη των ενσωματωμένων συστημάτων είναι η δυνατότητα μεγαλύτερης απόδοσης του κυκλώματος με όσο το δυνατόν μικρότερη κατανάλωση ενέργειας. Η γεφύρωση των δύο προαναφερθέντων στόχων, μπορεί να επιτευχθεί μέσω της δυναμικής κλιμάκωσης της τάσης (dynamic scaling voltage - DVS) [27]. Ένα DVS σύστημα εντοπίζει περιόδους χαμηλής χρήσης του επεξεργαστή, που μπορούν να ανεχθούν μείωση στη συχνότητα. Μειώνοντας τη συχνότητα είναι δυνατή και η αντίστοιχη μείωση της τάσης τροφοδοσίας. Επειδή η δυναμική ενέργεια αυξάνεται με ρυθμό τετραγώνου σε σχέση με την τάση τροφοδοσίας, η προσέγγιση DVS μπορεί να μειώσει τη συνολική κατανάλωση ενέργειας σημαντικά [28]. Δηλαδή, η προσέγγιση DVS επιτρέπει στα συστήματα να προσαρμόζουν τη συχνότητα και τα επίπεδα τάσης τους, στην απαίτηση του αντίστοιχου φορτίου. Η ελάχιστη τάση τροφοδοσίας που εγγυάται τη σωστή λειτουργία, ονομάζεται κρίσιμη τάση τροφοδοσίας. Αυτή η τάση πρέπει να είναι ικανή, ώστε να βεβαιώνεται η σωστή λειτουργία του κυκλώματος, υπό την επήρεια



των αναρίθμητων περιβαλλοντικών και λειτουργικών διακυμάνσεων που επηρεάζουν την απόδοση του κυκλώματος. Τέτοιες διακυμάνσεις περιλαμβάνουν πτώση της τάσης κατά τη διάρκεια λειτουργίας, διακυμάνσεις στη θερμοκρασία και θόρυβος.

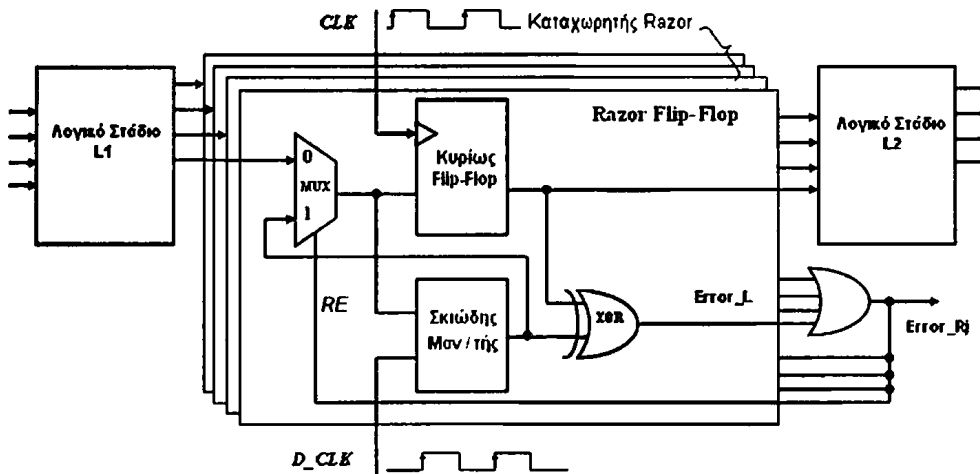
Η Razor τεχνική [29][30][31][32][33][34], μπορεί να χρησιμοποιηθεί στα DVS συστήματα και βασίζεται στη δυναμική ανίχνευση και διόρθωση λαθών χρονισμού στο κύκλωμα, ώστε να εξασφαλίσει τη σωστή λειτουργία του στην κρίσιμη τάση τροφοδοσίας υπό την παρουσία των ανωτέρω διακυμάνσεων. Επιπλέον, καθώς η ανίχνευση λάθους γίνεται με την επί τόπου παρακολούθηση της πραγματικής καθυστέρησης του κυκλώματος, καλύπτει τόσο τις τοπικές όσο και τις καθολικές διακυμάνσεις της καθυστέρησης. Η βασική ιδέα είναι ο προσδιορισμός της τάσης τροφοδοσίας, παρακολουθώντας το ρυθμό εμφάνισης λαθών κατά τη διάρκεια λειτουργίας του κυκλώματος. Για παράδειγμα, ένας εξαιρετικά χαμηλός ρυθμός εμφάνισης σφαλμάτων δείχνει ότι το κύκλωμα λειτουργεί επιτυχώς στην τρέχουσα συχνότητα και επομένως η τάση μπορεί να είναι χαμηλότερη. Αντίστροφα, ένας υψηλός ρυθμός εμφάνισης σφαλμάτων δείχνει ότι το κύκλωμα δεν μπορεί να ανταπεξέλθει στους περιορισμούς της περιόδου του ρολογιού και η τάση πρέπει να είναι υψηλότερη. Ο βέλτιστος ρυθμός σφαλμάτων εξαρτάται από διάφορους παράγοντες συμπεριλαμβανομένου του κόστους, της κατανάλωσης ισχύος για την αποκατάσταση του σφάλματος και τις συνολικές απαιτήσεις απόδοσης, αλλά γενικά είναι ένα μικρό, μη μηδενικό ποσοστό. Η χρήση της Razor τεχνικής επιτρέπει τη λειτουργία στην κρίσιμη τάση τροφοδοσίας χωρίς να επιφέρει καταστροφικά αποτελέσματα στη λειτουργία του κυκλώματος. Αντιθέτως εξισορροπεί ανάμεσα στην κατανάλωση ενέργειας εξαιτίας της διόρθωσης λαθών και της πρόσθετης εξασφάλισης ενέργειας, λόγω της λειτουργίας του σε χαμηλή τάση [30][31].

3.1.2. Δομή και Λειτουργία του κυκλώματος Razor

Στο σχήμα 3.1 παρουσιάζεται η δομή του κυκλώματος με βάση τη Razor τεχνική, που αποτελείται από δύο στοιχεία μνήμης. Το κυρίως flip-flop χρονίζεται από το κυρίως ρολόι clk του συστήματος και ο επονομαζόμενος σκιώδης μανδαλωτής (shadow-latch) λειτουργεί υποστηρικτικά για κάθε flip-flop και χρονίζεται από το ρολόι D_clk, στο οποίο έχει προστεθεί κατάλληλη καθυστέρηση σε σχέση με το ρολόι του flip-flop. Αρχικά ένας απλός τρόπος δημιουργίας του καθυστερημένου ρολογιού είναι με



την απλή αναστροφή του κυρίως ρολογιού ώστε να επέλθει καθυστέρηση κατά μισό κύκλο ρολογιού. Επιπλέον, στην είσοδο και των δύο στοιχείων μνήμης υπάρχει ένας πολυπλέκτης, που επιλέγει ανάλογα με το σήμα ελέγχου RE (Razor Enable), ανάμεσα στην είσοδο από τη συνδυαστική λογική στη λογική κατάσταση μηδέν και του βρόχου της ανάδρασης, στη λογική κατάσταση ένα.



Σχήμα 3.1 Κύκλωμα Razor

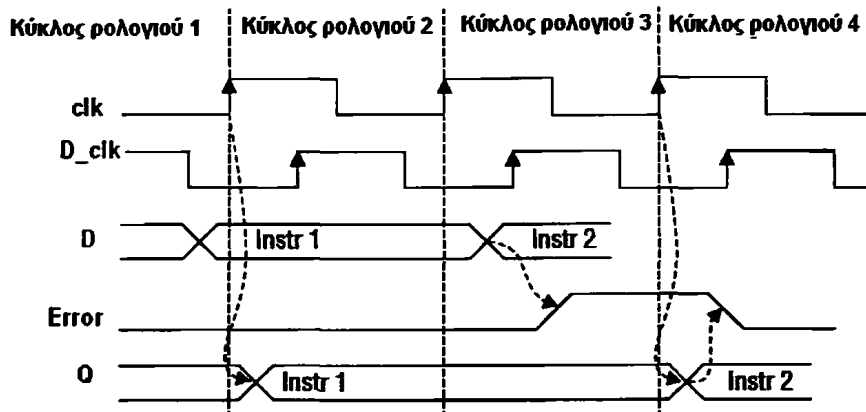
Σε κάθε κύκλο ρολογιού, αν η τιμή της συνδυαστικής λογικής, στάδιο L1, φτάσει εγκαίρως πριν το χρόνο αποκατάστασης (set-up time) του κυρίως flip-flop, σχετικά με την ανοδική ακμή του ρολογιού clk, τότε και το flip-flop και ο σκιώδης μανδαλωτής συλλαμβάνουν τα σωστά δεδομένα. Σε αυτή την περίπτωση το σήμα λάθους, Error_L, στην έξοδο της πύλης XOR παραμένει στο λογικό μηδέν αφήνοντας τη διαδρομή του κυκλώματος ανεπηρέαστη. Στην περίπτωση όμως που υπάρξει καθυστέρηση στην απόκριση της συνδυαστικής λογικής, το κυρίως flip-flop αποθηκεύει μια λανθασμένη τιμή, ενώ ο σκιώδης μανδαλωτής εξαιτίας της καθυστέρησης του ρολογιού του συλλαμβάνει την καθυστερημένη σωστή απόκριση. Το σήμα λάθους, Error_L, τότε αλλάζει σε λογικό ένα, ενεργοποιώντας τον πολυπλέκτη και μέσω της ανάδρασης του κυκλώματος η σωστή τιμή στην έξοδο του μανδαλωτή τροφοδοτείται στην είσοδο του κυρίως flip-flop και συλλαμβάνεται από αυτό στον επόμενο κύκλο ρολογιού ώστε να γίνει διαθέσιμη στο στάδιο L2. Το σήμα εξόδου Error_L της πύλης XOR, από κάθε κύκλωμα Razor, αποτελεί είσοδο σε ένα

δέντρο πυλών OR. Το σήμα εξόδου του δέντρου πυλών OR εισάγεται σε ένα κύκλωμα σύλληψης των λαθών που αποτελείται από ένα flip-flop για τον καθορισμό του σήματος ελέγχου RE του δεύτερου πολυπλέκτη. Προκειμένου ο σκιάδης μανδαλωτής να αποθηκεύει πάντα τα σωστά δεδομένα εισόδου, οι κατασκευαστές έχουν υπολογίσει την επιτρεπόμενη τάση λειτουργίας, ώστε υπό τη συνθήκη χειρότερης περίπτωσης η καθυστέρηση της απόκρισης της λογικής να μην ξεπερνά το χρόνο αποκατάστασης (set-up time) του σκιάδους μανδαλωτή.

Στην περίπτωση που συμβεί κάποιο λάθος στο στάδιο L1 κατά τη διάρκεια ενός κύκλου ρολογιού, τα δεδομένα στο στάδιο L2 είναι λανθασμένα και πρέπει να απομακρυνθούν. Όμως, επειδή ο σκιάδης μανδαλωτής περιέχει τα σωστά δεδομένα από το στάδιο L1, δεν χρειάζεται να επανεκτελεστεί η πράξη της L1 συνδυαστικής λογικής κατά τη διάρκεια αυτής της λανθασμένης φάσης. Αυτό είναι ένα πολύ βασικό χαρακτηριστικό του κυκλώματος Razor, γιατί επανατροφοδοτεί τη σωστή τιμή στη συνδυαστική λογική στον επόμενο κύκλο ρολογιού. Συνεπώς, για τη διόρθωση απαιτείται ένας πρόσθετος κύκλος ρολογιού που αποτελεί το κόστος της τεχνικής.

Στο σχήμα 3.2 [30][31] φαίνονται οι κυματομορφές χρονισμού του κυκλώματος Razor, όπου clk είναι το ρολόι του flip-flop, D_clk είναι το ρολόι του μανδαλωτή, D και Q είναι η είσοδος και η έξοδος του flip-flop. Κατά τον πρώτο κύκλο ρολογιού, τα δεδομένα Instr1 φτάνουν στο χρόνο αποκατάστασης του κυρίως flip-flop στην ανοδική ακμή του ρολογιού clk, οπότε συλλαμβάνονται και από τα δύο στοιχεία μνήμης και εμφανίζονται στην έξοδο Q. Το σήμα λάθους, Error, παραμένει στο λογικό μηδέν. Κατά το δεύτερο κύκλο ρολογιού τα δεδομένα της συνδυαστικής λογικής, Instr2, φτάνουν με καθυστέρηση οπότε στο flip-flop αποθηκεύονται λάθος δεδομένα Instr1, όπως φαίνεται στην έξοδο Q. Λόγω της καθυστέρησης του ρολογιού D_clk, ο μανδαλωτής συλλαμβάνει τα σωστά δεδομένα Instr2. Επομένως, στο δεύτερο κύκλο ρολογιού, το σήμα λάθους (Error) ενεργοποιείται ύστερα από τη σύγκριση των δεδομένων του μανδαλωτή και του flip-flop. Στον τρίτο κύκλο ρολογιού, τα δεδομένα Instr2 συλλαμβάνονται στο flip-flop μέσω της ανάδρασης και γίνονται διαθέσιμα στο επόμενο στάδιο L2 της συνδυαστικής λογικής.





Σχήμα 3.2 Κυματομορφές Χρονισμού Κυκλώματος Razor

3.1.3. Σχεδιαστικά Θέματα της Τοπολογίας Razor

Με σκοπό την αποδοτική χρήση του κυκλώματος Razor είναι απαραίτητη η εγγύηση ότι η καθυστέρηση που προστίθεται λόγω της ανίχνευσης και διόρθωσης λαθών καθώς και η πρόσθετη κατανάλωση ισχύος λόγω των επιμέρους δομών που αποτελούν το κύκλωμα, είναι η ελάχιστη δυνατή κατά τη διάρκεια της λειτουργίας ενός κυκλώματος απαλλαγμένου από λάθη. Ο πολυπλέκτης στην είσοδο του flip-flop προσθέτει καθυστέρηση και επιβάρυνση ισχύος, γι' αυτό μπορεί να τοποθετηθεί στη διαδρομή της ανάδρασης του αφέντη μανδαλωτή του flip-flop. Επομένως, η διαδρομή σήματος μέσα από το flip-flop επιβαρύνεται με μια μικρή αύξηση στη χωρητικότητα του φορτίου της διαδρομής. Ένα σημαντικό θέμα που προκύπτει είναι ότι χρησιμοποιώντας ένα καθυστερημένο ρολόι στο σκιάδη μανδαλωτή, αυξάνεται η πιθανότητα ότι ένα σύντομο μονοπάτι της συνδυαστικής λογικής θα εκληφθεί ως καθυστερημένη απόκριση και θα επακολουθήσει λανθασμένη διόρθωση. Για την αποφυγή του φαινομένου οι σχεδιαστές προσθέσανε έναν περιορισμό στο ελάχιστο μήκος του μονοπατιού στην είσοδο κάθε Razor Flip-Flop. Αυτός ο περιορισμός επιτυγχάνεται με την προσθήκη buffers κατά μήκος των γρήγορων μονοπατιών της συνδυαστικής λογικής ώστε να επιβραδυνθούν, επιβαρύνοντας το κύκλωμα, όμως με την ανάλογη αύξηση της ισχύος. Οι περιορισμοί του ελάχιστου μονοπατιού προκύπτουν από το άθροισμα της καθυστέρησης μεταξύ των δύο ρολογιών t_{delay} και του χρόνου συγκράτησης t_{hold} (hold-time) του σκιάδη μανδαλωτή. Είναι εμφανές, ότι μια μεγάλη καθυστέρηση του ρολογιού αυξάνει την επιβάρυνση της ισχύος, λόγω της

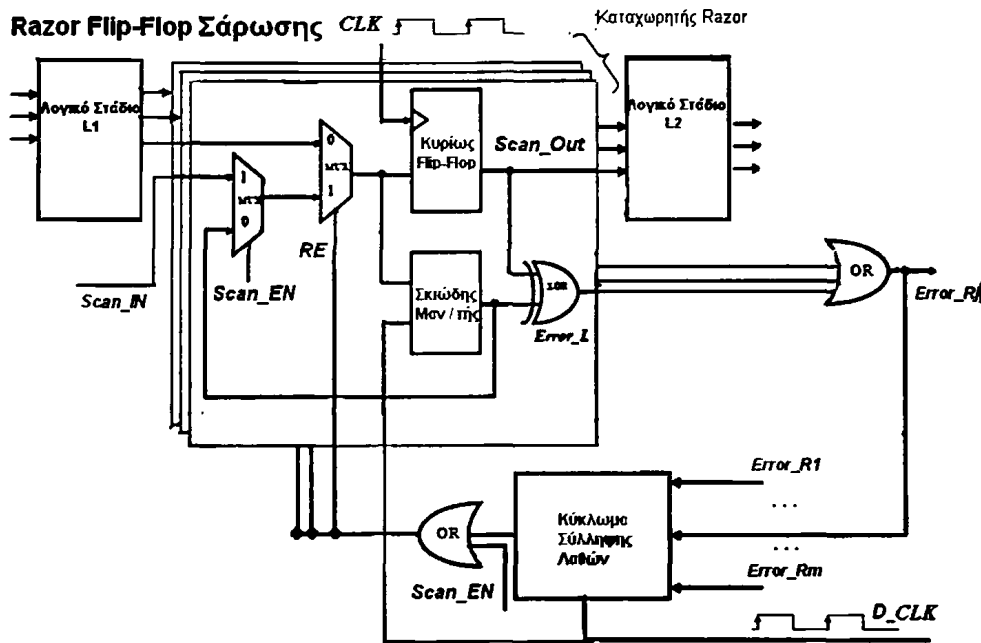
χρήσης επιπρόσθετων buffers. Όταν η καθυστέρηση του ρολογιού στο μισό της περιόδου ενός κύκλου ρολογιού απλοποιείται η δημιουργία του καθυστερημένου ρολογιού. Επιπλέον, η μείωση της πρόσθετης κατανάλωσης ισχύος που επιφέρει η χρήση της Razor τεχνικής, επιτυγχάνεται όταν σε μια σχεδίαση κάποια μη κρίσιμα flip-flop δεν αντικαθίστανται με το κύκλωμα Razor. Για παράδειγμα, αν για τη μέγιστη καθυστέρηση στην είσοδο ενός flip-flop, υπάρχει εγγύηση ότι θα είναι σαφώς εντός του κύκλου ρολογιού, υπό τη συνθήκη της χειρότερης περίπτωσης όσον αφορά την τάση τροφοδοσίας, τότε δεν είναι απαραίτητη η αντικατάστασή του με ένα Razor flip-flop.

3.1.4. Εφαρμογή της Σειριακής Σάρωσης στην Τοπολογία Razor

Η εφαρμογή της τοπολογίας Razor γίνεται πολύ εύκολα, με την προσθήκη του πολυπλέκτη της σάρωσης, πριν από τον ήδη υπάρχον πολυπλέκτη του κυκλώματος και μίας πύλης OR μετά το κύκλωμα σύλληψης λαθών, όπως φαίνεται στο σχήμα 3.3. Δημιουργείται με αυτό τον τρόπο ένα κύτταρο σάρωσης με τη χρήση του κυκλώματος Razor (Scan Razor Flip-Flop). Το σήμα ελέγχου του πολυπλέκτη είναι το Scan_EN και επιλέγει ανάμεσα στη σειριακή είσοδο Scan_IN στη λογική κατάσταση ένα ή του βρόχου της ανάδρασης του κυκλώματος, στη λογική κατάσταση μηδέν. Σε αυτό το σημείο είναι σημαντικό να αναφερθεί ότι ο συγχρονισμός των σημάτων ελέγχου των πολυπλεκτών είναι κοινός για όλα τα κύτταρα σάρωσης. Καθ' όλη τη διάρκεια της σειριακής σάρωσης το σήμα Scan_EN ελέγχει την έξοδο της πύλης OR, που έχει προστεθεί μετά το κύκλωμα σύλληψης λαθών, για την τοποθέτηση του σήματος ελέγχου RE του δεύτερου πολυπλέκτη στο λογικό ένα. Οπότε εφόσον το Scan_EN είναι λογικό ένα για τους n κύκλους του ελέγχου, το RE παραμένει στο λογικό ένα. Στη φάση της σύλληψης των αποκρίσεων (capture mode) ωστόσο, το Scan_EN παίρνει την τιμή λογικό μηδέν, οπότε και το RE αλλάζει σε λογικό μηδέν καθώς η έξοδος του κυκλώματος σύλληψης λαθών τίθεται με κατάλληλο τρόπο μόνιμα στο λογικό μηδέν, καθ' όλη τη διάρκεια της διαδικασίας (π.χ. χρήση σήματος clear στο σχετικό flip-flop). Στην κανονική λειτουργία, όμως, το Scan_EN τίθεται μόνιμα στο λογικό μηδέν, επομένως την έξοδο της πύλης OR και συνεπώς την ανάδραση καθορίζει τώρα το σήμα $Erpt_{R_j}$, για κάθε κύτταρο σάρωσης.



Όπως και στην τυπική αλυσίδα σάρωσης, έτσι και στην αλυσίδα σάρωσης των Razor flip-flop παρατηρείται μεγάλη κατανάλωση ισχύος εξαιτίας του πολύ μεγάλου αριθμού των μεταβάσεων που πραγματοποιούνται στις εισόδους της συνδυαστικής λογικής κατά την ολίσθηση των δεδομένων ελέγχου.



Σχήμα 3.3 Τοπολογία Razor για Σειριακή Σάρωση (Scan Razor Flip-Flop)

3.2. Τεχνική Σχεδίασης με τη Χρήση Παλμικών Μανδαλωτών

3.2.1. Τα Κυκλώματα με Παλμικούς Μανδαλωτές στην ASIC Σχεδίαση

Η κλασική ASIC σχεδίαση χρησιμοποιεί ακμοπυροδότητα flip-flop ως στοιχεία μνήμης λόγω της απλότητας της σχεδίασης του μοντέλου χρονισμού, καθώς ο διαθέσιμος χρόνος υπολογισμού για ένα συνδυαστικό μπλοκ που βρίσκεται μεταξύ δύο flip-flop είναι σταθερός. Από την άλλη πλευρά όμως, ένα σημαντικό ποσοστό του χρόνου της περιόδου του ρολογιού, της συνολικής κατανάλωσης ενέργειας και της επιφάνειας του κυκλώματος αποδίδεται στα flip-flop. Οι καθυστερήσεις που εισάγουν τα flip-flop είναι μεγάλες, με αποτέλεσμα τη μείωση της συχνότητας του ρολογιού. Επίσης, η διανομή του ρολογιού συμπεριλαμβανομένων και των flip-flop,



συχνά συνεισφέρει περισσότερο από το ήμισυ της συνολικής κατανάλωσης ενέργειας. Ένας εναλλακτικός τρόπος σχεδιασμού ASIC κυκλωμάτων υψηλής απόδοσης είναι με τη χρήση μανδαλωτών (level-sensitive latches) ως στοιχεία μνήμης, γιατί η καθυστέρηση διάδοσης σήματος σε αυτούς είναι μικρότερη σε σχέση με τα flip-flop [35]. Επιπλέον, αυτή η σχεδίαση παρουσιάζει, αν χρησιμοποιηθεί κατάλληλα, 'αναισθησία' στην ασάφεια του ρολογιού (εξαιτίας skew και jitter), λόγω της διαφάνειας του μανδαλωτή. Όμως το μοντέλο χρονισμού είναι πιο περίπλοκο και υπάρχει έλλειψη εργαλείων για την υποστήριξη της σχεδίασης. Επιπλέον, τα δεδομένα πρέπει να συγκρατούνται για μεγαλύτερο χρονικό διάστημα, αυξάνοντας τον πιθανό αριθμό των παραβιάσεων του χρόνου συγκράτησης (hold time). Από την άλλη πλευρά τα κυκλώματα με παλμικούς μανδαλωτές συνδυάζουν τα πλεονεκτήματα των μανδαλωτών και των flip-flop προσφέροντας υψηλή απόδοση και χαμηλή κατανάλωση ενέργειας. Ο παλμικός μανδαλωτής είναι ένας μανδαλωτής που οδηγείται από ένα σύντομο παλμό ρολογιού. Ο διαθέσιμος χρόνος για ένα μπλοκ συνδυαστικής λογικής μεταξύ δύο παλμικών μανδαλωτών δεν είναι σταθερός, αλλά η διακύμανση είναι σημαντικά μικρότερη απ' ό,τι στα κυκλώματα με μανδαλωτές. Επίσης, η εμβέλεια του αριθμού των παραβιάσεων του χρόνου συγκράτησης μειώνεται [36] - [39].

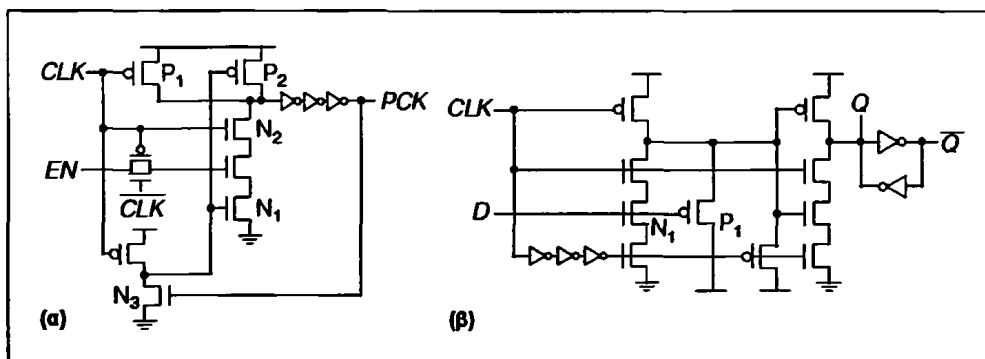
3.2.2. Παλμοδότηση Μανδαλωτών

Σε ένα κύκλωμα με παλμικούς μανδαλωτές ένα κανονικό ρολόι παραδίδεται από ένα ρολόι-πηγή σε γεννήτριες πολλαπλών παλμών, που ονομάζονται παλμοδότες και διασκορπίζονται σε μια περιοχή του κυκλώματος. Κάθε παλμοδότης στη συνέχεια παραδίδει ένα παλμό σε περισσότερους από έναν κοντινούς μανδαλωτές, γιατί σε μεγάλη απόσταση μπορεί ο παλμός να παραμορφωθεί. Έχουν προταθεί διάφορες υλοποιήσεις για τους παλμοδότες. Στο σχήμα 3.4 (α) φαίνεται ένας παλμοδότης, ο οποίος σε τεχνολογία 45nm, καταναλώνει περίπου πέντε φορές περισσότερη ενέργεια από έναν κλασικό μανδαλωτή, εξαιτίας των πολλών μεταβάσεων σήματος σε αυτόν, αν και χρειάζεται μόνο 30% επιπλέον επιφάνεια. Επομένως, η μείωση του αριθμού των παλμοδοτών είναι σημαντική για την καταναλισκόμενη ενέργεια.

Υπάρχει η δυνατότητα ενσωμάτωσης ενός παλμοδότη σε ένα μανδαλωτή, γνωστό ως παλμικό flip-flop, ώστε να αποφεύγεται η στρέβλωση του σήματος του παλμού. Το



σχήμα 3.4 (β) δείχνει ένα παράδειγμα ενός τέτοιου κυκλώματος. Οι αναστροφείς που χρησιμοποιούνται για την εισαγωγή καθυστέρησης στην αλυσίδα καθορίζουν το χρονικό διάστημα που μπορούν να συλληφθούν τα δεδομένα. Αυτό το χρονικό διάστημα είναι ισοδύναμο με το πλάτος του παλμού. Αφενός η ενσωμάτωση ενός παλμοδότη σε έναν μανδαλωτή έχει προφανή επιβάρυνση σε επιφάνεια και κατανάλωση ενέργειας. Αφετέρου ένας παλμικός μανδαλωτής προσθέτει μικρότερη ακολουθιακή επιβάρυνση (καθυστέρηση εντός του στοιχείου μνήμης) και έχει ένα απλό μοντέλο χρονισμού. Τα πλεονεκτήματα των παλμικών μανδαλωτών (κοινός παλμοδότης) και των παλμικών flip-flop (καμία παραμόρφωση του σχήματος του παλμού), μπορούν να συνδυαστούν με την ενσωμάτωση περισσότερων από έναν μανδαλωτές με έναν και μοναδικό παλμοδότη, δημιουργώντας ένα παλμικό καταχωρητή (pulsed-register) που μπορεί να χρησιμοποιηθεί σε μονοπάτια δεδομένων σε ένα κύκλωμα [37].



Σχήμα 3.4 (α) Παράδειγμα Παλμοδότη, (β) Παλμικό Flip-Flop

3.2.3. Χρόνος Συγκράτησης σε Κυκλώματα με Παλμικούς Μανδαλωτές

Δεδομένης της ομοιότητας του μοντέλου χρονισμού, ένας παλμικός μανδαλωτής μπορεί να θεωρηθεί ως ένα ταχύτερο flip-flop με σχετικά μεγαλύτερο χρόνο συγκράτησης (hold time). Η μετάβαση από μια τυπική ASIC σχεδίαση που χρησιμοποιεί flip-flop, σε μια εκδοχή με παλμικούς μανδαλωτές, γίνεται εύκολα αντικαθιστώντας όλα (ή μερικά) από τα flip-flop με μανδαλωτές [38]. Αυτή η απλή αλλαγή έχει ως αποτέλεσμα τη μείωση κατά περίπου 10% της περιόδου του ρολογιού

και 7% της κατανάλωσης ενέργειας, σύμφωνα με πειραματικά αποτελέσματα που έχουν παρουσιαστεί στη βιβλιογραφία [39].

Η ανάλυση του μοντέλου χρονισμού σε αυτή την περίπτωση είναι απαραίτητη, γιατί μπορεί να διαπιστωθεί αύξηση στις παραβιάσεις του χρόνου συγκράτησης. Τα δεδομένα που ξεκίνησαν τη διαδρομή τους στη συνδυαστική λογική με την ανοδική ακμή ενός παλμού πρέπει να φτάσουν στο μανδαλωτή που θα συλληφθούν, αφού έχει επέλθει ο χρόνος συγκράτησης από την καθοδική ακμή του συγκεκριμένου παλμού. Αυτός ο χρόνος ορίζεται ως ο περιορισμός ελάχιστης καθυστέρησης (constraint of minimum delay) ή χρόνος μόλυνσης λογικής (contamination time) t_{cd} σε ένα μονοπάτι από ένα παλμικό μανδαλωτή στον επόμενο και ισχύει

$$t_{cd} \geq t_{hold} - t_{ccq} + t_{pw},$$

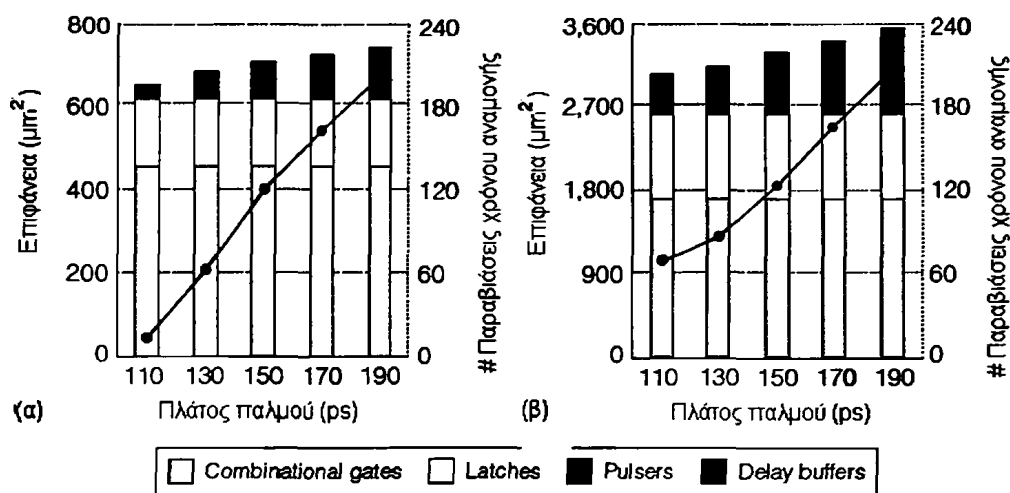
όπου t_{cd} είναι ο χρόνος μόλυνσης της λογικής, t_{hold} είναι ο χρόνος συγκράτησης του μανδαλωτή, t_{ccq} είναι ο χρόνος καθυστέρησης μόλυνσης του μανδαλωτή από το ρολόι έως την έξοδο Q και t_{pw} είναι ο χρόνος που διαρκεί το πλάτος του παλμού. Ο χρόνος συγκράτησης σε παλμικούς μανδαλωτές μετράται γύρω από την καθοδική ακμή του ρολογιού. Οι σχεδιαστές όμως αντιμετωπίζουν τους παλμικούς μανδαλωτές ως ακμοπυροδότητα flip-flop, όσον αφορά την ανάλυση χρονισμού, όπως προαναφέρθηκε. Επομένως, ορίζονται 'εικονικοί' χρόνοι συγκράτησης σε σχέση με την ανοδική ακμή του ρολογιού. Συνεπώς, ο 'εικονικός' χρόνος συγκράτησης είναι:

$$t_{hold-virtual} = t_{hold} + t_{pw}.$$

όπου t_{pw} είναι ο χρόνος που ορίζεται από το πλάτος του παλμού [40]. Ωστόσο, είναι πιθανό να συμβούν περισσότερες παραβιάσεις του χρόνου συγκράτησης με την αύξηση του εύρους του παλμού. Οι παραβιάσεις αυτές διορθώνονται εισάγοντας buffers [41] καθυστέρησης με επανασύνθεση [41] [42] για να αυξηθεί η καθυστέρηση στα σύντομα μονοπάτια της συνδυαστικής λογικής. Στο σχήμα 3.5 παρουσιάζεται ο αριθμός των παραβιάσεων του χρόνου συγκράτησης σε σχέση με την επιφάνεια που χρειάζονται οι buffers για τη διόρθωσή τους, για δύο διαφορετικά κυκλώματα. Ο πιο στενός παλμός που εφαρμόστηκε και στα δύο κυκλώματα είναι στα 110 ps. Παρατηρούμε ότι στο κύκλωμα (β) ακόμα και ένας τόσο στενός παλμός επιφέρει ουσιαστική αύξηση στην επιφάνεια που καλύπτουν οι buffers. Είναι προφανές από το σχήμα, ότι όσο αυξάνεται το πλάτος του παλμού, τόσο ο αριθμός των παραβιάσεων και των αντίστοιχων buffers που χρειάζονται για τη διόρθωσή τους μεγαλώνει. Μια



λύση θα μπορούσε να είναι ο ορισμός ρητών περιορισμών του χρόνου συγκράτησης κατά τη λογική σύνθεση, αλλά τα πειράματα έδειξαν ότι η διαφορά με την προσθήκη buffers ήταν πολύ μικρή.



Σχήμα 3.5 Σχέση μεταξύ Αριθμού Παραβιάσεων Χρόνου Συγκράτησης και Έξτρα Buffers για Διαφορετικά Πλάτη Παλμών για το Κύκλωμα s1423 ISCAS-89 (α) και το Κύκλωμα usbc open-core (β)

3.2.4. Περιορισμοί Μέγιστης Καθυστέρησης

Η ύπαρξη μανδαλωτών ή flip-flop μειώνει το χρόνο που είναι διαθέσιμος σε ένα κύκλο ρολογιού για την εκτέλεση των υπολογισμών της συνδυαστικής λογικής. Επομένως, στην περίπτωση που παρουσιαστεί καθυστέρηση στη συνδυαστική λογική, το στοιχείο μνήμης που τροφοδοτείται με το αποτέλεσμα δεν θα προλάβει να δειγματοληπτήσει σωστά τα δεδομένα και θα συλλάβει μια λανθασμένη τιμή. Το πρόβλημα αυτό καλείται αστοχία μέγιστης καθυστέρησης. Μια λύση που προσφέρεται είναι να υπολογιστεί ο πραγματικός χρόνος που είναι διαθέσιμος για τη λογική. Όσον αφορά στους παλμικούς μανδαλωτές, η περίοδος του ρολογιού θα πρέπει να είναι τουλάχιστον:

$$T_C \geq \max(t_{rdq} + t_{pd}, t_{pcq} + t_{pd} + t_{setup} - t_{pw}),$$

όπου t_{rdq} είναι η καθυστέρηση διάδοσης του μανδαλωτή από την είσοδο D έως την είσοδο Q, t_{pd} είναι ο χρόνος καθυστέρησης διάδοσης της λογικής, t_{pcq} είναι η



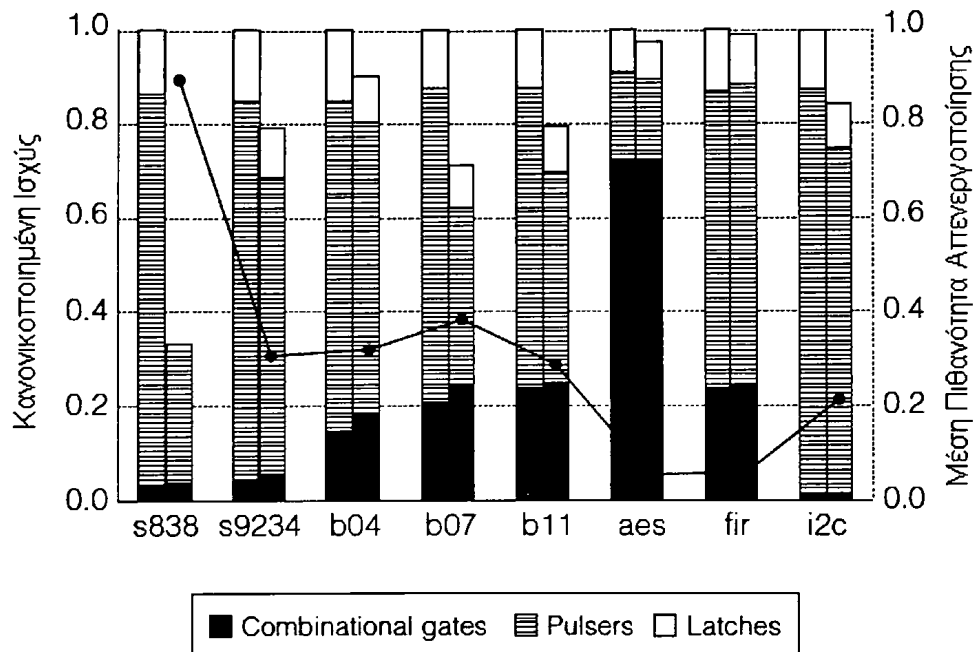
καθυστέρηση διάδοσης του μανδαλωτή από το ρολόι έως την έξοδο Q , t_{setup} είναι ο χρόνος αποκατάστασης του μανδαλωτή και t_{pw} είναι ο χρόνος που χρειάζεται το χρονικό πλάτος του παλμού [40].

Λύνοντας ως προς τη μέγιστη καθυστέρηση διάδοσης σήματος της λογικής, συμπεραίνουμε ότι η επιβάρυνση που εισάγει το στοιχείο μνήμης είναι ίση με την καθυστέρηση ενός μανδαλωτή, υπό την προϋπόθεση ότι ο παλμός είναι αρκετά ευρύς, ώστε να 'κρύβει' το χρόνο αποκατάστασης.

3.2.5. Απενεργοποίηση του Παλμοδότη

Στην περίπτωση που ένα κύκλωμα με παλμικούς μανδαλωτές προορίζεται για χαμηλής κατανάλωσης εφαρμογές, η απενεργοποίηση του ρολογιού είναι μια αποδοτική τεχνική, γιατί μπορεί να επιφέρει έως και 15% μείωση στην κατανάλωση ισχύος. Η απενεργοποίηση του ρολογιού στα κυκλώματα με παλμικούς μανδαλωτές μπορεί να υλοποιηθεί μέσω των παλμοδοτών και ονομάζεται απενεργοποίηση του παλμοδότη (pulser gating) [43]. Για να συμβεί αυτό είναι απαραίτητος ο εντοπισμός μιας ομάδας από μανδαλωτές που μπορούν να οδηγηθούν από τον ίδιο παλμοδότη ώστε να απενεργοποιηθούν ταυτόχρονα. Η εξοικονόμηση ισχύος καθορίζεται σε μεγάλο βαθμό από τη μέση πιθανότητα απενεργοποίησης. Συγκεκριμένα, παρατηρούμε ότι (από την έντονη γραμμή με τις κουκίδες στο σχήμα 3.6), όταν η πιθανότητα απενεργοποίησης είναι υψηλή, η καταναλισκόμενη ισχύς στον παλμοδότη μειώνεται σημαντικά.





Σχήμα 3.6 Κατανάλωση Ισχύος σε Κυκλώματα με τη Χρήση των Αρχικών Παλμικών Μανδαλωτών (Αριστεροί Ράβδοι) και σε Κυκλώματα με Απενεργοποίηση Παλμοδότη (Δεξιοί Ράβδοι). Η Έντονη Γραμμή με τις Κουκίδες Αναπαριστά τη Μέση Πιθανότητα Απενεργοποίησης.

ΚΕΦΑΛΑΙΟ 4. ΕΠΑΝΑΧΡΗΣΙΜΟΠΟΙΗΣΗ ΤΩΝ ΤΕΧΝΙΚΩΝ RAZOR ΣΤΗ ΣΥΝΘΕΣΗ ΑΠΟΔΟΤΙΚΩΝ ΑΛΥΣΙΔΩΝ ΣΑΡΩΣΗΣ

4.1 Πρώτη Προτεινόμενη Τεχνική Σειριακής Σάρωσης με Τροποποίηση του Razor Flip-Flop Σάρωσης

4.2 Δεύτερη Προτεινόμενη Τεχνική Σειριακής Σάρωσης χωρίς Τροποποίηση του Razor Flip-Flop Σάρωσης

Στο κεφάλαιο αυτό θα παρουσιάσουμε δύο εναλλακτικές προσεγγίσεις στην επαναχρησιμοποίηση της τεχνικής Razor στη σύνθεση αλυσίδων σάρωσης χαμηλής κατανάλωσης κατά την ολίσθηση των δεδομένων ελέγχου. Με τις προτεινόμενες μεθοδολογίες επαναχρησιμοποιείται στις αλυσίδες σάρωσης το πρόσθετο υλικό που απαιτεί η τεχνική Razor, έτσι ώστε το σχετικό κόστος να διαμοιράζεται στις δύο τεχνικές καθιστώντας την τεχνική Razor περισσότερο προσιτή για την αντιμετώπιση των εν-λειτουργία λαθών χρονισμού.

4.1. Πρώτη Προτεινόμενη Τεχνική Σειριακή Σάρωσης με Τροποποίηση του Razor Flip-Flop Σάρωσης

4.1.1. Εισαγωγή

Στην πρώτη τεχνική προτείνεται η τροποποίηση του Razor Flip-Flop, ώστε να δίνεται η δυνατότητα χρήσης του σε αλυσίδες σάρωσης για τον ΕΟΛ των ολοκληρωμένων κυκλωμάτων. Στόχος του κυκλώματος είναι η πιο αποδοτική χρήση των αλυσίδων



ανάμεσα στη σειριακή είσοδο Scan_IN στη λογική κατάσταση ένα ή στην ανάδραση του κυκλώματος στη λογική κατάσταση μηδέν. Η ανάδραση του κυκλώματος συνδέεται με το σκιαώδη μανδαλωτή, που χρονίζεται από το ρολόι D_clk. Ο δεύτερος πολυπλέκτης ελέγχεται από το σήμα ελέγχου RE (Razor Enable) και επιλέγει, είτε την είσοδο από τη λογική στη λογική κατάσταση μηδέν, είτε την έξοδο του πρώτου πολυπλέκτη στη λογική κατάσταση ένα. Στην τροποποιημένη έκδοση του κυκλώματος, τα δύο στοιχεία μνήμης οδηγούν ένα νέο πολυπλέκτη, ο οποίος ελέγχεται από το σήμα ελέγχου FF_LA. Επομένως, τα δεδομένα στην έξοδο του flip-flop τροφοδοτούν τόσο τη συνδυαστική λογική, όσο και την έξοδο Scan_Out του πολυπλέκτη στη λογική κατάσταση ένα. Τα δεδομένα στην έξοδο του μανδαλωτή από την άλλη μεριά, τροφοδοτούν τόσο το βρόχο ανάδρασης του κυκλώματος, όσο και τη σειριακή έξοδο Scan_Out του πολυπλέκτη στη λογική κατάσταση μηδέν. Σύμφωνα με την αρχική σχεδίαση του κυκλώματος Razor, οι έξοδοι του flip-flop και του μανδαλωτή συνεχίζουν να οδηγούν μια πύλη XOR, όπου απαιτείται, η οποία κατά την κανονική λειτουργία του κυκλώματος ελέγχει την ύπαρξη ή μη λάθους χρονισμού στο κύκλωμα.

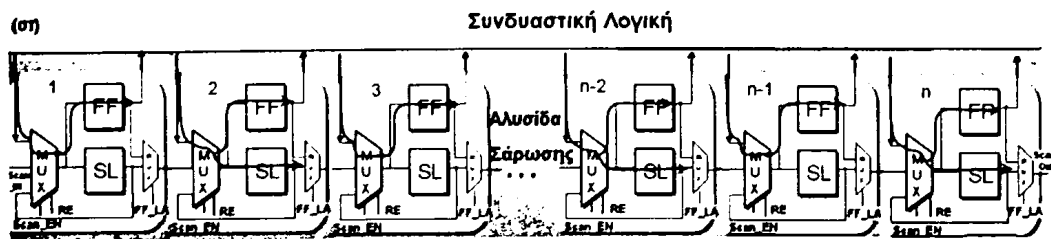
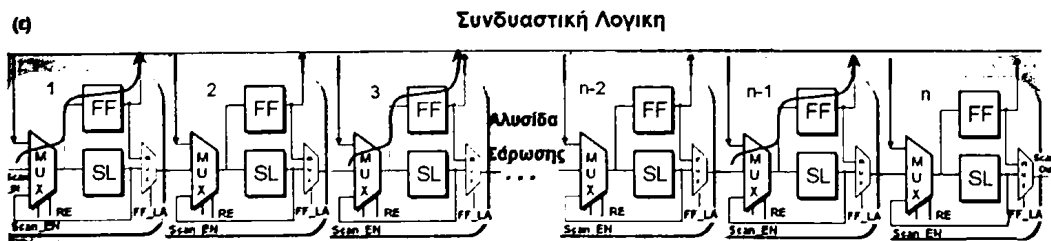
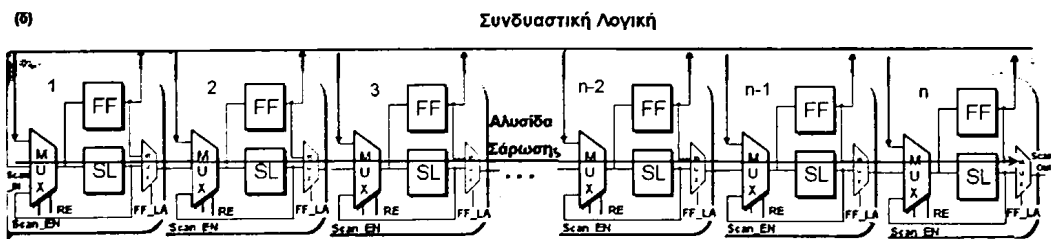
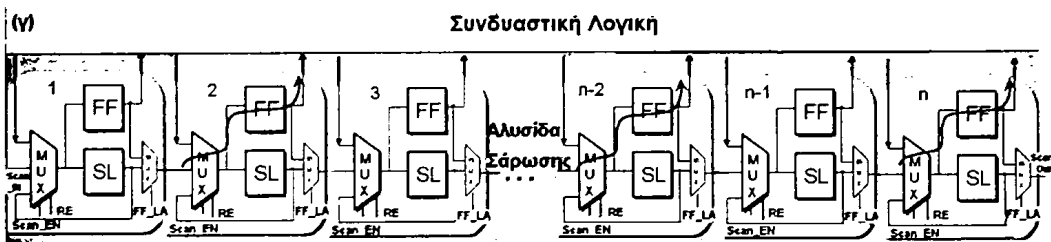
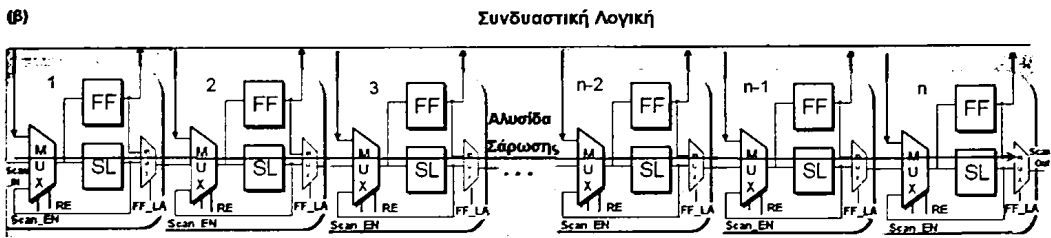
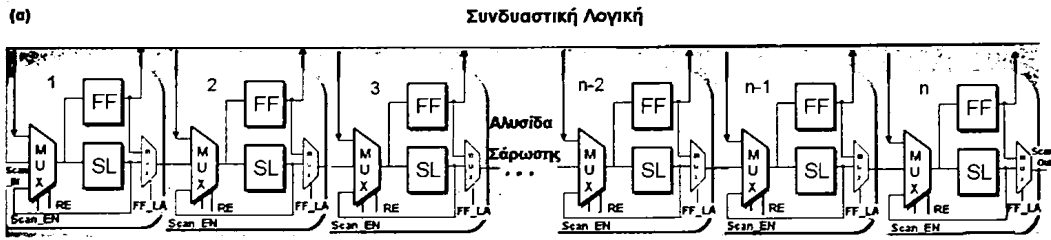
4.1.3. Σειριακή Σάρωση με την Πρώτη Προτεινόμενη Τεχνική

Επομένως, μετά την αντικατάσταση όλων των κυττάρων σάρωσης της αλυσίδας σάρωσης με το Τροποποιημένο Razor flip-flop Σάρωσης, η αλυσίδα σάρωσης που προκύπτει, φαίνεται στο σχήμα 4.2 (α), όπου οι δύο πολυπλέκτες εισόδου έχουν ενοποιηθεί σε ένα, για απλούστευση του σχήματος. Η εκτέλεση του ΕΟΑ με τη χρήση σειριακής σάρωσης ξεκινάει αρχικά με την ολίσθηση των n bits του διανύσματος ελέγχου $T = \langle T_1, T_2, T_3, \dots, T_{n-1}, T_n \rangle$, εντός της αλυσίδας σάρωσης και την ταυτόχρονη ολίσθηση εκτός του διανύσματος των αποκρίσεων $R = \langle R_1, R_2, R_3, \dots, R_{n-1}, R_n \rangle$ του προηγούμενου διανύσματος ελέγχου. Το διάνυσμα των αποκρίσεων του προηγούμενου διανύσματος ελέγχου έχει δεσμευτεί στα flip-flop κατά την προηγούμενη φάση της σύλληψης. Ο αριθμός των κύκλων ρολογιού είναι ίσος με το μήκος της αλυσίδας σάρωσης. Στην κλασική σχεδίαση της σειριακής σάρωσης, για την ολίσθηση του διανύσματος ελέγχου χρησιμοποιούνται flip-flop και όχι μανδαλωτές. Η προτεινόμενη τεχνική χρησιμοποιεί τους μανδαλωτές της Razor τοπολογίας αντί των flip-flop για την ολίσθηση των δεδομένων ελέγχου. Αυτή όμως η



διαφοροποίηση απαιτεί μεγάλη προσοχή στην εφαρμογή της καθώς ελλοχεύει ο κίνδυνος της διάδοσης των τιμών του διανύσματος ελέγχου μέσα από πολλαπλές βαθμίδες της αλυσίδας σάρωσης σε ένα κύκλο του ρολογιού, με αποτέλεσμα τα δεδομένα ελέγχου να μην είναι έγκυρα και ο ΕΟΛ να αποτυγχάνει. Αυτό πραγματοποιείται με τη χρήση συμπληρωματικών ρολογιών χρονισμού στους σκιδώδεις μανδαλωτές. Έτσι, τα περιττά κύτταρα σάρωσης χρονίζονται από το ρολόι D_clk , ενώ τα άρτια από το συμπληρωματικό του, D_clk' . Επομένως, όταν ένας μανδαλωτής του Τροποποιημένου Razor Flip-Flop Σάρωσης της αλυσίδας σάρωσης είναι σε διαφάνεια, η τιμή του διανύσματος διαδίδεται μέχρι τον επόμενο σε σειρά μανδαλωτή, ο οποίος βρίσκεται στη συμπληρωματική κατάσταση, δηλαδή σε μνήμη και εμποδίζει την τιμή να διαδοθεί περαιτέρω στην αλυσίδα. Σύμφωνα με τα παραπάνω, καθίσταται απαραίτητη και η ύπαρξη δύο ρολογιών για τα flip-flop. Το ρολόι f_clk χρονίζει τα περιττά flip-flop ενώ το f_clk' χρονίζει τα άρτια. Επομένως, στο μισό κάθε κύκλου ρολογιού οι τιμές του διανύσματος ελέγχου ολισθαίνουν εντός της αλυσίδας σάρωσης στα περιττά latches και στον άλλο μισό κύκλο ρολογιού ολισθαίνουν στα άρτια latches. Ταυτόχρονα στην έξοδο Scan_Out εμφανίζονται οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου που είχε εφαρμοστεί.





Σχήμα 4.2 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Τροποποιημένο Razor Flip-Flop Σάρωσης. (β) Ολίσθηση των Άρτιων Τιμών του Διανύσματος Ελέγχου και των Αντίστοιχων Αποκρίσεων, (γ) Δέσμευση των Άρτιων Τιμών του Διανύσματος Ελέγχου στα Flip-Flop των Άρτιων Κυττάρων Σάρωσης και Εφαρμογή τους στη Λογική, (δ) Ολίσθηση των Περιττών Τιμών του Διανύσματος Ελέγχου και των Αντίστοιχων Αποκρίσεων, (ε) Δέσμευση των Περιττών Τιμών του Διανύσματος Ελέγχου στα Flip-Flop των Περιττών Κυττάρων Σάρωσης και Εφαρμογή τους στη Λογική, (στ) Δέσμευση των Αποκρίσεων στα Flip-Flop των Περιττών Κυττάρων Σάρωσης και στα Flip-Flop και στους Μανδαλωτές των Άρτιων Κυττάρων Σάρωσης

Αρχικά, ολισθαίνουν όλες οι άρτιες τιμές $T_n, T_{n-2}, T_{n-4} \dots T_4, T_2$, του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης, οι οποίες συλλαμβάνονται στα άρτια flip-flop των κυττάρων σάρωσης και εφαρμόζονται στη λογική. Παράλληλα, στην έξοδο Scan_out ολισθαίνουν όλες οι άρτιες τιμές $R_n, R_{n-2}, R_{n-4} \dots R_4, R_2$, των αποκρίσεων του προηγούμενου διανύσματος στα άρτια flip-flop, όπως φαίνεται στο σχήμα 4.2 (β). Αναλυτικά, μέχρι να ολισθήσουν εντός της αλυσίδας σάρωσης όλες οι άρτιες τιμές $T_n, T_{n-2}, T_{n-4} \dots T_4, T_2$, του διανύσματος ελέγχου, τα σήματα ελέγχου των πολυπλεκτών Scan_EN και RE είναι στο λογικό ένα, ενώ του FF_LA είναι στο λογικό μηδέν. Κατά τη φάση της ολίσθησης της τελευταίας άρτιας τιμής T_2 του διανύσματος ελέγχου, το flip-flop κάθε άρτιου κυττάρου σάρωσης έχει ήδη στην είσοδό του το ανάλογο άρτιο bit του διανύσματος ελέγχου που θα εφαρμοστεί στη συνδυαστική λογική. Δηλαδή το flip-flop του δεύτερου κυττάρου σάρωσης έχει στην είσοδό του το T_2 , το τέταρτο έχει το T_4 , ..., και το τελευταίο έχει το T_n . Οπότε μετά την ανοδική ακμή του D_clk' , διεγείρεται το ρολόι f_clk' των άρτιων flip-flop, τα οποία δεσμεύουν τις άρτιες τιμές του διανύσματος ελέγχου που βρίσκονται στις εισόδους τους και τις εφαρμόζουν στη συνδυαστική λογική, όπως φαίνεται στο σχήμα 4.2 (γ). Ταυτόχρονα, έχει ολοκληρωθεί η ολίσθηση εκτός της αλυσίδας σάρωσης των άρτιων αποκρίσεων $R_n, R_{n-2}, R_{n-4} \dots R_4, R_2$ του προηγούμενου διανύσματος ελέγχου. Για το άλλο μισό του ίδιου κύκλου ρολογιού, τα άρτια κύτταρα σάρωσης είναι σε διαφάνεια και τα περιττά σε μνήμη. Αυτό σημαίνει ότι δεν μπορεί να ολισθήσει εντός της αλυσίδας καμία τιμή. Σε αυτή τη χρονική στιγμή, αλλάζοντας σε λογικό ένα το σήμα FF_LA του τρίτου πολυπλέκτη, επιλέγεται η έξοδος των flip-flop, με αποτέλεσμα να ολισθήσουν οι περιττές αποκρίσεις $R_{n-1}, R_{n-3} \dots R_3, R_1$, του προηγούμενου διανύσματος ελέγχου από τα περιττά κύτταρα σάρωσης στην αλυσίδα. Το σήμα FF_LA είναι κοινό για όλα τα κύτταρα σάρωσης, με αποτέλεσμα να

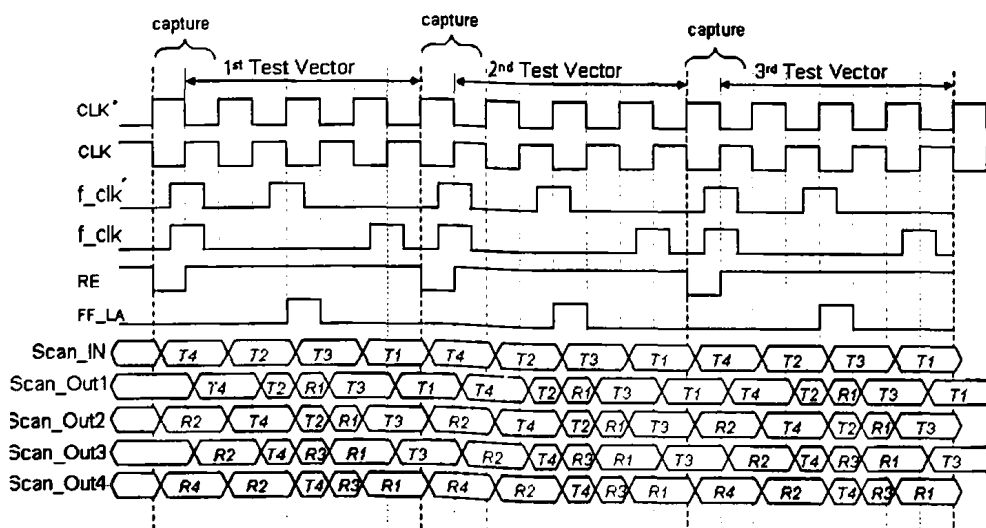


εμφανιστούν ταυτόχρονα και οι άρτιες τιμές του διανύσματος ελέγχου στην αλυσίδα χωρίς αυτό να επηρεάζει τη λειτουργία. Ωστόσο, επειδή τα περιττά κύτταρα σάρωσης είναι σε μνήμη οι τιμές δεν θα διαδοθούν. Στην τελική έξοδο *Scan_Out*, όμως, εμφανίζεται το δεξιότερο άρτιο bit, T_n , για αυτόν τον κύκλο ρολογιού. Για τους επόμενους κύκλους ρολογιού, το *FF_LA* αλλάζει ξανά σε λογικό μηδέν, ενώ τα σήματα ελέγχου των δύο πολυπλεκτών *Scan_EN* και *RE* παραμένουν ως έχουν στο λογικό ένα. Ο ΕΟΛ συνεχίζει ομοίως, με την ολίσθηση των περιττών τιμών T_{n-1} , T_{n-3} , ..., T_3 , T_1 , του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης και την ταυτόχρονη ολίσθηση των αντίστοιχων περιττών αποκρίσεων R_{n-1} , R_{n-3} , ..., R_3 , R_1 , εκτός της αλυσίδας σάρωσης, όπως φαίνεται στο σχήμα 4.2 (δ). Κατά το ήμισυ του n -οστού ρολογιού ο μανδαλωτής κάθε περιττού κυττάρου σάρωσης είναι σε διαφάνεια και το αντίστοιχο flip-flop έχει στην είσοδό του το ανάλογο περιττό bit του διανύσματος ελέγχου που θα εφαρμοστεί στη λογική. Δηλαδή το flip-flop του πρώτου κυττάρου σάρωσης έχει στην είσοδό του το T_1 , το τρίτο έχει το T_3 , ..., και το προτελευταίο έχει το T_{n-1} . Οπότε μετά την ανοδική ακμή του *D_clk*, διεγείρεται το ρολόι *f_clk* του flip-flop των περιττών κυττάρων, τα οποία δεσμεύουν τις περιττές τιμές του διανύσματος ελέγχου που βρίσκονται στις εισόδους τους και εφαρμόζονται στη λογική, όπως φαίνεται στο σχήμα 4.2 (ε). Ταυτόχρονα, έχει ολοκληρωθεί η ολίσθηση εκτός της αλυσίδας σάρωσης των περιττών αποκρίσεων R_{n-1} , R_{n-3} , ..., R_3 , R_1 , του προηγούμενου διανύσματος ελέγχου. Το άλλο μισό του ίδιου κύκλου ρολογιού, είναι κέρδος καθώς έχει ολοκληρωθεί η διαδικασία της ολίσθησης (shift mode). Οπότε, ακολουθεί άμεσα η φάση της σύλληψης των αποκρίσεων της λογικής (capture mode), όπου το *RE* αλλάζει σε λογικό μηδέν. Τα ρολόγια *f_clk* και *f_clk'* ενεργοποιούνται ταυτόχρονα, πυροδοτώντας τα flip-flop των περιττών και άρτιων flip-flop, αντίστοιχα, ώστε να συλλάβουν τις αποκρίσεις της λογικής. Ο μανδαλωτής κάθε περιττού κυττάρου σάρωσης είναι σε μνήμη και κάθε άρτιου σε διαφάνεια. Επομένως, στα περιττά κύτταρα σάρωσης οι αποκρίσεις δεμεύονται μόνο στα flip-flop. Στα άρτια κύτταρα σάρωσης οι αποκρίσεις δεμεύονται στα αντίστοιχα flip-flop αλλά ολισθαίνουν και στους μανδαλωτές, όπως φαίνεται στο σχήμα 4.2 (στ), οπότε στην έξοδο *Scan_Out* εμφανίζεται η δεξιότερη τιμή, R_n , των αποκρίσεων.



4.1.4. Παράδειγμα Εφαρμογής της Πρώτης Προτεινόμενης Τεχνικής στη Σειριακή Σάρωση

Ακολουθεί ένα παράδειγμα του ΕΟΛ ενός κυκλώματος με μια αλυσίδα σάρωσης αποτελούμενη από n στοιχεία Τροποποιημένου Razor Flip-Flop Σάρωσης. Στο σχήμα 4.3 παρουσιάζεται το διάγραμμα των χρονισμών των σημάτων του κυττάρου σάρωσης για το συγκεκριμένο παράδειγμα και για την εφαρμογή τριών διανυσμάτων ελέγχου. Πρόκειται για την αναπαράσταση της λειτουργίας μιας αλυσίδας σάρωσης που αποτελείται από τέσσερα Τροποποιημένα Razor Flip-Flop Σάρωσης, στα οποία εφαρμόζονται τρία διανύσματα ελέγχου και εξάγονται οι αντίστοιχες αποκρίσεις. Τα σήματα Scan_Out1, Scan_Out2, Scan_Out3 και Scan_Out4 είναι οι έξοδοι των μανδάλων του πρώτου, δεύτερου, τρίτου και τέταρτου κυττάρου σάρωσης, αντίστοιχα. Έστω οι δυαδικές τιμές T_1, T_2, T_3, T_4 , που αποτελούν το διάνυσμα ελέγχου και R_1, R_2, R_3, R_4 , οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου που εφαρμόστηκε στο κύκλωμα. Η ολίσθηση εντός και εκτός της αλυσίδας σάρωσης ξεκινάει από το T_4 για το διάνυσμα ελέγχου και το R_4 του διανύσματος των αποκρίσεων, αντίστοιχα.



Σχήμα 4.3 Διάγραμμα Χρονισμών



Αναλυτικά, το παράδειγμα ξεκινάει παρουσιάζοντας τη φάση σύλληψης (capture mode) των αποκρίσεων του προηγούμενου διανύσματος. Επειδή στη φάση αυτή ο μανδαλωτής κάθε άρτιου κυττάρου σάρωσης είναι σε κατάσταση διαφάνειας, είναι αντιληπτό ότι στη σειριακή έξοδο Scan_Out2 και Scan_Out4 υπάρχει η απόκριση R_2 και R_4 , αντίστοιχα. Κατά το ήμισυ του πρώτου κύκλου ρολογιού, ο μανδαλωτής κάθε περιττού κυττάρου σάρωσης είναι σε κατάσταση διαφάνειας ενώ ο μανδαλωτής κάθε άρτιου κυττάρου σάρωσης είναι σε κατάσταση μνήμης. Το T_4 περνάει από τη σειριακή είσοδο Scan_IN και τροφοδοτεί μέσω των πολυπλεκτών (Scan_EN = 1, RE = 1), τις εισόδους του flip-flop και του μανδαλωτή ταυτόχρονα. Μέσω του τρίτου πολυπλέκτη (FF_LA = 0), το T_4 γίνεται διαθέσιμο στην είσοδο του δεύτερου κυττάρου σάρωσης. Παράλληλα, το δεύτερο σε σειρά κύτταρο σάρωσης τροφοδοτεί το τρίτο με την τιμή R_2 (FF_LA = 0). Το τέταρτο κύτταρο σάρωσης, με τη σειρά του, βγάζει στην έξοδο Scan_Out4 το R_4 . Κατά το δεύτερο ήμισυ του πρώτου κύκλου ρολογιού, ο μανδαλωτής κάθε περιττού κυττάρου σάρωσης είναι σε κατάσταση μνήμης ενώ ο μανδαλωτής κάθε άρτιου κυττάρου σάρωσης είναι σε κατάσταση διαφάνειας. Επομένως, το T_4 ολισθαίνει στο δεύτερο κύτταρο σάρωσης ενώ το R_2 στο τέταρτο και στην τελική έξοδο Scan_Out4. Στη συνέχεια, στο πρώτο μισό του δεύτερου κύκλου ρολογιού, το T_2 εισέρχεται, λόγω διαφάνειας, στο πρώτο κύτταρο σάρωσης και γίνεται διαθέσιμο στο δεύτερο. Από το τρίτο κύτταρο σάρωσης ολισθαίνει το T_4 και γίνεται διαθέσιμο στο τέταρτο. Επομένως, σε αυτή τη φάση το f_clk' πυροδοτεί τα flip-flop του δεύτερου και τέταρτου κυττάρου σάρωσης, με αποτέλεσμα τη σύλληψη του T_2 και T_4 , αντίστοιχα. Η έξοδος Scan_Out4 παραμένει στο R_2 . Στο επόμενο μισό του ίδιου κύκλου, το σήμα FF_LA του τρίτου πολυπλέκτη επιλέγει την έξοδο των flip-flop κάθε κυττάρου σάρωσης όντας στο λογικό ένα. Συνεπώς, το R_1 ολισθαίνει στο δεύτερο κύτταρο σάρωσης και το R_3 στο τέταρτο, επειδή είναι και τα δύο σε κατάσταση διαφάνειας. Το Scan_Out2 είναι T_2 , αλλά η τιμή δεν ολισθαίνει στο τρίτο κύτταρο σάρωσης που βρίσκεται σε μνήμη. Το Scan_Out4, είναι T_4 . Στο επόμενο μισό του τρίτου κύκλου ρολογιού, ολισθαίνει το T_3 στο πρώτο κύτταρο σάρωσης και το R_1 από το δεύτερο στο τρίτο κύτταρο σάρωσης, λόγω διαφάνειας. Στην έξοδο Scan_Out4, ολισθαίνει η τιμή R_3 . Στο άλλο μισό, το T_3 ολισθαίνει στο δεύτερο κύτταρο σάρωσης και το R_1 στο τέταρτο, βγαίνοντας ταυτόχρονα στην έξοδο Scan_Out4. Στον τέταρτο κύκλο, τέλος, ολισθαίνει στο



πρώτο κύτταρο σάρωσης το T_1 και στο τρίτο το T_3 . Επομένως, σε αυτή τη φάση το f_clk πυροδοτεί τα flip-flop του πρώτου και τρίτου κυττάρου σάρωσης, με αποτέλεσμα τη σύλληψη του T_1 και T_3 , αντίστοιχα. Η έξοδος του Scan_Out4 παραμένει R_1 . Ακολουθεί ο πέμπτος κύκλος της σύλληψης των αποκρίσεων του κυκλώματος. Το σήμα ελέγχου RE του δεύτερου πολυπλέκτη αλλάζει σε λογικό μηδέν. Τα f_clk και f_clk' πυροδοτούν τα περιττά και τα άρτια flip-flop, αντίστοιχα, ώστε να συλλάβουν τα νέα R_1 , R_2 , R_3 και R_4 . Οι μανδαλωτές των άρτιων κυττάρων σάρωσης είναι σε διαφάνεια, οπότε και πάλι στο Scan_Out2 εμφανίζεται το R_2 και στο Scan_Out4 εμφανίζεται το R_4 .

4.1.5. Λειτουργία της Πρώτης Προτεινόμενης Τεχνικής στην Κανονική Λειτουργία

Το κύκλωμα, παρά την προσθήκη του επιπλέον πολυπλέκτη, που επιλέγει ανάμεσα στην έξοδο του flip-flop και του μανδαλωτή συνεχίζει να λειτουργεί όπως το κλασικό κύκλωμα Razor. Κατά την κανονική λειτουργία του κυκλώματος απενεργοποιείται η είσοδος Scan_IN, θέτοντας απλά το σήμα ελέγχου Scan_EN του πρώτου πολυπλέκτη σταθερά στο μηδέν. Επομένως, η ανάδραση του κυκλώματος γίνεται διαθέσιμη. Επίσης, το σήμα FF_LA τίθεται σταθερά στη λογική κατάσταση ένα, με αποτέλεσμα να απενεργοποιείται η έξοδος Scan_Out. Όσον αφορά το σήμα ελέγχου RE του δεύτερου πολυπλέκτη, καθορίζεται από το σήμα Error_Rj μόνο, αφού το Scan_EN στην είσοδο της πύλης OR που έχει προστεθεί μετά το κύκλωμα σύλληψης λαθών, είναι σταθερά στο μηδέν.

4.2. Δεύτερη Προτεινόμενη Τεχνική Σειριακή Σάρωσης χωρίς Τροποποίηση του Razor Flip-Flop Σάρωσης

4.2.1. Εισαγωγή

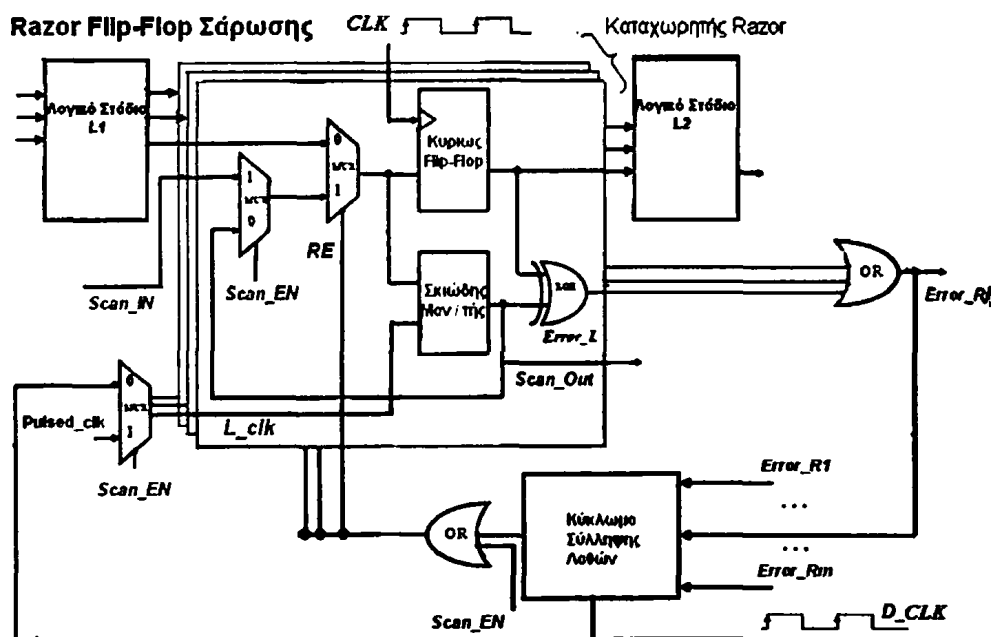
Στη δεύτερη τεχνική που προτείνεται στην εργασία γίνεται η χρήση του κυκλώματος Razor, χωρίς τροποποίησή του, σε αλυσίδες σάρωσης για τον έλεγχο της ορθής λειτουργίας (ΕΟΛ) των ολοκληρωμένων κυκλωμάτων. Στόχος του κυκλώματος είναι η πιο αποδοτική χρήση των αλυσίδων σάρωσης, ώστε να επιτυγχάνεται χαμηλή



κατανάλωση ενέργειας κατά την ολίσθηση των διανυσμάτων ελέγχου στην αλυσίδα σάρωσης καθώς και ο πιο αποδοτικός έλεγχος στην ταχύτητα λειτουργίας του κυκλώματος (at-speed scan testing).

4.2.2. Περιγραφή Κυττάρου Σάρωσης με τη Δεύτερη Προτεινόμενη Τεχνική

Για την εφαρμογή της δεύτερης προτεινόμενης τεχνικής δεν τροποποιείται το Razor Flip-Flop Σάρωσης, σχήμα 3.3. Χρειάζεται όμως μια μικρή προσθήκη ενός απλού πολυπλέκτη περιφερειακά του κυκλώματος για τον καθολικό έλεγχο του ρολογιού των σκιωδών μανδαλωτών, όπως φαίνεται στο σχήμα 4.4 .



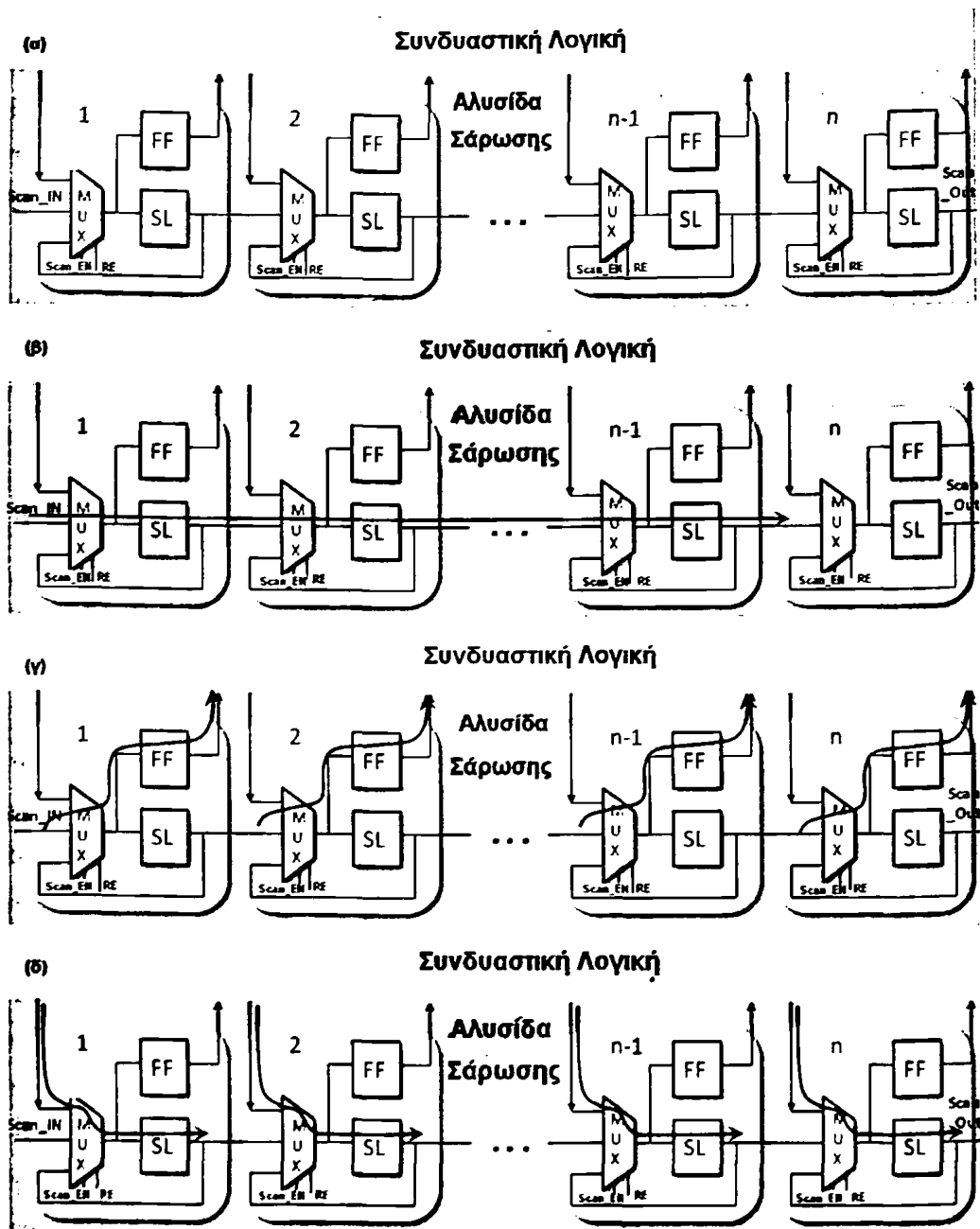
Σχήμα 4.4 Κύτταρο Σάρωσης με την Τεχνολογία Razor (Scan Razor flip-flop)

Ο σκιώδης μανδαλωτής χρονίζεται από το ρολόι L_clk . Το L_clk εναλλάσσεται μέσω του πρόσθετου πολυπλέκτη ανάμεσα στο καθυστερημένο ρολόι D_clk και σε ένα παλμικό $Pulsed_clk$, μικρού ενεργού χρόνου ανάλογα με τις συνθήκες λειτουργίας. Το σήμα ελέγχου του πρόσθετου πολυπλέκτη είναι, το ήδη υπάρχον, $Scan_EN$.

4.2.3. Σειριακή Σάρωση με τη Δεύτερη Προτεινόμενη Τεχνική

Η αλυσίδα σάρωσης με το Razor Flip-Flop Σάρωσης, φαίνεται στο σχήμα 4.5 (α), όπου και πάλι οι δύο πολυπλέκτες έχουν ενοποιηθεί σε έναν για απλότητα. Η εκτέλεση της σειριακής σάρωσης ξεκινάει αρχικά με την ολίσθηση των n bits του διανύσματος ελέγχου $T = \langle T_1, T_2, T_3, \dots, T_{n-2}, T_{n-1}, T_n \rangle$, (το T_n ολισθαίνει πρώτο) εντός της αλυσίδας σάρωσης και την ταυτόχρονη ολίσθηση εκτός του διανύσματος των αποκρίσεων του προηγούμενου διανύσματος ελέγχου, $R_1, R_2, R_3, \dots, R_{n-1}, R_n$ (το R_n ολισθαίνει πρώτο). Ο αριθμός των κύκλων ρολογιού είναι ίσος με το μήκος της αλυσίδας σάρωσης. Στην προηγούμενη προτεινόμενη τεχνική ήταν απαραίτητη η χρήση δύο ρολογιών χρονισμού για τους μανδαλωτές των κυττάρων σάρωσης, ώστε να αποφευχθεί η διάδοση των τιμών του διανύσματος ελέγχου μέσα από πολλαπλές βαθμίδες της αλυσίδας σάρωσης. Στη δεύτερη προτεινόμενη τεχνική παρουσιάζεται ένας διαφορετικός τρόπος για την αντιμετώπιση του προβλήματος. Χρησιμοποιείται η τεχνική των παλμικών παλμοδοτών για το χρονισμό του σκιάδους μανδαλωτή κάθε κυττάρου σάρωσης. Δηλαδή, η είσοδος ρολογιού κάθε σκιάδη μανδαλωτή τροφοδοτείται με παλμούς μικρού πλάτους, τέτοιους ώστε από την μία ο διαθέσιμος χρόνος να είναι αρκετός για να συλληφθούν τα δεδομένα ελέγχου και από την άλλη, η καθοδική ακμή του ρολογιού να επέλθει την κατάλληλη χρονική στιγμή, ώστε να εμποδίσει τη διάδοσή τους και σε επόμενες βαθμίδες της αλυσίδας. Δηλαδή, για την εγγύηση της εγκυρότητας των δεδομένων ελέγχου πρέπει να ισχύει η σχέση που αναφέραμε στο 3^ο κεφάλαιο, δηλ.: $t_{cd} \geq t_{hold} - t_{cq} + t_{pw}$, όπου t_{cd} είναι η καθυστέρηση μόλυνσης της λογικής (βέλτιστη ελάχιστη καθυστέρηση διάδοσης σήματος των δύο πολυπλεκτών στην είσοδο της Razor τοπολογίας), t_{hold} είναι ο χρόνος συγκράτησης του σκιάδη μανδαλωτή ο οποίος μετράται από την καθοδική ακμή του ρολογιού, t_{cq} είναι ο χρόνος μόλυνσης του σκιάδη μανδαλωτή από το ρολόι έως την έξοδο q και t_{pw} είναι το πλάτος του παλμού [40].





Σχήμα 4.5 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Razor Flip-Flop Σάρωσης. (β) Ταυτόχρονη Ολίσηση εντός και εκτός της Αλυσίδας Σάρωσης, του Διανύσματος Ελέγχου και των Αποκρίσεων του Προηγούμενου Διανύσματος, αντίστοιχα, στα n Κύτταρα Σάρωσης, για $n-1$ Κύκλους Ρολογιού. (γ) Σύλληψη του Διανύσματος Ελέγχου στα Flip-Flop και Εφαρμογή του στη Συνδυαστική Λογική, κατά τον n -οστό Κύκλο Ρολογιού. (δ) Σύλληψη των Αποκρίσεων της Λογικής στους Σκιάδεις Μανδαλωτές κατά τη Φάση της Σύλληψης

Έχοντας εξασφαλίσει την εγκυρότητα των δεδομένων ελέγχου, η σειριακή σάρωση έχει ως ακολούθως: τα σήματα ελέγχου των πολυπλεκτών του κάθε κυττάρου σάρωσης είναι στο λογικό ένα και για τους δύο πολυπλέκτες κατά τη φάση της ολισθήσεως, δηλαδή $Scan_EN = 1$ και $RE = 1$. Για τους πρώτους $n - 1$ κύκλους ρολογιού, τα δεδομένα $T_n, T_{n-1}, T_{n-2}, \dots, T_3$ έως και T_2 , έχουν ολισθήσει μέσω του σκιάδη μανδαλωτή από τη σειριακή είσοδο $Scan_In$ και ταυτόχρονα έχουν εξαχθεί όλες οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου $R_n, R_{n-1}, R_{n-2}, \dots, R_3, R_2, R_1$, από τη σειριακή έξοδο $Scan_out$, όπως φαίνεται στο σχήμα 4.5 (β). Επομένως, στο σημείο αυτό, το flip-flop κάθε κυττάρου σάρωσης της αλυσίδας σάρωσης, έχει ήδη στην είσοδό του το ανάλογο bit του διανύσματος ελέγχου που θα εφαρμοστεί στη συνδυαστική λογική. Γι' αυτό είναι καθοριστικής σημασίας στο n -οστό κύκλο ρολογιού να μην ενεργοποιηθεί ξανά το L_clk , γιατί οι μανδαλωτές θα πυροδοτηθούν και θα καταστρέψουν τις τιμές αυτές. Αντί αυτού στον n -οστό κύκλο ρολογιού, πυροδοτείται το flip-flop μέσω του ρολογιού clk . Με αυτό τον τρόπο, το τελευταίο πιο αριστερό bit T_1 , του διανύσματος ελέγχου φτάνει στην είσοδο του flip-flop του πρώτου κυττάρου στην αλυσίδα σάρωσης, ενώ ταυτόχρονα συλλαμβάνονται όλες οι τιμές του διανύσματος ελέγχου στα αντίστοιχα flip-flop και εφαρμόζονται στη συνδυαστική λογική, όπως φαίνεται στο σχήμα 4.5 (γ). Με το 'πάγωμα' του σκιάδη μανδαλωτή κατά τον n -οστό κύκλο, παρατηρούνται στις εξόδους του τελικού σήματος $Scan_out$, οι ίδιες τιμές με τον προηγούμενο κύκλο ρολογιού. Στη συνέχεια, ακολουθεί η δέσμευση των αποκρίσεων (capture mode) της συνδυαστικής λογικής, που απαιτεί ένα κύκλο ρολογιού. Το κύκλωμα επαναφέρεται στην κανονική του λειτουργία (normal mode), όπου το σήμα ελέγχου RE του δεύτερου πολυπλέκτη αλλάζει σε λογικό μηδέν, ανεξαρτήτως της τιμής του πρώτου πολυπλέκτη. Ακολουθεί η σύλληψη των αποκρίσεων του συνδυαστικού κυκλώματος στους σκιάδεις μανδαλωτές των κυττάρων σάρωσης και όχι στα flip-flop όπως στην τυπική αλυσίδα, σύμφωνα με το σχήμα 4.5 (δ). Σε αυτό το σημείο είναι σημαντικό να αναφερθεί ότι όταν το σήμα ελέγχου $Scan_EN$ είναι λογικό ένα, εφαρμόζεται το παλμικό ρολόι (Pulsed_clk) στο σκιάδη μανδαλωτή, μέσω του πολυπλέκτη που επιλέγει ανάμεσα στο Pulsed_clk και στο D_clk. Στη φάση της σύλληψης (capture mode) και της κανονικής λειτουργίας εφαρμόζεται στον μανδαλωτή το D_clk.



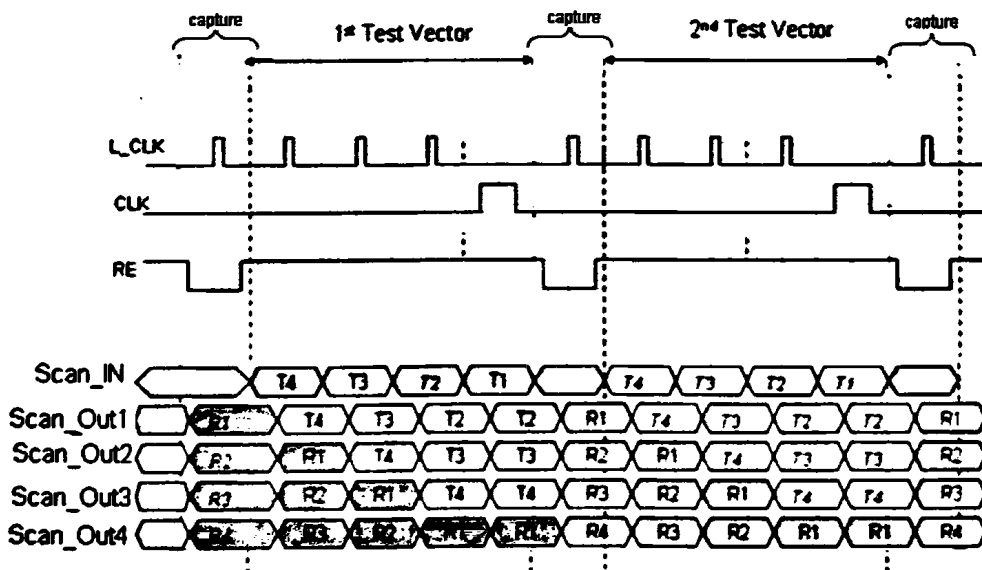
4.2.4. Παράδειγμα Εφαρμογής της Δεύτερης Προτεινόμενης Τεχνικής στη Σειριακή

Σάρωση

Ακολουθεί ένα παράδειγμα της σειριακής σάρωσης με μια αλυσίδα σάρωσης αποτελούμενη από Razor Flip-Flop Σάρωσης. Στο σχήμα 4.6 παρουσιάζεται το διάγραμμα των χρονισμών των σημάτων του κυττάρου σάρωσης για το συγκεκριμένο παράδειγμα, για την εφαρμογή δύο διανυσμάτων ελέγχου. Πρόκειται για την αναπαράσταση της λειτουργίας μιας αλυσίδας σάρωσης που αποτελείται από τέσσερα Razor Flip-Flop Σάρωσης, στα οποία εφαρμόζονται δύο διανύσματα ελέγχου και εξάγονται οι αντίστοιχες αποκρίσεις. Έστω οι δυαδικές τιμές T_1, T_2, T_3, T_4 , από τις οποίες αποτελείται κάθε διάνυσμα ελέγχου και R_1, R_2, R_3, R_4 , οι αποκρίσεις του προηγούμενου διανύσματος ελέγχου που εφαρμόστηκε στο κύκλωμα. Αναλυτικά, το παράδειγμα ξεκινάει παρουσιάζοντας τη φάση σύλληψης (capture mode) των αποκρίσεων του προηγούμενου διανύσματος, ώστε να είναι αντιληπτό ότι στη σειριακή έξοδο $Scan_Out1, Scan_Out2, Scan_Out3, Scan_Out4$, κάθε κυττάρου σάρωσης υπάρχει η αντίστοιχη απόκριση R_1, R_2, R_3, R_4 . Επομένως, κατά τον πρώτο κύκλο ρολογιού, το T_4 περνάει από τη σειριακή είσοδο $Scan_IN$ και τροφοδοτεί μέσω των πολυπλεκτών, τις εισόδους του flip-flop και του μανδαλωτή ταυτόχρονα. Στη φάση αυτή το ρολόι clk του flip-flop δεν διεγείρεται, επομένως το T_4 δεν θα περάσει ποτέ στην έξοδό του. Εν αντιθέσει, το ρολόι L_clk του μανδαλωτή ενεργοποιείται για όλους τους μανδαλωτές, με αποτέλεσμα το T_4 να περάσει στην έξοδο του πρώτου μανδαλωτή και να γίνει διαθέσιμο στην είσοδο του δεύτερου σε σειρά κυττάρου σάρωσης της αλυσίδας. Παράλληλα, η τιμή R_1 που βρισκόταν στην έξοδο του μανδαλωτή, περνάει στο σκιάδη μανδαλωτή του δεύτερου κυττάρου σάρωσης και συλλαμβάνεται. Ομοίως, το R_2 συλλαμβάνεται στο μανδαλωτή του τρίτου κυττάρου σάρωσης, κάνοντας το R_3 που ήταν στην έξοδό του, να ολισθήσει στο μανδαλωτή του τέταρτου κυττάρου σάρωσης και να εμφανιστεί στην τελική έξοδο $Scan_Out4$. Στο δεύτερο κύκλο ρολογιού, ολισθαίνει η τιμή T_3 , που λόγω του παλμού του ρολογιού L_clk , συλλαμβάνεται στο μανδαλωτή του πρώτου Razor Flip-flop Σάρωσης και εμφανίζεται στην έξοδό του, $Scan_Out1$. Ο μανδαλωτής του δεύτερου κυττάρου σάρωσης συλλαμβάνει το T_4 , που ήταν στην είσοδό του, ο μανδαλωτής του τρίτου συλλαμβάνει το R_1 και τέλος, ο μανδαλωτής του τέταρτου κυττάρου σάρωσης συλλαμβάνει το R_2 κάνοντάς το ταυτόχρονα διαθέσιμο στην έξοδο $Scan_Out4$. Με



τον ίδιο τρόπο γίνονται οι ολισθήσεις και στον τρίτο κύκλο ρολογιού και προκύπτει η εξής εικόνα: Το πρώτο κύτταρο σάρωσης έχει στην είσοδο και στην έξοδο του μανδαλωτή, το T_2 . Το δεύτερο έχει στην είσοδο του μανδαλωτή το T_2 επίσης, και στην έξοδό του το T_3 , το οποίο με τη σειρά του αποτελεί είσοδο στο μανδαλωτή του τρίτου κυττάρου σάρωσης. Η έξοδος Scan_Out3 του μανδαλωτή είναι το T_4 που αποτελεί είσοδο του μανδαλωτή του τέταρτου κυττάρου σάρωσης. Η έξοδος R_1 εμφανίζεται στο Scan_Out4. Στον τέταρτο κύκλο ρολογιού εισάγεται το T_1 στο πρώτο κύτταρο σάρωσης και τα δεδομένα T_1 , T_2 , T_3 και T_4 είναι διαθέσιμα στις εισόδους των flip-flop και των μανδαλωτών του πρώτου, δεύτερου, τρίτου και τέταρτου κυττάρου σάρωσης, αντίστοιχα. Οι μανδαλωτές παραμένουν ανενεργοί, κρατώντας στις εξόδους τους Scan_Out, τις ίδιες τιμές με τον προηγούμενο κύκλο. Το ρολόι clk ενεργοποιείται και στην ανοδική του ακμή τα δεδομένα ελέγχου συλλαμβάνονται στα αντίστοιχα flip-flop και εφαρμόζονται στη συνδυαστική λογική του κυκλώματος. Στον πέμπτο και τελευταίο κύκλο του ρολογιού, το σήμα ελέγχου RE αλλάζει σε λογικό μηδέν και το L_clk διεγείρεται, επιτρέποντας στις αποκρίσεις του κυκλώματος να συλληφθούν στους μανδαλωτές. Επομένως, στις εξόδους Scan_Out1, Scan_Out2, Scan_Out3 και Scan_Out4 εμφανίζονται οι αποκρίσεις R_1 , R_2 , R_3 , R_4 , αντίστοιχα.



Σχήμα 4.6 Διάγραμμα Χρονισμών

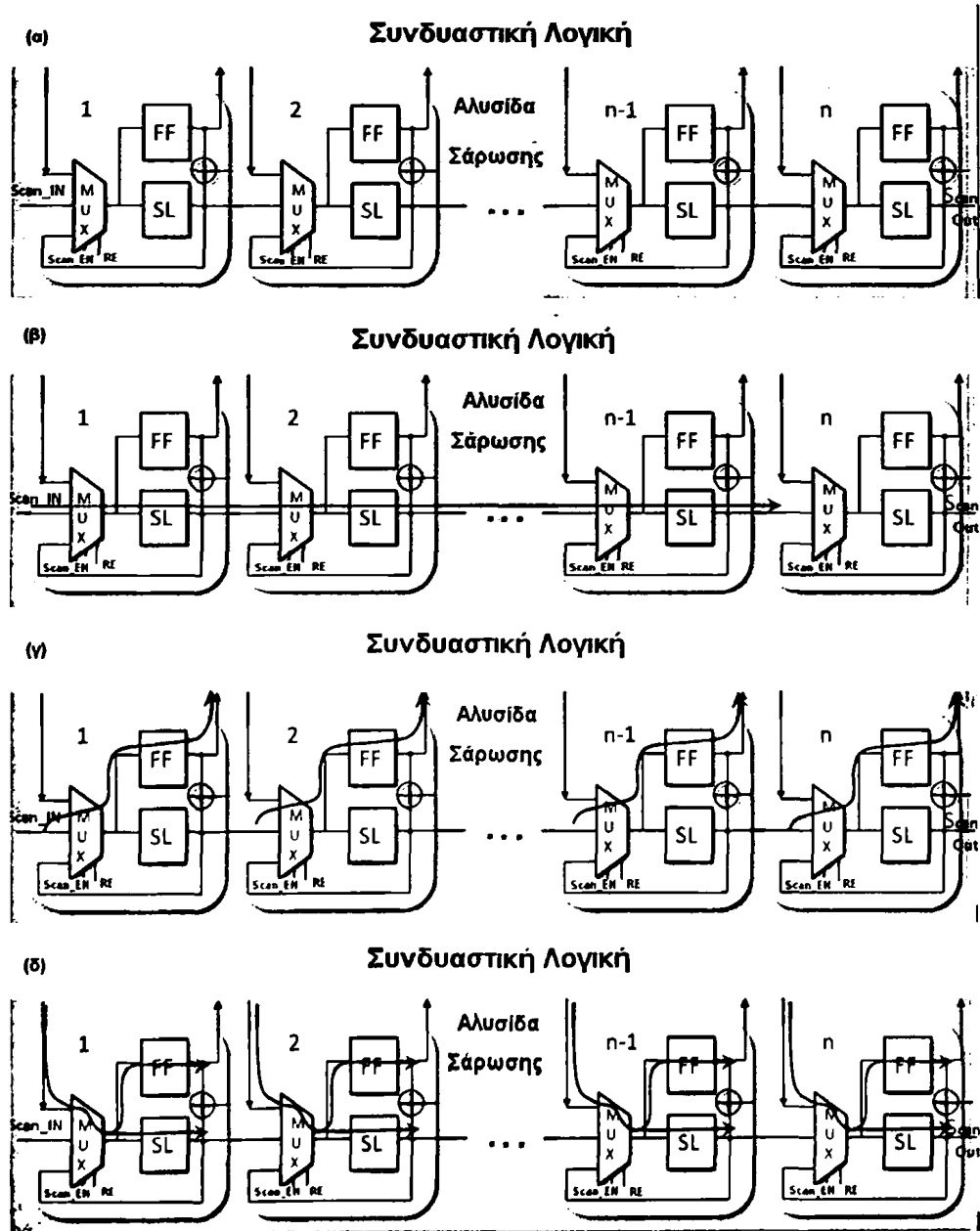


4.2.5. Έλεγχος στην Ταχύτητα Λειτουργίας με τη Δεύτερη Προτεινόμενη Τεχνική

Πολύ μεγάλη είναι η συνεισφορά της προτεινόμενης τεχνικής και κατά τον έλεγχο στην ταχύτητα λειτουργίας (at-speed scan testing) του κυκλώματος. Όπως έχει αναφερθεί, για να επιτευχθεί ο έλεγχος στην ταχύτητα λειτουργίας είναι απαραίτητη η εφαρμογή ενός ζεύγους διανυσμάτων. Το πρώτο διάνυσμα (διάνυσμα αρχικοποίησης) χρησιμοποιείται για την αρχικοποίηση του κυκλώματος και ενεργοποιεί τη διαδρομή διάδοσης του σήματος μέσα στη συνδυαστική λογική και το δεύτερο (διάνυσμα ελέγχου), χρησιμοποιείται για τη διάδοση του σήματος μέσα στη διαδρομή του κυκλώματος. Μετά την εφαρμογή του διανύσματος ελέγχου, στην περίπτωση που το κύκλωμα αποκριθεί στην αναμενόμενη, σύμφωνα με την προσομοίωση, ταχύτητα το ολοκληρωμένο κύκλωμα γίνεται αποδεκτό, σε διαφορετική περίπτωση απορρίπτεται. Η εφαρμογή της τεχνικής ελέγχου στην ταχύτητα λειτουργίας του κυκλώματος είναι πολύ απλή. Στο σχήμα 4.7 (α) παρουσιάζεται το κύκλωμα όπως έχει περιγραφεί παραπάνω, χωρίς καμία αλλαγή, σε σχέση με όσα αναφέραμε νωρίτερα. Για μια αλυσίδα σάρωσης με n Razor Flip-Flop Σάρωσης, απαιτούνται $n-1$ κύκλοι ρολογιού για τη σειριακή ολίσθηση του διανύσματος αρχικοποίησης. Παράλληλα, για τους ίδιους κύκλους ρολογιού πραγματοποιείται και η ολίσθηση στην έξοδο Scan_Out των αποκρίσεων του προηγούμενου διανύσματος ελέγχου, που είχε εφαρμοστεί στο κύκλωμα, βλ. σχήμα 4.7 (β). Στον n -οστό κύκλο, όπως φαίνεται στο σχήμα 4.7 (γ), γίνεται η σύλληψη του διανύσματος αρχικοποίησης στα flip-flop και η εφαρμογή του στη συνδυαστική λογική. Αυτό γίνεται με τη διέγερση του ρολογιού clk, αφήνοντας το μανδαλωτή σε κατάσταση μνήμης. Στη συνέχεια, για $n-1$ κύκλους ρολογιού το διάνυσμα ελέγχου ολισθαίνει εντός της αλυσίδας σάρωσης, βλ. σχήμα 4.7 (β). Στον n -οστό κύκλο, το διάνυσμα ελέγχου συλλαμβάνεται στα flip-flop και εφαρμόζεται στη συνδυαστική λογική, σχήμα 4.7 (γ). Ακολουθεί η φάση της σύλληψης των αποκρίσεων (capture mode), που γίνεται στον επόμενο κύκλο με τη χρήση γρήγορου ρολογιού. Σε αντίθεση με τη λειτουργία του κυκλώματος για τον κλασικό έλεγχο ορθής λειτουργίας, σε αυτό τον κύκλο το διάνυσμα ελέγχου συλλαμβάνεται και στα flip-flop και στους μανδαλωτές, σχήμα 4.7 (δ). Ο μανδαλωτής συλλαμβάνει την τιμή που βρίσκεται στην είσοδό του καθ' όλη τη διάρκεια του παλμού του ρολογιού D_clk, σε αντίθεση με το flip-flop που είναι ακμοपुरοδότητο. Επομένως, στην περίπτωση που υπάρχει καθυστέρηση στην απόκριση της συνδυαστικής λογικής, οι



έξοδοι του flip-flop και του μανδαλωτή θα είναι διαφορετικές, με το μανδαλωτή να φέρει τη σωστή καθυστερημένη τιμή. Ως αποτέλεσμα το σήμα εξόδου της πύλης XOR γίνεται λογικό ένα, επισημαίνοντας την αδυναμία του κυκλώματος να ανταποκριθεί στην ταχύτητα λειτουργίας.



Σχήμα 4.7 (α) Αλυσίδα Σάρωσης Αποτελούμενη από Razor Flip-Flop Σάρωσης, (β) Ολίσθηση Διανύσματος Αρχικοποίησης ή Ελέγχου και Ταυτόχρονη Εξαγωγή των

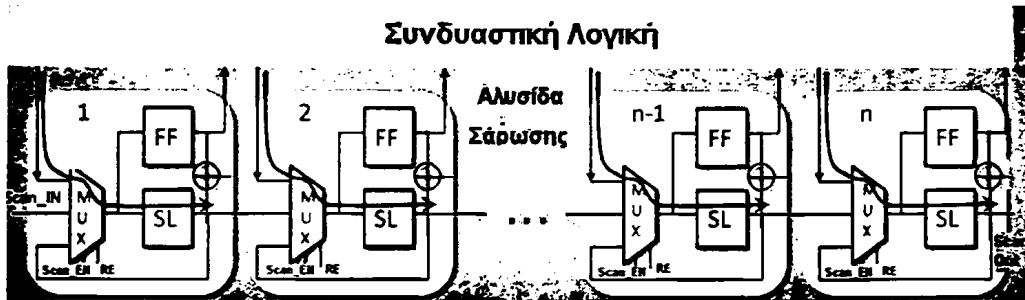
Αποκρίσεων. (γ) Σύλληψη και Εφαρμογή του Διανύσματος Αρχικοποίησης ή Ελέγχου. (δ) Σύλληψη του Διανύσματος Ελέγχου στα Flip-Flop και στους Μανδαλωτές

Είναι φανερό ότι για τη διαπίστωση της ορθής λειτουργίας του κυκλώματος στην ταχύτητα λειτουργίας απαιτείται η παρατήρηση, από το εξωτερικό περιβάλλον, μόνο του σήματος λάθους Error_R_j για κάθε Razor Flip-Flop Σάρωσης, και όχι των αποκρίσεων της εξόδου Scan_Out, κάτι που εύκολα μπορεί να επιτευχθεί.

Επιπρόσθετα, είναι πολύ σημαντικό να επισημανθεί ότι κατά την ολίσθηση του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης, οι τιμές του διανύσματος αρχικοποίησης διατηρούνται στις εξόδους των κυρίως flip-flop των κυττάρων σάρωσης. Επομένως η προτεινόμενη τεχνική προσφέρει αιτιοκρατικό (deterministic) ΕΟΛ στην ταχύτητα λειτουργίας του κυκλώματος.

Το κύκλωμα προσφέρει επίσης τη δυνατότητα ο έλεγχος στην ταχύτητα λειτουργίας να γίνει με έναν εναλλακτικό τρόπο κάτω από συγκεκριμένες προϋποθέσεις. Η διαφορά με την προηγούμενη τεχνική έγκειται στη φάση, που γίνεται η σύλληψη των αποκρίσεων (capture mode) της συνδυαστικής λογικής, μετά την εφαρμογή του διανύσματος ελέγχου. Η απόκριση της λογικής συλλαμβάνεται μόνο στους μανδαλωτές, βλ. σχήμα 4.8. Αυτό, βέβαια, προϋποθέτει την εγγύηση ότι οι μανδαλωτές, συλλαμβάνουν την απόκριση της λογικής τη σωστή χρονική στιγμή, λειτουργούν δηλαδή, σαν ακμοπυροδότητα flip-flop. Για να επιτευχθεί αυτό είναι απαραίτητος ο χρονισμός των μανδαλωτών με τη χρήση του παλμικού ρολογιού και κατά την φάση της σύλληψης των αποκρίσεων. Εν αντιθέσει, με την προαναφερθείσα τεχνική ελέγχου στην ταχύτητα λειτουργίας, για τη διαπίστωση της ορθής λειτουργίας του κυκλώματος στην ταχύτητα λειτουργίας απαιτείται η ολίσθηση των αποκρίσεων του διανύσματος ελέγχου από το εξωτερικό περιβάλλον, μέσω της εξόδου Scan_out και όχι απλά η παρατήρηση του σήματος Error_R_j.





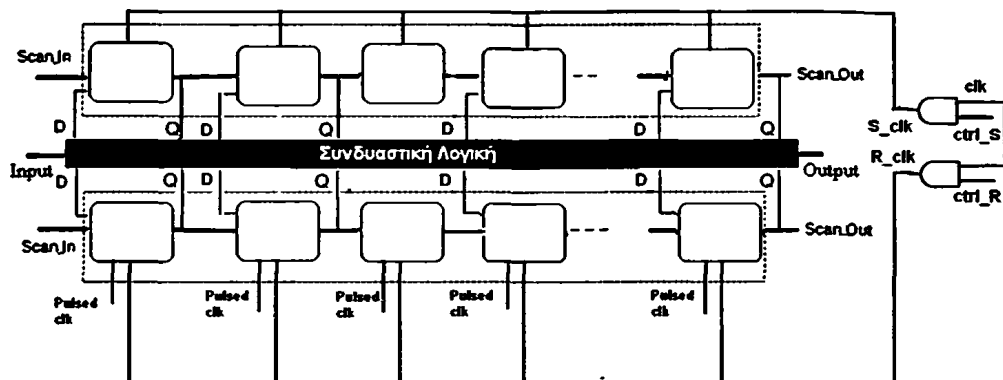
Σχήμα 4.8 Δεύτερος Τρόπος Σύλληψης των Αποκρίσεων του Διανύσματος Ελέγχου κατά τον Έλεγχο στην Ταχύτητα Λειτουργίας

4.2.6. Λειτουργία της Δεύτερης Προτεινόμενης Τεχνικής στην Κανονική Λειτουργία

Κατά την κανονική λειτουργία του κυκλώματος το σήμα Scan_EN καθορίζει ότι το ρολόι του σκιαώδη μανδαλωτή λειτουργεί με το D_clk και όχι με το παλμικό Pulsed_clk. Αυτό συμβαίνει καθώς το Scan_EN είναι σήμα ελέγχου και για τον πολυπλέκτη που επιλέγει μεταξύ των δύο ρολογιών. Κατά τα άλλα το κύκλωμα συνεχίζει να λειτουργεί ακριβώς όπως το κύκλωμα Razor Flip-Flop Σάρωσης.

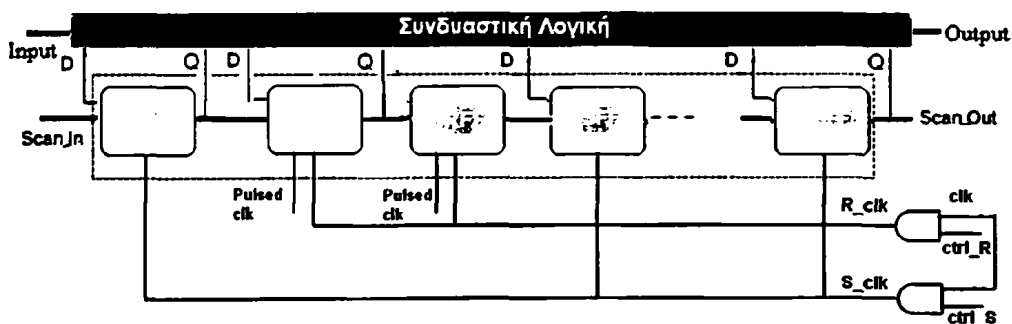
4.2.7. Παρατηρήσεις

Εστιάζοντας στη δεύτερη προτεινόμενη τεχνική υπάρχει η δυνατότητα χρήσης των αλυσίδων σάρωσης με τρεις διαφορετικούς τρόπους. Στην πρώτη περίπτωση, όλα τα flip-flop του κυκλώματος είναι Razor και συνεπώς η αλυσίδα σάρωσης δομείται με βάση την τεχνική των Razor flip-flop Σάρωσης. Υπάρχει όμως και η περίπτωση το κύκλωμα να μην αποτελείται αποκλειστικά από Razor flip-flop, αλλά και από τα τυπικά κύτταρα σάρωσης. Επομένως, μπορούν να υπάρξουν ανεξάρτητες αλυσίδες σάρωσης που δομούνται είτε με βάση την τεχνική των Razor Flip-Flop Σάρωσης (SRFF) είτε με εκείνη και των τυπικών Flip-Flop Σάρωσης (Standard Scan Flip-Flop - SSFF), όπως φαίνεται στο σχήμα 4.9.



Σχήμα 4.9 ΕΟΛ με Αλυσίδες Σάρωσης με SSFF και Αλυσίδες Σάρωσης με SRFF

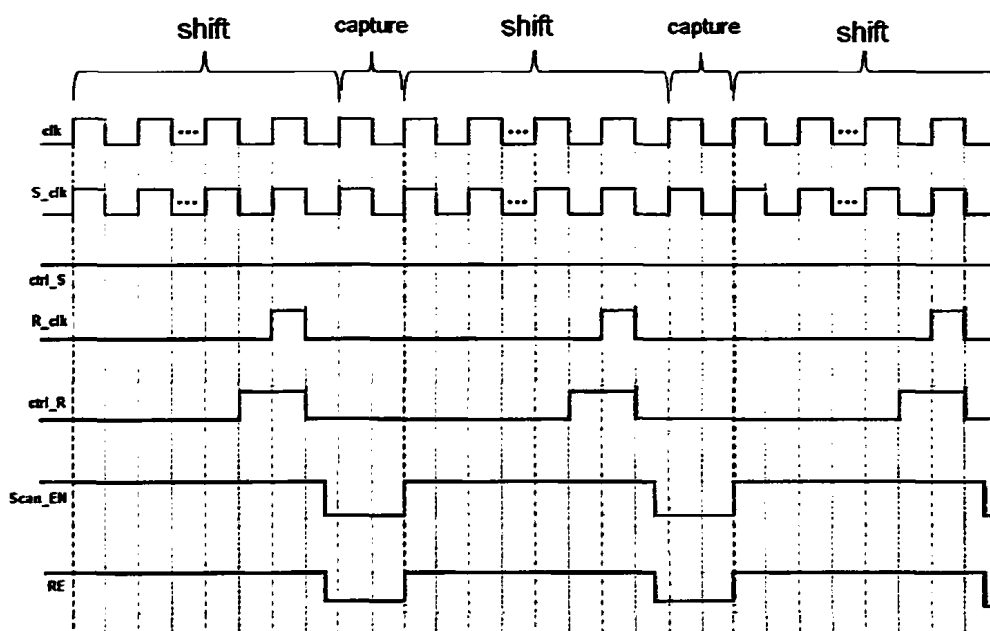
Ένας τρίτος τρόπος δόμησης των αλυσίδων σάρωσης που παρουσιάζεται στο σχήμα 4.10, προκύπτει από το συνδυασμό των τυπικών flip-flop σάρωσης και των Razor flip-flop Σάρωσης στην ίδια αλυσίδα σάρωσης, με στόχο την ακόμα χαμηλότερη κατανάλωση ισχύος και τη μείωση του κόστους.



Σχήμα 4.10 Συνδυασμός SSFF και SRFF στην Ίδια Αλυσίδα Σάρωσης.

Για την υλοποίηση των δύο τελευταίων μεικτών τεχνικών απαιτείται η απενεργοποίηση του ρολογιού clk (clock gating) στα τυπικά flip-flop κατά την εν λειτουργία διόρθωση λαθών. Επεκτείνουμε την δυνατότητα απενεργοποίησης του ρολογιού και στα Razor flip-flop Σάρωσης. Κατά τη φάση της ολίσθησης του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης, το ρολόι R_clk για τα SRFF απενεργοποιείται μέσω του σήματος ελέγχου ctrl_R για $n-1$ κύκλους και μόνο στο n -οστό κύκλο ενεργοποιείται, για να εφαρμοστεί το διάνυσμα ελέγχου στη συνδυαστική

λογική. Ενώ για τα SSFF το ρολόι S_clk παραμένει ενεργοποιημένο, μέσω του σήματος ελέγχου ctrl_S που είναι στο λογικό ένα, καθ' όλη τη διάρκεια της σειριακής σάρωσης. Στο σχήμα 4.11 παρουσιάζεται το διάγραμμα χρονισμού των προαναφερθέντων σημάτων και ρολογιών, όπως και ο χρονισμός των σημάτων RE και Scan_EN που η ενεργοποίησή τους σηματοδοτεί τη φάση της σύλληψης. Στην κανονική λειτουργία, και για τους δύο τύπους κυττάρων σάρωσης το ρολόι είναι ενεργοποιημένο, εκτός από τον κύκλο διόρθωσης όπου το ρολόι των SSFF απενεργοποιείται. Πρέπει να αναφερθεί ότι όπως σε όλες τις τεχνικές τοπικής απενεργοποίησης του ρολογιού, έτσι και εδώ εμφανίζεται το τυπικό πρόβλημα της απόκλισης του ρολογιού (clock skew).



Σχήμα 4.11 Διάγραμμα Χρονισμού

4.3. Πειραματικά Αποτελέσματα

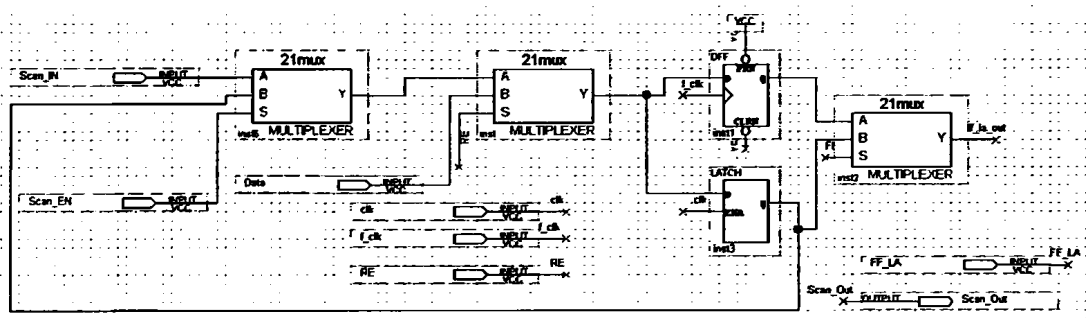
Η προσομοίωση των δύο προτεινόμενων τεχνικών σειριακής σάρωσης με την τροποποίηση ή μη του Razor Flip-Flop Σάρωσης υλοποιήθηκε στο εργαλείο Quartus II της Altera. Ο ακροδέκτης εισόδου Data αναπαριστά την ψευδοκύρια έξοδο (PPO) από όπου τροφοδοτείται η αλυσίδα σάρωσης με τις αποκρίσεις της συνδυαστικής



λογικής. Αντίστοιχα, ο ακροδέκτης εξόδου `ff_out` αναπαριστά την ψευδοκύρια είσοδο (PPI) από όπου η συνδυαστική λογική τροφοδοτείται με το διάνυσμα ελέγχου.

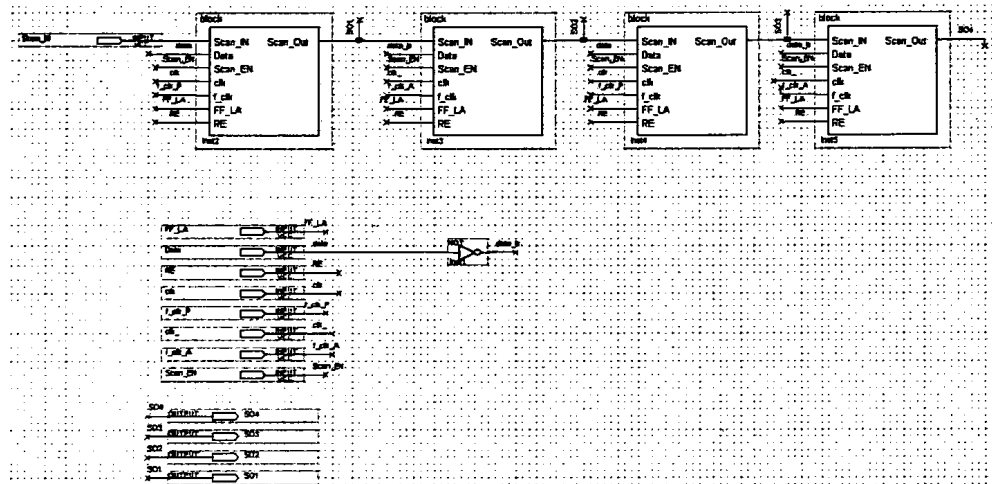
4.3.1. Αποτελέσματα Προσομοίωσης Πρώτης Προτεινόμενης Τεχνικής

Στο σχήμα 4.12 παρουσιάζεται η σχεδίαση του Τροποποιημένου Razor Flip-Flop Σάρωσης, για την υλοποίηση της πρώτης τεχνικής.



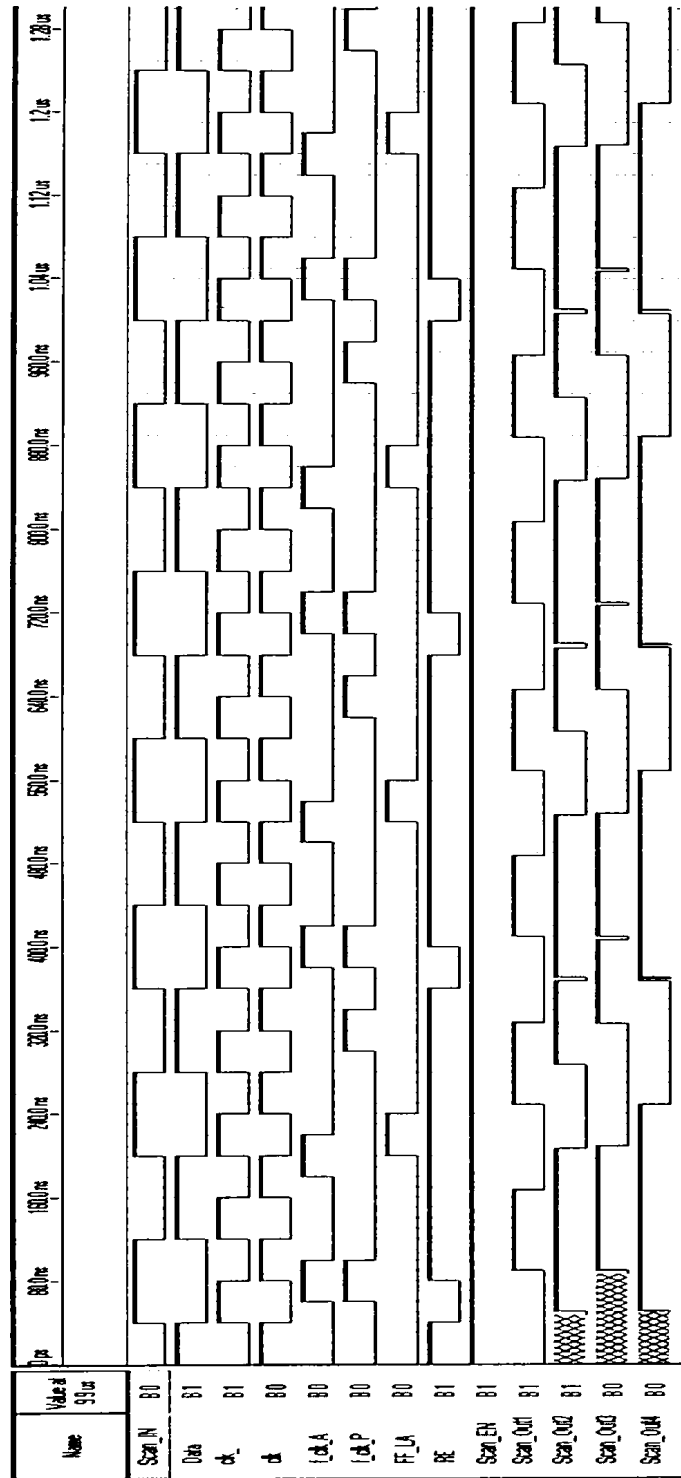
Σχήμα 4.12 Τροποποιημένο Razor Flip-Flop Σάρωσης

Στο σχήμα 4.13 παρουσιάζεται μία αλυσίδα σάρωσης δομημένη με τα Τροποποιημένα Razor Flip-Flop Σάρωσης και με μήκος $L = 4$. Οι μανδαλωτές των άρτιων κυττάρων σάρωσης χρονίζονται από το ρολόι `clk_` και τα flip-flop τους από το ρολόι `f_clk_A`. Οι μανδαλωτές των περιττών κυττάρων σάρωσης χρονίζονται από το ρολόι `clk` και τα flip-flop τους από το ρολόι `f_clk_P`. Οι εξοδοί των μανδαλωτών του πρώτου, δεύτερου, τρίτου και τέταρτου κυττάρων σάρωσης είναι `SO1`, `SO2`, `SO3`, `SO4` αντίστοιχα.



Σχήμα 4.13 Αλυσίδα Σάρωσης Τεσσάρων Τροποποιημένων Razor Flip-Flop Σάρωσης

Οι κυματομορφές της προσομοίωσης παρουσιάζονται στο σχήμα 4.14.

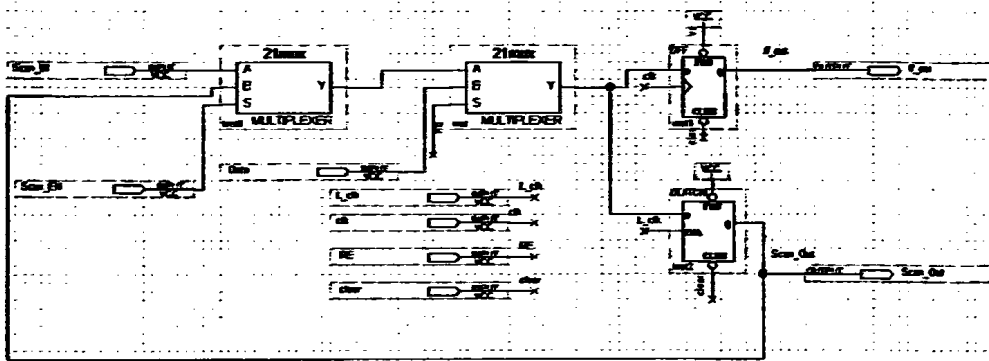


Σχήμα 4.14 Κυματομορφές Πρώτης Προτεινόμενης Τεχνικής



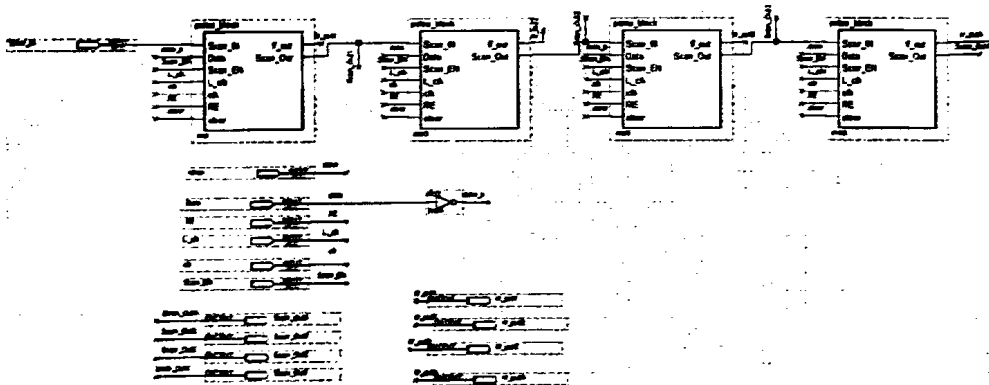
4.3.2. Αποτελέσματα Προσομοίωσης Δεύτερης Προτεινόμενης Τεχνικής

Στο σχήμα 4.15 παρουσιάζεται η τυπική σχεδίαση του Razor Flip-Flop Σάρωσης, υλοποιημένη στο Quartus για τις ανάγκες της δεύτερης προτεινόμενης τεχνικής.



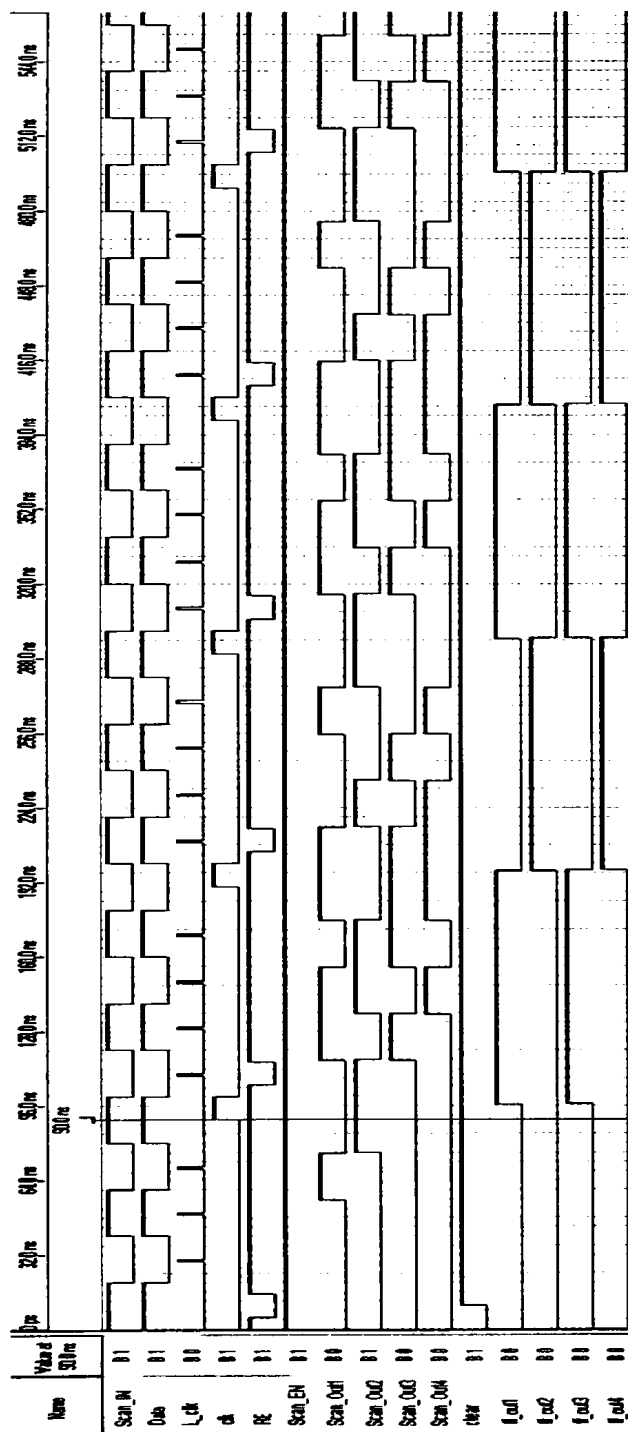
Σχήμα 4.15 Razor Flip-Flop Σάρωσης

Στο σχήμα 4.16 παρουσιάζεται μία αλυσίδα σάρωσης δομημένη με το Razor Flip-Flop Σάρωσης και με μήκος $L = 4$. Οι ακροδέκτες εξόδου `ff_out1`, `ff_out2`, `ff_out3`, `ff_out4` αναπαριστούν τις ψευδοκύριες εισόδους (PPIs) από το πρώτο, το δεύτερο, το τρίτο και το τέταρτο κύτταρο σάρωσης αντίστοιχα



Σχήμα 4.16 Αλυσίδα Σάρωσης Τεσσάρων Razor Flip-Flop Σάρωσης

Οι κυματομορφές της προσομοίωσης παρουσιάζονται στο σχήμα 4.17.



Σχήμα 4.17 Κυματομορφές Δεύτερης Προτεινόμενης Τεχνικής



4.4. Πειραματικές Μετρήσεις

Στην ενότητα αυτή παρουσιάζονται οι πειραματικές μετρήσεις που πραγματοποιήθηκαν για τις δύο προτεινόμενες τεχνικές σχετικά με τη μείωση του αριθμού των μεταβάσεων κατά τη διαδικασία της ολίσθησης δεδομένων ελέγχου στην αλυσίδα σάρωσης. Οι προτεινόμενες τεχνικές μπορούν εύκολα να συνδυαστούν, με οποιαδήποτε τεχνική Συμπλήρωσης των Αδιάφορων Όρων (X – Filling Techniques) τόσο για τη φάση της σύλληψης των αποκρίσεων όσο και για τη φάση της ενημέρωσης των flip-flop, όπως αυτές που αναφέρθηκαν στο υποκεφάλαιο 2.4.3, για την περαιτέρω μείωση της μέγιστης και / ή της μέσης κατανάλωσης ισχύος.

Στους πίνακες που ακολουθούν στην ενότητα αυτή, παρουσιάζεται ο αριθμός των μεταβάσεων κατά τη σειριακή σάρωση με τη χρήση τυπικών αλυσίδων σάρωσης και με τη χρήση αλυσίδων σάρωσης που χρησιμοποιούν τις δύο τεχνικές, για τα κυκλώματα s13207, s15850, s38584, s5378, s38417, s9234 της οικογένειας ISCAS'89 και τα κυκλώματα tv80, aes_core, systemcaes, wb_conmax, usb_func, ac97_ctrl, pci_bridge32 και ethernet της οικογένειας IWLS. Επίσης, παρουσιάζεται το ποσοστό κέρδους στον αριθμό των μεταβάσεων για τις προτεινόμενες τεχνικές σε σχέση με τη σειριακή σάρωση.

Ο υπολογισμός του αριθμού των μεταβάσεων για την τυπική αλυσίδα σάρωσης έγινε με την με βάρος καταμέτρηση των μεταβάσεων (weighted transition count), σύμφωνα με τον ακόλουθο τύπο [23] :

Μεταβάσεις διανύσματος ελέγχου = Σ (μήκος αλυσίδας – θέση της μετάβασης)

Μεταβάσεις διανύσματος απόκρισης = Σ (θέση της μετάβασης)

Όπου η «θέση της μετάβασης» είναι η θέση στο διάνυσμα ελέγχου (ή στο διάνυσμα απόκρισης) όπου τα διαδοχικά ψηφία διαφέρουν, ξεκινώντας την αρίθμηση από το αριστερότερο bit, και «μήκος αλυσίδας» είναι το μήκος L της αλυσίδας σάρωσης. Οι μεταβάσεις μετρώνται και για την ολίσθηση εντός του νέου διανύσματος ελέγχου και κατά για την ολίσθηση εκτός των αποκρίσεων στο προηγούμενο διάνυσμα ελέγχου.

Για τον υπολογισμό του αριθμού των μεταβάσεων των δύο τεχνικών αναπτύχθηκε κατάλληλο πρόγραμμα στη γλώσσα προγραμματισμού C. Τα διανύσματα ελέγχου και οι αποκρίσεις σε αυτά έχουν εξαχθεί με το εργαλείο Atalanta [44], [45].

Κατά τη διάρκεια της ολίσθησης των δεδομένων ελέγχου σύμφωνα με τις δύο προτεινόμενες τεχνικές δεν υφίσταται καμία μετάβαση σήματος στις εισόδους της



συνδυαστικής λογικής, στην περίπτωση όπου η αλυσίδα σάρωσης δομείται αποκλειστικά με Razor flip-flop. Επομένως, η δυναμική κατανάλωση ισχύος της συνδυαστικής λογικής μειώνεται σε πολύ μεγάλο ποσοστό δεδομένης της σχέσης:

$$P_d = 0,5 \times C_{load} \times (V_{DD}^2 / T_{cyc}) \times N_G [17],$$

όπου C_{load} είναι η χωρητικότητα των κόμβων, V_{DD} η τάση τροφοδοσίας, N_G ο ρυθμός των μεταβάσεων τιμών (0 σε 1 και αντίστροφα) και T_{cyc} η περίοδος του ρολογιού.

4.4.1. Μείωση του Αριθμού των Μεταβάσεων Σήματος με την Εφαρμογή της Πρώτης Προτεινόμενης Τεχνικής

Οι μόνες μεταβάσεις που πραγματοποιούνται στις ψευδοκύριες εισόδους της συνδυαστικής λογικής κατά τη σειριακή σάρωση με την πρώτη προτεινόμενη τεχνική είναι κατά τη φάση της σύλληψης των αποκρίσεων της συνδυαστικής λογικής και παρουσιάζονται στον πίνακα 4.1. Ο υπολογισμός τους για την πρώτη προτεινόμενη τεχνική γίνεται με τη σύγκριση των bit μεταξύ του διανύσματος ελέγχου και των αντίστοιχων bit του διανύσματος των αποκρίσεων στο προηγούμενο διάνυσμα ελέγχου. Ο αριθμός των μεταβάσεων που προκύπτει, αντιστοιχεί αποκλειστικά στο σύνολο των μεταβάσεων σήματος που πραγματοποιούνται κατά τη φάση της σύλληψης των αποκρίσεων καθώς κατά τη φάση της ολίσθησης των δεδομένων ελέγχου οι μεταβάσεις της συνδυαστικής λογικής είναι μηδέν.

Ωστόσο, αν θέλουμε να μειώσουμε την πιθανή μέγιστη κατανάλωση ισχύος (peak power) που οφείλεται στη φάση της σύλληψης μπορούμε να εφαρμόσουμε την τεχνική Preferred Fill.



Πίνακας 4.1 Αριθμός Μεταβάσεων για την Τυπική Αλυσίδα και την Αλυσίδα με τη Χρήση της Πρώτης Προτεινόμενης Τεχνικής

Κυκλώματα / Μεταβάσεις	Μεταβάσεις Τυπικής Αλυσίδας	Μεταβάσεις 1 ^{ης} Προτεινόμενης Τεχνικής	Κέρδος
s13207	26184532	58095	450,72
s15850	10195374	1126	9054,50
s38584	83065915	71055	1169,03
s5378	939004	13184	71,22
s38417	51104353	45010	1135,39
s9234	2387377	12203	195,63
tv80	59423468	174044	3486,47
aes_core	87180120	205188	424,87
systemcaes	67241219	120556	557,75
wb_conmax	247535053	802433	308,48
usb_funct	1759765158	1075061	1636,89
ac97_ctrl	773601325	361386	2140,65
pci_bridge32	5687554748	1776118	3202,24
ethernet	226905352789	21728919	10442,55

4.4.2. Μείωση του Αριθμού των Μεταβάσεων Σήματος με την Εφαρμογή της Δεύτερης Προτεινόμενης Τεχνικής

Στη δεύτερη προτεινόμενη τεχνική δεν πραγματοποιούνται μεταβάσεις σήματος κατά τη φάση της σύλληψης όπως συνήθως συμβαίνει στις τυπικές τεχνικές σειριακής σάρωσης. Αυτό οφείλεται στο γεγονός ότι οι αποκρίσεις της συνδυαστικής λογικής συλλαμβάνονται αποκλειστικά στους σκιάδεις μανδαλωτές και όχι στα flip-flop της αλυσίδας σάρωσης. Ωστόσο, στο L-οστό κύκλο ρολογιού τα flip-flop ενημερώνονται με το διάνυσμα ελέγχου και συνεπώς σε αυτή τη φάση θα πραγματοποιηθούν μεταβάσεις στις ψευδοεισόδους της συνδυαστικής λογικής καθώς τα flip-flop



αλλάζουν κατάσταση από το προηγούμενο διάνυσμα ελέγχου στο νέο διάνυσμα ελέγχου. Σε αυτή την περίπτωση, ο υπολογισμός των μεταβάσεων γίνεται με τη σύγκριση των bit μεταξύ των διαδοχικών διανυσμάτων ελέγχου που εφαρμόζονται στη λογική. Ο αριθμός των μεταβάσεων που προκύπτει παρουσιάζεται στον πίνακα 4.2 και αντιστοιχεί για την προτεινόμενη τεχνική στο σύνολο των μεταβάσεων σήματος που πραγματοποιούνται κατά τη φάση της ενημέρωσης των flip-flop καθώς κατά τη φάση της ολίσθησης των δεδομένων ελέγχου και της σύλληψης των αποκρίσεων οι μεταβάσεις της συνδυαστικής λογικής είναι μηδέν.

Για τη μείωση της πιθανής μέγιστης καταναλισκόμενης ισχύος κατά τη φάση της ενημέρωσης, η τεχνική μπορεί να συνδυαστεί με μια παραλλαγή της Preferred Fill τεχνικής (η τεχνική εφαρμόζεται μεταξύ διαδοχικών διανυσμάτων ελέγχου) ώστε να μειωθεί η μέγιστη κατανάλωση ισχύος. Παρατηρήστε ότι σε αυτή την περίπτωση η εφαρμογή της Preferred Fill τεχνικής καθίσταται εξαιρετικά εύκολη και απλή.

Στην περίπτωση που υπάρχουν ανεξάρτητες τυπικές αλυσίδες σάρωσης και αλυσίδες αποτελούμενες από Razor Flip-Flop σάρωσης (σχήμα 4.9) ή συνδυασμός τυπικών και Razor flip-flop στην ίδια αλυσίδα σάρωσης (σχήμα 4.10), η μείωση του αριθμού των μεταβάσεων είναι ανάλογη του ποσοστού των Razor flip-flop στο κύκλωμα. Σε αυτή την περίπτωση, μπορεί επικουρικά να χρησιμοποιηθεί η Adjacent Fill τεχνική στα τυπικά flip-flop για να μειωθεί η κατανάλωση ισχύος κατά τη φάση της ολίσθησης και σε συνδυασμό η Preferred Fill για να μειωθεί η κατανάλωση ισχύος κατά τη φάση της σύλληψης της απόκρισης για την τυπική αλυσίδα και κατά τη φάση της ενημέρωσης για την αλυσίδα που αποτελείται από Razor Flip-Flop σάρωσης.



Πίνακας 4.2 Αριθμός Μεταβάσεων για την Τυπική Αλυσίδα και την Αλυσίδα με τη Χρήση της Δεύτερης Προτεινόμενης Τεχνικής

Κυκλώματα / Μεταβάσεις	Μεταβάσεις Τυπικής Αλυσίδας	Μεταβάσεις 2 ^{ης} Προτεινόμενης Τεχνικής	Κέρδος
s13207	26184532	80887	323,71
s15850	10195374	1806	5645,27
s38584	83065915	111120	747,53
s5378	939004	11715	80,15
s38417	51104353	85328	598,91
s9234	2387377	15473	154,29
tv80	59423468	171403	346,68
aes_core	87180120	244190	357,01
systemcaes	67241219	139927	480,54
wb_conmax	247535053	801784	308,73
usb_funct	1759765158	1080684	1628,38
ac97_ctrl	773601325	361856	2137,87
pci_bridge32	5687554748	1774614	3204,95
ethernet	226905352789	21735161	10439,55

Το κόστος σε επιφάνεια πυριτίου και ακροδεκτών διαφέρει στις δύο τεχνικές εκτός από την επιβάρυνση που επιφέρει και στις δύο μια απλή πύλη OR που προστίθεται μετά το κύκλωμα σύλληψης λαθών, περιφερειακά των Razor Flip-Flop Σάρωσης. Η επιβάρυνση, όμως, είναι αμελητέα γιατί προστίθεται καθολικά μία πύλη για όλα τα κύτταρα σάρωσης της αλυσίδας και όχι για το καθένα ξεχωριστά. Επιπλέον, το σήμα ελέγχου της πύλης είναι το ήδη υπάρχον σήμα επίτρησης Scan_EN.

Όσον αφορά στην πρώτη τεχνική, η προσθήκη του πολυπλέκτη στις εξόδους του flip-flop και του σκιαδής μανδαλωτή, για κάθε κύτταρο σάρωσης καθώς και το σήμα ελέγχου του FF_LA το οποίο πρέπει να δρομολογηθεί μέσα στο κύκλωμα, συνιστά



σημαντικό κόστος σε επιφάνεια. Επιπλέον, η ύπαρξη δύο συμπληρωματικών ρολογιών για τους αρτίους και περιττούς μανδαλωτές καθώς και δύο ρολογιών για τα αντίστοιχα flip-flop καθιστά το κόστος δρομολόγησης πολύ μεγάλο.

Στη δεύτερη προτεινόμενη τεχνική, η σχεδίαση επιβαρύνεται, επιπλέον της πύλης OR, με ένα απλό πολυπλέκτη που εισάγεται περιφερειακά των Razor Flip-Flop Σάρωσης. Επιπρόσθετα, το σήμα ελέγχου του πολυπλέκτη είναι και πάλι το Scan_EN, με αποτέλεσμα το κόστος της σχεδίασης να είναι ασήμαντο.

Ο χρόνος του ελέγχου παρουσιάζει μία μικρή μείωση κατά μισό κύκλο ρολογιού για κάθε διάνυσμα ελέγχου κατά την εφαρμογή της πρώτης προτεινόμενης τεχνικής. Για τη δεύτερη τεχνική ο χρόνος ελέγχου παραμένει ίδιος με αυτόν της κλασικής σειριακής σάρωσης.

Τέλος, η κάλυψη σφαλμάτων και η αξιοπιστία που προσφέρουν και οι δύο τεχνικές είναι ίδια με την κλασική τεχνική σειριακής σάρωσης.



ΚΕΦΑΛΑΙΟ 5. ΣΥΜΠΕΡΑΣΜΑΤΑ

Στην παρούσα διατριβή προτείνονται δύο τεχνικές σειριακής σάρωσης για τον έλεγχο ορθής λειτουργίας (ΕΟΛ) που πετυχαίνουν μείωση της καταναλισκόμενης ισχύος κατά την ολίσθηση των δεδομένων ελέγχου. Οι δύο τεχνικές επαναχρησιμοποιούν τη δομή της ευρέως γνωστής τεχνικής σχεδίασης κυκλωμάτων Razor (που έχει προταθεί για τον ταυτόχρονο εν-λειτουργία ΕΟΛ) για να δημιουργήσουν τα κύτταρα σάρωσης που θα συνθέσουν τις αλυσίδες σάρωσης. Συγκεκριμένα, εκμεταλλεύονται το σκιάδι μανδαλωτή της δομής Razor για την ολίσθηση των δεδομένων εντός και εκτός της αλυσίδας σάρωσης. Στην πρώτη τεχνική τα Τροποποιημένα Razor Flip-Flop Σάρωσης διαχωρίζονται σε περιττά και άρτια και χρονίζονται με δύο συμπληρωματικά ρολόγια στους σκιάδεις μανδαλωτές και δύο συμπληρωματικά ρολόγια στα flip-flop για τη διαχείριση της φάσης διαφάνειας του κάθε μανδαλωτή. Στη δεύτερη τεχνική η ολίσθηση επιτυγχάνεται χρονίζοντας τους σκιάδεις μανδαλωτές με σύντομους παλμούς, κάνοντας χρήση της τεχνικής σχεδίασης κυκλωμάτων με παλμικούς μανδαλωτές και χωρίς τροποποίηση της δομής Razor.

Καθώς τα δεδομένα ολισθαίνουν μέσω των μανδαλωτών και όχι των flip-flop, επιτυγχάνεται ο μηδενισμός του αριθμού των μεταβάσεων στις εισόδους της συνδυαστικής λογικής κατά τη σειριακή ολίσθηση του διανύσματος ελέγχου εντός της αλυσίδας σάρωσης και της σειριακής ολίσθησης του διανύσματος των αποκρίσεων, από το προηγούμενο διάνυσμα ελέγχου, εκτός της αλυσίδας σάρωσης. Οι μόνες μεταβάσεις σήματος που υφίστανται είναι κατά τη φάση της σύλληψης για την πρώτη προτεινόμενη τεχνική και κατά την ενημέρωση των flip-flop για τη δεύτερη τεχνική. Σύμφωνα με τα πειραματικά αποτελέσματα η μείωση του αριθμού των συνολικών μεταβάσεων είναι της τάξης του 99% και για τις δύο προτεινόμενες τεχνικές, όταν οι αλυσίδες δομούνται αποκλειστικά από Razor flip-flop. Επομένως, η δυναμική κατανάλωση ισχύος, μέση και μέγιστη, μειώνεται σημαντικά.



Ωστόσο, η μείωση της καταναλισκόμενης ισχύος σε τέτοιο μεγάλο ποσοστό δεν είναι επιθυμητή κατά τον ΕΟΛ, γιατί έχει ως αποτέλεσμα τη δημιουργία ενός ιδανικού περιβάλλοντος ελέγχου που ενδεχόμενα δεν ανταποκρίνεται στις συνθήκες κανονικής λειτουργίας του κυκλώματος, όπου υφίσταται ένα ποσό καταναλισκόμενης ισχύος με αποτέλεσμα την αύξηση της θερμοκρασίας του περιβάλλοντος του ολοκληρωμένου κυκλώματος. Συνεπώς, είναι πιθανή η μείωση της κάλυψης σφαλμάτων και ακολούθως η αξιοπιστία του ΕΟΛ.

Εστιάζοντας στη δεύτερη προτεινόμενη τεχνική, η αντιμετώπιση του ζητήματος είναι διαφορετική ανάλογα με τους εξής τρεις τρόπους δόμησης των αλυσίδων σάρωσης :

- το κύκλωμα αποτελείται από Razor flip-flop και τυπικά κύτταρα σάρωσης, οπότε μπορούν να υπάρξουν ανεξάρτητες αλυσίδες σάρωσης που δομούνται αποκλειστικά με βάση τα Razor flip-flop Σάρωσης και αποκλειστικά με βάση τα τυπικά Flip-Flop Σάρωσης,
- το κύκλωμα αποτελείται από Razor flip-flop και τυπικά κύτταρα σάρωσης, και οι αλυσίδες σάρωσης είναι μικτές εμπεριέχοντας συνδυασμό των τυπικών flip-flop σάρωσης και των Razor flip-flop Σάρωσης,
- όλα τα flip-flop του κυκλώματος είναι Razor flip-flop οπότε η αλυσίδα σάρωσης δομείται με βάση την τεχνική των Razor flip-flop Σάρωσης.

Για τις δύο πρώτες περιπτώσεις όταν δηλαδή το κύκλωμα αποτελείται από μικτές αλυσίδες σάρωσης (SSFF - SRFF), καθ' όλη τη διαδικασία της σειριακής σάρωσης υφίστανται μεταβάσεις στις εξόδους των τυπικών κυττάρων σάρωσης επομένως μπορεί να υπάρξει ένα τέτοιο ποσοστό καταναλισκόμενης ισχύος που να εξισορροπεί την απουσία καταναλισκόμενης ισχύος κατά την ολίσθηση των δεδομένων ελέγχου από τα Razor flip-flop Σάρωσης.

Στην τρίτη περίπτωση που οι αλυσίδες σάρωσης είναι δομημένες αποκλειστικά από Razor flip-flop Σάρωσης, προτείνεται η ενημέρωση των flip-flop της αλυσίδας σάρωσης ανά τακτά χρονικά διαστήματα κατά τη διάρκεια της ολίσθησης των δεδομένων ελέγχου. Επομένως, λόγω των μεταβάσεων τιμών στις εισόδους της συνδυαστικής λογικής, το ποσοστό της καταναλισκόμενης ισχύος είναι δυνατό να αυξηθεί σε βαθμό που να προσεγγίζει τις προδιαγραφές του κυκλώματος για την κανονική λειτουργία. Είναι πολύ σημαντικό το γεγονός ότι η καταναλισκόμενη ισχύς κατά τον ΕΟΛ σε αυτή την περίπτωση είναι πλήρως ελεγχόμενη από τον σχεδιαστή.



Σε ότι αφορά την επίτευξη της επιθυμητής κατανάλωσης ισχύος κατά τον έλεγχο στην ταχύτητα λειτουργίας, αυτή δεν μπορεί να ικανοποιηθεί με τον προηγούμενο τρόπο. Όπως έχει αναφερθεί η δεύτερη τεχνική προσφέρει τη δυνατότητα αιτιοκρατικού ΕΟΛ στην ταχύτητα λειτουργίας των ολοκληρωμένων κυκλωμάτων. Αυτό συμβαίνει γιατί καθ' όλη τη διάρκεια της ολίσθησης του διανύσματος ελέγχου οι τιμές του διανύσματος αρχικοποίησης διατηρούνται στα κυρίως flip-flop των κυττάρων σάρωσης της αλυσίδας. Επομένως, η ενημέρωση των flip-flop κατά την ολίσθηση του διανύσματος ελέγχου εντός της αλυσίδας θα είχε ως αποτέλεσμα την απώλεια του διανύσματος αρχικοποίησης επομένως και της αιτιοκρατίας. Υπάρχει ωστόσο η δυνατότητα ενημέρωσης των flip-flop κατά την ολίσθηση του διανύσματος αρχικοποίησης και μάλιστα κατά τέτοιο τρόπο ώστε να ξεπεραστεί το όριο κατανάλωσης ισχύος των προδιαγραφών του κυκλώματος στην κανονική λειτουργία. Ακολουθώντας, κατά την ολίσθηση του διανύσματος ελέγχου η απουσία καταναλισκόμενης ισχύος θα μειώσει τη συνολική ισχύ ώστε να μην ξεπερνά αυτή της κανονικής λειτουργίας του κυκλώματος. Μία εναλλακτική λύση, που δεν απαιτεί την περιοδική ενημέρωση των flip-flop για την ελεγχόμενη κατανάλωση ισχύος, είναι η τεχνητή άνοδος της θερμοκρασίας του περιβάλλοντος κατά τον ΕΟΛ (όπως στις burn-in τεχνικές), ώστε να επιτευχθούν συνθήκες κανονικής λειτουργίας.

Επιπρόσθετα οι δύο προτεινόμενες τεχνικές μπορούν εύκολα να συνδυαστούν με τις τεχνικές συμπλήρωσης των αδιάφορων όρων για την πιθανή μείωση της μέγιστης ισχύος που παρουσιάζεται κατά τη φάση της σύλληψης ή της ενημέρωσης των flip-flop.

Σχετικά με το κόστος σε επιφάνεια πυριτίου, να παρατηρήσουμε ότι για την μεν πρώτη προτεινόμενη τεχνική μπορεί να αποτελέσει ανασταλτικό παράγοντα, ενώ για τη δεύτερη τεχνική είναι ουσιαστικά αμελητέο.

Τέλος, ο χρόνος που απαιτείται για την ολοκλήρωση του ΕΟΛ με τη χρήση των αλυσίδων σάρωσης, παραμένει γενικά ίσος με αυτόν στην περίπτωση της κλασικής αλυσίδας σάρωσης, αν και πρέπει να επισημάνουμε ότι για την πρώτη προτεινόμενη τεχνική ο χρόνος αυτός μειώνεται κατά μισό κύκλο ρολογιού για κάθε διάνυσμα ελέγχου που εφαρμόζεται στο κύκλωμα.

Οι δύο τεχνικές εγγυώνται τον αξιόπιστο ΕΟΛ χωρίς να επηρεάζεται ούτε στο ελάχιστο η κάλυψη σφαιμάτων και η μείωση της κατασκευαστικής απόδοσης.



ΑΝΑΦΟΡΕΣ

- [1] M. Abramovici, M.A Breuer, and A.D Friedman, *Digital Systems Testing and Testable Design*, IEEE Press, 1990.
- [2] G. Moore, Cramming more components onto integrated circuits, *Electronics*, pp. 114–117, April 19, 1965
- [3] Laung-Terng Wang, Charles E. Stroud, Nur A. Touba, *System-On-Chip Test Architectures. Nanometer Design for Testability*, Morgan Kaufmann Publishers, 2008.
- [4] T. W. Williams and N. C. Brown, Defect level as a function of fault coverage, *IEEE Trans. on Computers*, 30(12), pp. 987–988, December 1981.
- [5] M. L. Bushnell and V. D. Agrawal, *Essentials of Electronic Testing for Digital, Memory & Mixed-Signal VLSI Circuits*, Springer Science, New York, 2000.
- [6] N. Jha and S. Gupta, *Testing of Digital Systems*, Cambridge University Press, London, 2003.
- [7] E. J. McCluskey and F. Buelow, IC quality and test transparency, in *Proc. IEEE Int. Test Conf.*, pp. 295–301, September 1988.
- [8] SIA, *The National Technology Roadmap for Semiconductors*, Semiconductor Industry Association, San Jose, CA, 1997.
- [9] SIA. *The International Technology Roadmap for Semiconductors: 1999 Edition*, Semiconductor Industry Association, San Jose, CA (<http://public.itrs.net>), 1999.
- [10] S. Mourad, Y. Zorian, *Principles of Testing Electronic Systems*, A Wiley-Interscience Publication , 2000.
- [11] Stewart, J. H., Applicant of Scan/Set for Error Detection and Diagnostics, *Proc. IEEE Semiconductor Test Conference*, pp. 152 – 158, 1978.
- [12] E. B. Eichelberger and T. W. Williams, A logic design structure for LSI testability, in *Proc. Design Automation Conf.*, pp. 462–468, June 1977.



- [13] M. Pedram. Power Minimization in IC Design: Principles and Applications, ACM Transactions on Design Automation of Electronic Systems (TODAES), pp. 3 – 56, 1996.
- [14] K. Roy and S. Prasad. Low – Power CMOS VLSI Circuit Design, John Wiley & Sons, 2000
- [15] P. Girard, Low power testing of VLSI circuits: Problems and solutions, in *Proc.Int. Symp. on Quality of Electronic Design*, pp. 173–179, March 2000.
- [16] B. Pouya and A. Crouch, Optimization trade-offs for vector volume and test power, in *Proc. Int. Test Conf.*, pp. 873–881, October 2000.
- [17] N. Nicolici and B. Al-Hashimi, Power-Constrained Testing of VLSI Circuits Kluwer Academic, Norwell, MA, 2003.
- [18] S. Chakrabarty and J. Monzel, V.D. Agrawal, R. Aitken, J. Braden, J. Figueras, S. Kumar, H. J. Wunderlich and Y. Zorian, Power Dissipation During Testing: Should we worry about it? In *Proc. IEEE VLSI Test Symposium*, pp. 456, 1997.
- [19] R. Sankatalingham, B. Pouya and N. Touba, Reducing Power Dissipation During Test Using Scan Chain Disable, *IEEE VLSI Test Symposium (VTS)*, pp. 319-324, 2001.
- [20] A. Chandra and K. Chakrabarty, Combining low-power scan testing and test data compression for system-on-a-chip, *Design Automation Conf.*, pp. 166-169, 2001.
- [21] S. Remersaro, X. Lin, Z. Zhang, S. Reddy, I. Pomeranz and J. Rajski, Preferred Fill: A Scalable method to Reduce Capture Power for Scan Based Designs, *IEEE International Test Conference (ITC)*, p. 32.2, 2006.
- [22] S. Balatsouka, V. Tenentes, X. Kavousianos, K. Chakrabarty, Defect Aware X-Filling for Low –Power Scan Testing, *EDAA*, 2010.
- [23] Vishwani D. Agrawal, James J. Danaher, A Tutorial on Test Power International Symposium on Low-Power Electronics and Design (ISLPED), 2008.
- [24] A.Khoche, Test Resource Partitioning for Scan Architectures using Bandwidth Matchin . *IEEE Test Resource Partitioning Workshop*, pp.1.4-1 – 1.4-8, 2002.
- [25] Y. Bonhomme, P. Girard, L. Guiller, C. Landrault, and S. Pravossoudovitch. A gated clock scheme for low power scan testing of logic ICs or embedded cores, in *Proc. Asian Test Symp.*, pp. 253–258, November 2001.
- [26] J. Saxena, K. M. Butler, and L. Whetsel, A scheme to reduce power consumption during scan testing, in *Proc. Int. Test Conf.*, pp. 670–677, October 2001.



- [27] T. Pering, T. Burd, and R. Brodersen, The Simulation and Evaluation of Dynamic Voltage Scaling Algorithms, *Proc. Int'l Symp. Low Power Electronics and Design (ISLPED 98)*, ACM Press, 1998, pp. 76-81.
- [28] R. Gonzalez, B. Gordon, and M. Horowitz, Supply and Threshold Voltage Scaling for Low Power CMOS, *IEEE J. Solid-State Circuits*, vol. 32, no. 8, Aug. 1997, pp. 1210-1216.
- [29] D. Ernst et al., Razor: A Low-Power Pipeline Based on Circuit-Level Timing Speculation, *Proc. 36th Ann. Int'l Symp. Microarchitecture (MICRO-36)*, IEEE CS Press, 2003, pp. 7-18.
- [30] Dan Ernst, Shidhartha Das, Seokwoo Lee, David Blaauw, Todd Austin, Trevor Mudge, Nam Sung Kim, Krisztián Flautner, Razor: Circuit – Level Correction of Timing Errors for Low – Power Operation, *IEEE Computer Society*, pp. 10 – 19, 2004.
- [31] Todd Austin, David Blaauw, Trevor Mudge, Krisztián Flautner, Making Typical Silicon Matter with Razor, *IEEE Computer Society*, pp. 57 – 64, 2004.
- [32] Rupak Samanta, Ganesh Venkataraman, Nimay Shah and Jiang Hu. Elastic Timing Scheme for Energy-Efficient and Robust Performance, *9th International Symposium on Quality Electronic Design*, pp. 537 – 538, 2008.
- [33] Michael Nicolaidis, GRAAL: A New Fault Tolerant Design Paradigm for Mitigating the Flaws of Deep Nanometric Technologies, *International Test Conference*, pp. 3 – 6, 2007.
- [34] S. Valadimas, Y. Tsiatouhas and A. Arapoyanni, Timing Error Tolerance in Nanometer ICs, *IEEE 16th International On-Line Testing Symposium*, pp. 283 – 288 2010.
- [35] D. Chinnery and K.W. Keutzer, Closing the Gap Between ASIC & Custom: Tools and Techniques for High- Performance ASIC Design, Springer, 2002.
- [36] H. Partovi et al., Flow-through Latch and Edge- Triggered Flip-Flop Hybrid Elements. *Proc. 42nd IEEE Int'l Solid-State Circuits Conf. (ISSCC 96)*, IEEE Press, 1996, pp. 138-139.
- [37] S. Koza et al., A 100 MHz 0.4W RISC Processor with 200 MHz Multiply-Adder, Using Pulse-Register Technique, *Proc. 42nd IEEE Int'l Solid-State Circuits Conf. (ISSCC 96)*, IEEE Press, pp. 140-141, 432, 1996,
- [38] S. Shibatani and A.H.C. Li, Pulse-Latch Approach Reduces Dynamic Power, *EE Times*, 17 July 2006.



[39] Y. Shin, S. Paik, Pulsed – Latch Circuits: A New Dimension in ASIC Design, IEEE Design & Test of Computers, pp. 50 – 56, 2011

[40] Neil H. E. Weste, David M. Harris, Σχεδίαση Ολοκληρωμένων Συστημάτων CMOS VLSI, Εκδόσεις Παπασωτηρίου, pp.379 – 407, 2011.

[41] Y. Sun, J. Gong, and C.-T. Chen, Method and Apparatus for Fixing Hold Time Violations in a Circuit Design, US patent 7278126, Patent and Trademark Office, 2007.

[42] C. Lin and H. Zhou, Clock Skew Scheduling with Delay Padding for Prescribed Skew Domains, Proc. 12th Asia and South Pacific Design Automation Conf. (ASP-DAC 07), IEEE CS Press, 2007, pp. 541-546.

[43] S. Kim et al., Pulser Gating: A Clock Gating of Pulsed- Latch Circuits, Proc. 16th Asia and South Pacific Design Automation Conf. (ASP-DAC 11), IEEE Press, pp. 190-195, 2011.

[44] H. K. Lee and D.S. Ha, Atalanta: an Efficient ATPG for Combinational Circuits, Technical Report, pp.93-12, Dep't of Electrical Eng., Virginia Polytechnic Institute and State University, Blacksburg, Virginia, 1993, (<http://www.vtvt.ece.vt.edu/vlsidesign/>).

[45] H. K. Lee and D. S. Ha, HOPE: An Efficient Parallel Fault Simulator for Synchronous Sequential Circuits, IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol. 15, pp. 1048-1058, 1996.

[46] Ευτυχία Αρβανίτη, Σχεδίαση Τμηματοποιημένων Αλυσίδων Σάρωσης για Μείωση της Κατανάλωσης Ενέργειας κατά τον Έλεγχο Ορθής Λειτουργίας, Μεταπτυχιακή Εργασία Ειδίκευσης, Τμήμα Πληροφορικής Πανεπιστημίου Ιωαννίνων, pp. 32-88, 19-22, 2011.

[47] L. Lou, G. Hu and F. Roberts, New Scan Testing Techniques, IEEE Transactions on VLSI Systems, vol. 21, no. 3, pp. 345-354, 2004.



ΣΥΝΤΟΜΟ ΒΙΟΓΡΑΦΙΚΟ

Η Αναστασία Ανθούλα αποφοίτησε από το Τμήμα Επιστήμης Υπολογιστών του Πανεπιστημίου Κρήτης, το Νοέμβριο του 2009. Είναι μεταπτυχιακή φοιτήτρια στο Τμήμα Πληροφορικής του Πανεπιστημίου Ιωαννίνων από το Μάρτιο του 2010.

