

Ανάπτυξη ακολουθιακής κάρτας (sequencer) VME για
την ανάγνωση σημάτων μικρολωριδιακών
ανιχνευτών Si προενισχυμένων με FE PreMux.

172

ΜΠΛΕ

ΜΕΤΑΠΤΥΧΙΑΚΗ ΔΙΠΛΩΜΑΤΙΚΗ ΕΡΓΑΣΙΑ

Αθανάσιος Β. Γεωργιάδης
Φυσικός

Η.Ε. 2

Επίβλεψη: Ι. Ευαγγέλου Επίκουρος Καθηγητής,
Εργαστήριο Φυσικής Υψηλών Ενεργειών

ΔΙΑΤΜΗΜΑΤΙΚΟ ΠΡΟΓΡΑΜΜΑ ΜΕΤΑΠΤΥΧΙΑΚΩΝ ΣΠΟΥΔΩΝ
ΣΤΙΣ ΣΥΓΧΡΟΝΕΣ ΗΛΕΚΤΡΟΝΙΚΕΣ ΤΕΧΝΟΛΟΓΙΕΣ

ΤΜΗΜΑ ΦΥΣΙΚΗΣ
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

Ιωάννινα, Δεκέμβριος 1999

Χρ.
546



ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΕΡΕΥΝΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΙΝΣΤΙΤΟΥΤΟ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΕΚΔΟΣΕΩΝ ΔΙΔΑΚΤΙΚΩΝ ΒΙΒΛΙΩΝ (ΙΤΥΣ)

ΒΙΒΛΙΟΘΗΚΗ
ΠΑΝΕΠΙΣΤΗΜΙΟΥ ΙΩΑΝΝΙΝΩΝ
026000132981

1

ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ

2

Η.Ε.

ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΕΡΕΥΝΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΙΝΣΤΙΤΟΥΤΟ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΕΚΔΟΣΕΩΝ ΔΙΔΑΚΤΙΚΩΝ ΒΙΒΛΙΩΝ (ΙΤΥΣ)

ΕΛΛΗΝΙΚΗ ΔΗΜΟΚΡΑΤΙΑ
ΥΠΟΥΡΓΕΙΟ ΠΑΙΔΕΙΑΣ, ΕΡΕΥΝΑΣ ΚΑΙ ΘΡΗΣΚΕΥΜΑΤΩΝ
ΙΝΣΤΙΤΟΥΤΟ ΤΕΧΝΟΛΟΓΙΑΣ ΥΠΟΛΟΓΙΣΤΩΝ ΚΑΙ ΕΚΔΟΣΕΩΝ ΔΙΔΑΚΤΙΚΩΝ ΒΙΒΛΙΩΝ (ΙΤΥΣ)

3

246
X6
ΠΑΝΕΠΙΣΤΗΜΙΟ ΙΩΑΝΝΙΝΩΝ

Αριθ. εισ.:...264...200...4.

αφιερώνεται στον αδερφό μου Αντώνη



Ανάπτυξη ακολουθιακής κάρτας VME (sequencer) για την ανάγνωση σημάτων μικρολωριδιακών ανιχνευτών Si προενισχυμένων με FE PreMux.

Περίληψη

Το αντικείμενο αυτής της εργασίας είναι η μελέτη και η κατασκευή μιας κάρτας στο πρότυπο VME για τον έλεγχο της μητρικής κάρτας του FE ολοκληρωμένου PreMux που περιέχει 4 ολοκληρωμένα PreMux. Το PreMux αποτελεί προενισχυτή, μορφοποιητή και πολυπλέκτη με αναλογική έξοδο των σημάτων που λαμβάνονται από μικρολωριδιακό ανιχνευτή πυριτίου. Η ακολουθιακή κάρτα παράγει κατάλληλα σήματα έλεγχου για την δειγματοληψία των εισόδων, την πολυπλεξία τους και την ψηφιοποίησή τους με σκοπό την προώθηση τους σε άλλες μονάδες για την περαιτέρω επεξεργασία τους. Η κάρτα έχει δύο λειτουργίες: Την κανονική λειτουργία λήψεως μετρήσεων και την λειτουργία βαθμονόμησης του PreMux ολοκληρωμένου.



Abstract

The subject of this MSc thesis is the development and construction of a VMEbus sequencer card for the control of a Premux FE chip board. The Premux chip is used in Si microstrip detectors to amplify, shape and multiplex the strip signals. The sequencer provides the appropriate control signal to the PreMux board for sampling, multiplexing its inputs and digitizes them in order to be available through the VMEbus for further processing. The Sequencer card has two modes of operation: The Read Out and the Calibration mode.



Ευχαριστίες

Εδώ θα ήθελα να ευχαριστήσω μερικούς ανθρώπους, η συμβολή των οποίων στην πραγματοποίηση αυτής της εργασίας υπήρξε σημαντική.

Τον επιβλέποντα Επίκουρο Καθηγητή Ι. Ευαγγέλου, μέλος του Εργαστηρίου Φυσικής Υψηλών Ενεργειών του Πανεπιστημίου Ιωαννίνων, για την καθοδήγησή του σε όλη τη διάρκεια του προγράμματος των σπουδών μου.

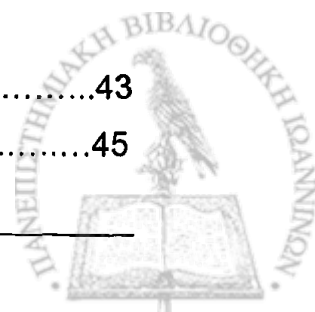
Τον διευθυντή του ΕΦΥΕ Καθηγητή Φ.Α.Τριάντη, τον διευθυντή του Ινστιτούτου Πληροφορικής του Ε.Κ.Ε.Φ.Ε “Δημόκριτος” κ. Π.Κωσταράκη, τον Επίκουρο Καθηγητή Ν. Μάνθο του ΕΦΥΕ και τον Δρ. Κ. Κλουκίνα του Ευρωπαϊκού Εργαστηρίου Πυρηνικής Φυσικής CERN για τις συμβουλές και τη βοήθειά τους στην εκπόνηση αυτής της εργασίας.

Τον ηλεκτρονικό του ΕΦΥΕ κ. Π.Τριανταφύλλου για τις πληροφορίες και τη βοήθειά του και τους συναδέλφους μου κ.κ. Α. Ασημίδα, Ε. Λαγό, Π. Παπαζαχαρή και Β. Χριστοφιλάκη για τη βοήθεια και τη συνεργασία τους.



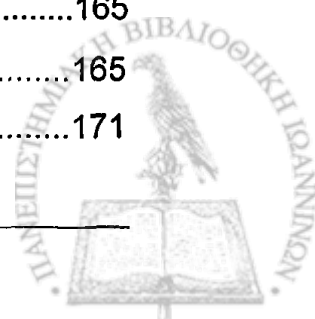
Περιεχόμενα

Εισαγωγή.....	ix
1. Ανιχνευτές μικρολωρίδων πυριτίου.....	1
1.1 Εισαγωγή.....	1
1.2 Μέθοδος κατασκευής ανιχνευτή πυριτίου.....	2
1.3 Λειτουργία ανιχνευτή πυριτίου.....	4
2. Περιγραφή του ολοκληρωμένου PreMux128.....	7
2.1 Εισαγωγή.....	7
2.2 Λειτουργία προενισχυτή και μορφοποιητή.....	9
2.3 Βαθμονόμηση.....	10
2.4 Κύκλωμα διπλά συσχετιζόμενης δειγματοληψίας.....	10
2.5 Λειτουργία πολυπλέκτη.....	12
2.6 Διάταξη για ανάγνωση πολλών PreMux ολοκληρωμένων.....	13
2.7 Πόλωση εξωτερικής πηγής ρεύματος.....	15
3. Περιγραφή του VMEbus.....	17
3.1 Εισαγωγή.....	17
3.2 Περιγραφή και λειτουργία του Data Transfer Bus (DTB).....	20
3.2.1 Περιγραφή του Data Transfer Bus.....	20
3.2.2 Λειτουργία του DTB.....	28
3.3 Λειτουργία του Arbitration bus.....	30
3.4 Priority interrupt bus.....	31
3.5 Utility bus.....	32
4. VME Interface.....	33
4.1 Εισαγωγή.....	33
4.2 VME Interface με διακριτά στοιχεία.....	37
4.2.1 VME interface με κοινά ολοκληρωμένα.....	37
4.2.2 VME interface με χρήση του ολοκληρωμένου VME2000.....	43
4.3 VME interface με CPLD.....	45



4.4 VME interface με FPGA.....	52
5. DAQ State Machine.....	55
5.1 Εισαγωγή.....	55
5.2 Παραγωγή των ακολουθιακών σημάτων PHI_1, PHI_2, TOK_IN, S1 και S2.....	55
5.3 Έλεγχος της μονάδας ADC.....	64
5.4 Προγραμματισμός CPLD και ολοκλήρωση της μονάδας DAQ State Machine.....	68
6. Μονάδες ADC και FIFO.....	75
6.1 Εισαγωγή.....	75
6.2 Περιγραφή λειτουργίας της μονάδας ADC.....	77
6.3 Περιγραφή της μονάδας FIFO.....	79
7. Μονάδα προγραμματιζόμενου εξασθενητή τάσης (Programmable Attenuator Module).....	81
7.1 Εισαγωγή.....	81
7.2 Ανάλυση δομής και λειτουργίας του προγραμματιζόμενου εξασθενητή τάσης.....	83
7.2.1 Βασική δομή εξασθενητή τάσης.....	83
7.2.2 Υπολογισμός επιπέδων εξασθένησης.....	85
7.2.3 Ανάλυση λειτουργίας προγραμματιζόμενου εξασθενητή.....	86
7.3 Λειτουργία της μονάδας προγραμματιζόμενου εξασθενητή τάσης.....	88
8. Προγραμματισμός της κάρτας μέσω PILS.....	93
9. Συμπεράσματα – Αποτελέσματα.....	101
9.1 Εισαγωγή.....	101
9.2 Αποτελέσματα της μονάδας διεπαφής του VME.....	101
9.2.1 Μονάδα διεπαφής με διάκριτα ολοκληρωμένα.....	101
9.2.2 Μονάδα διεπαφής με CPLDs.....	105
9.3 Αποτελέσματα της μονάδας DAQ State Machine.....	106
9.4 Ολοκλήρωση της πειραματικής διάταξης της ακολουθιακής κάρτας με το FE ολοκληρωμένο PreMux.....	109

ΒΙΒΛΙΟΓΡΑΦΙΑ.....	117
Παραρτήματα.....	119
Παράρτημα Α.....	119
Το VALET PLUS.....	119
Α.1 Εισαγωγή.....	119
Α.2 Χρήση του VALET PLUS.....	120
Α.3 Προγραμματισμός με PILS.....	121
Παράρτημα Β.....	123
Μονάδες VME.....	123
Β.1 MVME101.....	123
Β.2 TEKMIΣ TSVME202-3.....	128
Β.3 TEMKIS TSVME204.....	129
Παράρτημα Γ.....	131
Προγραμματισμός FPGA και CPLD.....	131
Γ.1 Περιγραφή του σχεδιαστικού πακέτου της XILINX Foundation Series v1.5.....	131
Γ.2 Αρχιτεκτονική ολοκληρωμένων προγραμματιζόμενης λογικής....	136
Γ.2.1 Αρχιτεκτονική των FPGAs.....	136
Γ.2.2 Αρχιτεκτονική των CPLDs.....	139
Γ.3 Προγραμματισμός ολοκληρωμένων προγραμματιζόμενης λογικής.....	142
Γ.3.1 Προγραμματισμός FPGA.....	142
Γ.3.2 Προγραμματισμός CPLD.....	154
Παράρτημα Δ.....	159
Η μητρική κάρτα του PreMux128.....	159
Παράρτημα Ε.....	165
Ε.1 Στοιχεία τυπωμένου κυκλώματος.....	165
Ε.2 Εικόνες ακολουθιακής κάρτας.....	171



Εισαγωγή

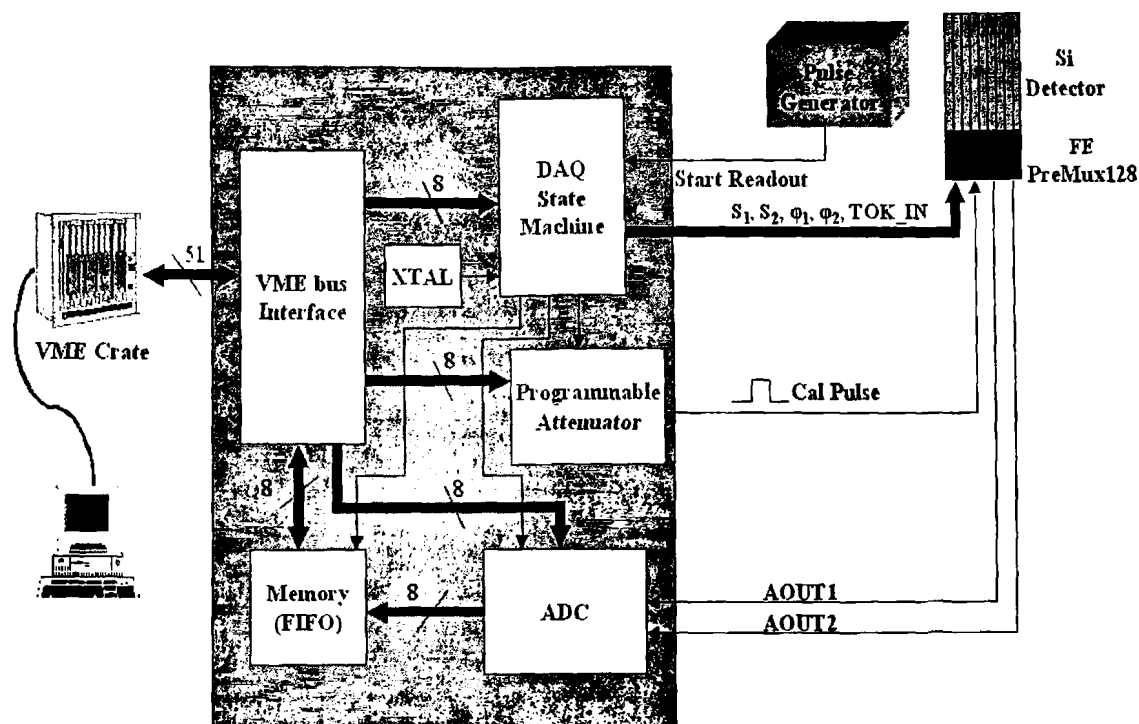
Ο σκοπός της ακολουθιακής κάρτας VME είναι ο έλεγχος της μητρικής κάρτας του PreMux ώστε να αναγνωστούν οι αναλογικές εξοδοί του. Το PreMux είναι ένα ολοκληρωμένο με ενσωματωμένο προενισχυτή, μορφοποιητή και πολυπλέκτη και με αναλογική έξοδο για τα σήματα που λαμβάνονται από μικρολωριδιακό ανιχνευτή πυριτίου. Ένα γενικό διάγραμμα με τη δομή της κάρτας και των συνδέσεών της με τις υπόλοιπες συσκευές φαίνεται στο σχήμα 1. Η ακολουθιακή κάρτα είναι μια κάρτα του VME τύπου Slave και χωρίζεται στις παρακάτω μονάδες:

1. Η μονάδα διεπαφής με το VMEbus (VMEbus interface Module)
2. Η μονάδα διαχείρισης δεδομένων (DAQ State Machine Module)
3. Η μονάδα Προγραμματιζόμενου Εξασθενητή (Programmable Attenuator Module)
4. Η μονάδα ADC (ADC Module)
5. Η μονάδα μνήμης (FIFO Module)

Η κάρτα έχει δύο διαφορετικές λειτουργίες: της βαθμονόμησης και της ανάγνωσης. Στην πρώτη, την λειτουργία βαθμονόμησης, στέλνονται γνωστοί σε ύψος παλμοί, μέσω της μονάδας εξασθένησης (Attenuator Module), ώστε να ελεγχθεί η σωστή λειτουργία του PreMux και να βαθμονομηθεί η αναλογική έξοδος του. Με την δεύτερη, την λειτουργία ανάγνωσης, γίνεται ανάγνωση της αναλογικής εξόδου της μητρικής κάρτας του PreMux κάθε φορά που ένα σωματίδιο διέρχεται από τον ανιχνευτή μικρολωρίδων πυριτίου με τον οποίο είναι συνδεδεμένα τα τέσσερα ολοκληρωμένα PreMux.



Η κάρτα επικοινωνεί με τον δίαυλο VMEbus μέσω της μονάδας διεπαφής με το VMEbus (VMEbus Interface). Όπως φαίνεται στο γενικό διάγραμμα του σχήματος 1 στη μονάδα αυτή καταλήγουν οι 51 γραμμές έλεγχου, διεύθυνσης και δεδομένων που παρέχει το VMEbus.



Σχήμα 1: Γενικό διάγραμμα της ακολουθιακής κάρτας VME.

Η μονάδα διαχείρισης δεδομένων (DAQ State Machine) στέλνει τα σήματα έλεγχου για τον PreMux. Τα σήματα S1 και S2 δειγματοληπτούν τα κανάλια του PreMux, ενώ τα ϕ_1 , ϕ_2 και TOK_IN ελέγχουν την ακολουθιακή ανάγνωση τους. Η μονάδα διαχείρισης δεδομένων παράγει τα παραπάνω σήματα με την ακμή ανόδου του σήματος έναρξη ανάγνωσης (Start Readout). Το σήμα αυτό, όπως φαίνεται στο σχήμα 1, προέρχεται από μια γεννήτρια παλμών (Pulse Generator), μπορεί όμως να προέρχεται και από μια μονάδα παραγωγής παλμών σκανδαλισμού (Trigger), στην περίπτωση που η ακολουθιακή κάρτα χρησιμοποιείται σε πειραματική διάταξη ανίχνευσης σωματίων, και σχετίζονται άμεσα με την διέλευση σωματίων διαμέσου του ανιχνευτή μικρολωρίδων πυριτίου. Τα δεδομένα των 8bit που πηγαίνουν στην μονάδα, καθορίζουν την χρονική καθυστέρηση μεταξύ των S1 και S2

ώστε ο παλμός να δειγματοληπτείται στο μέγιστο του. Η μονάδα αυτή ελέγχει την λειτουργία των μονάδων του ADC καθώς και του προγραμματιζόμενου εξασθενητή, κατά την λειτουργία βαθμονόμησης.

Οι αναλογικοί έξοδοι του PreMux (AOUT1 και AOUT2) αποτελούν ένα διαφορικό σήμα το οποίο καταλήγει στην είσοδο της μονάδας ADC. Εκεί το σήμα ενισχύεται και ψηφιοποιείται. Οι ψηφιακές έξοδοι του ADC προωθούνται στην μονάδα μνήμης, η οποία είναι τύπου FIFO. Τα δεδομένα προωθούνται στην συνέχεια, μέσω της διεπαφής του VME, στο VMEbus, με το οποίο μεταφέρονται σε άλλες μονάδες για περαιτέρω επεξεργασία.

Τέλος η μονάδα του προγραμματιζόμενου εξασθενητή τάσης ενεργοποιείται μόνο κατά την λειτουργία της βαθμονόμησης. Τα δεδομένα των 8bit από το VMEbus χρησιμεύουν για τον προγραμματισμό του ύψους του παλμού βαθμονόμησης (Cal Pulse). Ο παλμός αυτός καταλήγει στην μητρική κάρτα του PreMux.

Η παραπάνω κάρτα τοποθετείται πάνω σε ένα σασί VME το οποίο ελέγχεται μέσω της μονάδας MVME101 από ένα PC. Η MVME101 είναι μια κάρτα Master του VMEbus και η ανάλυση της λειτουργίας της δίνεται στο Παράρτημα Β, και μαζί με την κάρτα μνήμης αποτελεί το VALET PLUS το οποίο χρησιμοποιεί το λειτουργικό σύστημα MONICA, αναφορά των οποίων γίνεται στο Παράρτημα Α. Τέλος ο έλεγχος της κάρτας γίνεται μέσω προγράμματος σε γλώσσα προγραμματισμού PILS.

Στην παρούσα εργασία στο κεφάλαιο 1 παρουσιάζεται η δομή και η λειτουργία ενός μικρολωριδιακού ανιχνευτή πυριτίου. Στο κεφάλαιο 2 παρουσιάζεται ο τρόπος λειτουργίας του FE PreMux. Στο κεφάλαιο 3 γίνεται μια σύντομη περιγραφή της λειτουργίας του διαύλου του VME. Στο κεφάλαιο 4 παρουσιάζεται η μονάδα διεπαφής του VME της ακολουθιακής κάρτας. Στο κεφάλαιο 5 αναλύεται η λειτουργία της μονάδας διαχείρισης δεδομένων (DAQ State Machine) και περιγράφονται οι ακολουθίες των σημάτων που ελέγχουν το διάβασμα των καναλιών του PreMux. Στο κεφάλαιο 6 περιγράφεται η λειτουργία των μονάδων ADC και FIFO ενώ στο κεφάλαιο 7 παρουσιάζεται η μονάδα του προγραμματιζόμενου εξασθενητή τάσης. Στο κεφάλαιο 8 παρατίθεται ένα παράδειγμα προγραμματισμού της ακολουθιακής κάρτας. Τέλος στο κεφάλαιο 9 παρουσιάζονται τα αποτελέσματα και τα



συμπεράσματα λειτουργίας των μονάδων που κατασκευάστηκαν, δηλαδή της μονάδας διεπαφής με το VME και της μονάδας DAQ State Machine.

Πρέπει να σημειωθεί ότι σε όλα στα κεφάλαια 4-9 καθώς και στα παραρτήματα Γ.3 και Ε περιγράφεται η συμβολή του γράφοντος στην παρούσα εργασία.

1. Ανιχνευτές μικρολωρίδων πυριτίου

1.1 Εισαγωγή

Οι ανιχνευτές ημιαγωγών [1] χρησιμοποιούνται στην Πυρηνική Φυσική [2] ήδη από το 1951 αλλά σε πειράματα Φυσικής Υψηλών Ενεργειών εμφανίστηκαν πολύ αργότερα στην δεκαετία του '70. Αρχικά χρησιμοποιούνταν συμπιεσμένα πολλαπλά επίπεδα διόδων πυριτίου τα οποία λειτουργούσαν ως ένας θάλαμος ιονισμού. Με αυτή την διάταξη μετρούσαν σήματα που παράγονταν από ανάκρουση πυρήνων καθώς και την πολλαπλότητα δευτερογενών σωματίων μιας αντίδρασης. Το 1980 ο J.Kemmer εισήγαγε την επίπεδη τεχνική κατασκευής ολοκληρωμένων κυκλωμάτων σε πυρίτιο. Στην επίπεδη τεχνική βασίστηκε και η κατασκευή ανιχνευτών πυριτίου, με την δημιουργία διόδων σε πολύ λεπτές λωρίδες ($\approx 50\mu\text{m}$) με αποτέλεσμα τον προσδιορισμό της διέλευσης ενός φορτισμένου σωματίου με μεγάλη ακρίβεια. Οι ανιχνευτές πυριτίου εξελίσσονται μέχρι σήμερα με γοργούς ρυθμούς.

Οι ανιχνευτές μικρολωρίδων πυριτίου [3] είναι σήμερα πολύ δημοφιλείς στη Φυσική Υψηλών Ενεργειών κυρίως λόγω της πολύ καλής διακριτικής ικανότητας που παρέχουν για την μέτρηση της ενέργειας. Για κάθε 3.6eV ενέργειας που απελευθερώνεται μέσα στο πυρίτιο από την διέλευση ενός φορτισμένου σωματίου έχουμε δημιουργία ενός ζεύγους σπής-ηλεκτρονίου. Τα 3.6eV είναι πολύ μικρή τιμή αν συγκριθούν με τα 30eV περίπου που χρειάζονται για τον ιονισμό ενός μορίου αερίου σε θάλαμο αερίου ή τα 300eV

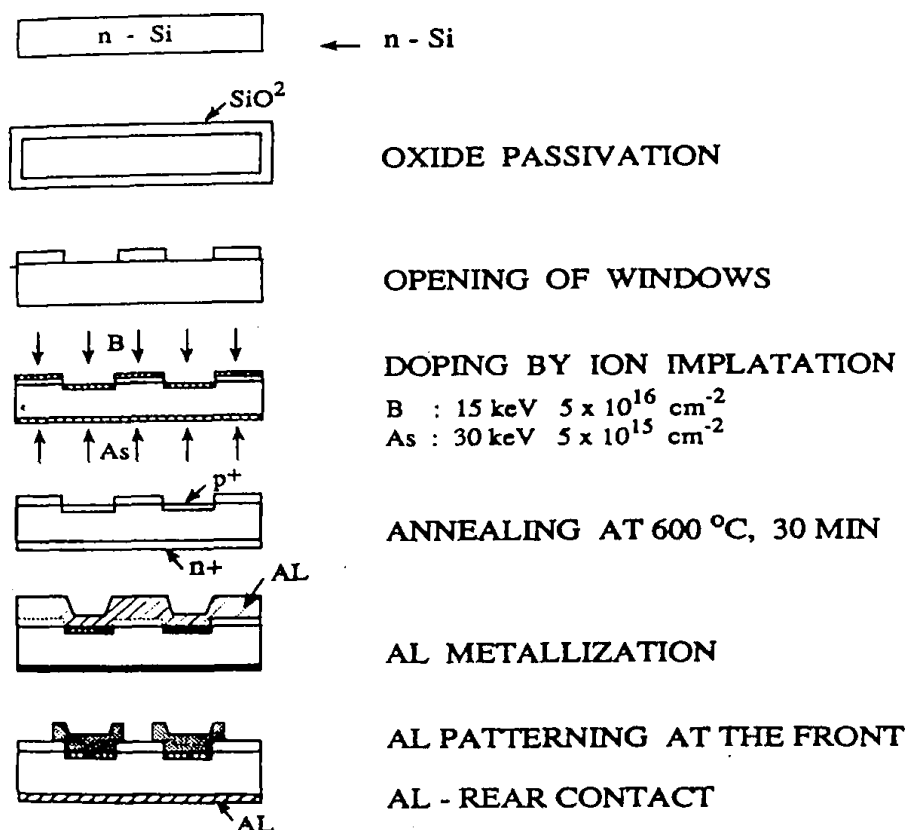
που απαιτούνται για την απομάκρυνση ηλεκτρονίου από την φωτοκάθοδο ενός φωτοπολλαπλασιαστή συνδεδεμένου με πλαστικό σπινθηριστή.

1.2 Μέθοδος κατασκευής ανιχνευτών πυριτίου

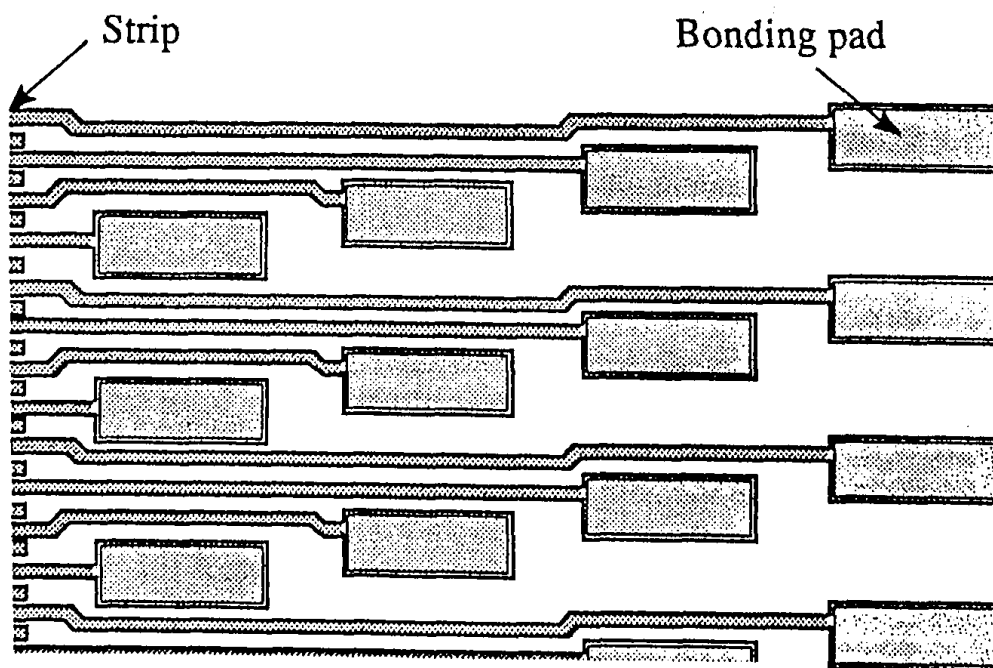
Η επίπεδη τεχνική [4] που χρησιμοποιείται επιτρέπει την κατασκευή πολύ λεπτού επιπέδου p-τύπου πυριτίου πάνω σε υπόβαθρο n-τύπου. Με αυτή την μέθοδο είναι δυνατή η κατασκευή λεπτών λωρίδων διόδων, πάχους μεταξύ 3μm και 10μm, με ακρίβεια 1μm. Η διαδικασία κατασκευής φαίνεται στο σχήμα 1.1. Αρχικά τα wafers πάχους 300μm οξειδώνονται στους 1030 °C. Με την χρήση λιθογραφικών τεχνικών ανοίγονται παράθυρα στο οξειδίο του πυριτίου, ώστε να γίνει δυνατή η εμφύτευση ιόντων στις επιθυμητές περιοχές. Ο εμπλουτισμός του πυριτίου γίνεται είτε με εμφύτευση ιόντων είτε με διάχυση. Οι λωρίδες p κατασκευάζονται με εμφύτευση ιόντων βορίου ενώ για την κάτω επιφάνεια χρησιμοποιούνται ιόντα φωσφόρου ή αρσενικού. Στην συνέχεια πραγματοποιείται εξάχνωση για την μείωση της ζημιάς που μπορεί να προέλθει από την ακτινοβολήση με βαρέα ιόντα. Έπειτα επιμεταλλώνονται οι επιφάνειες εμπλουτισμού ώστε να είναι δυνατή η συγκόλληση συρμάτων με υπέρηχους. Με κατάλληλες μάσκες η επιφάνεια του ανιχνευτή καλύπτεται με αλουμίνιο. Η πίσω επιφάνεια με αλουμίνιο καλύπτεται επίσης με αλουμίνιο. Το τελευταίο βήμα είναι κοπή του ανιχνευτή και η μικροσυγκόλλησή του με τα ηλεκτρονικά τροφοδοσίας και ενίσχυσης σήματος.

Στο σχήμα 1.2 φαίνεται η άκρη ενός ανιχνευτή μικρολωρίδων πυριτίου. Η απόσταση μεταξύ των λωρίδων είναι 25μm και στο τέλος κάθε λωρίδας υπάρχει πέλμα επιφάνειας 60x120 μm². Όπως φαίνεται πέλμα υπάρχει κάθε δύο λωρίδες, ενώ τα υπόλοιπα βρίσκονται στην άλλη άκρη του ανιχνευτή.





Σχήμα 1.1 Στάδια της επίπεδης τεχνικής κατασκευής ανιχνευτή μικρολωρίδων πυριτίου.

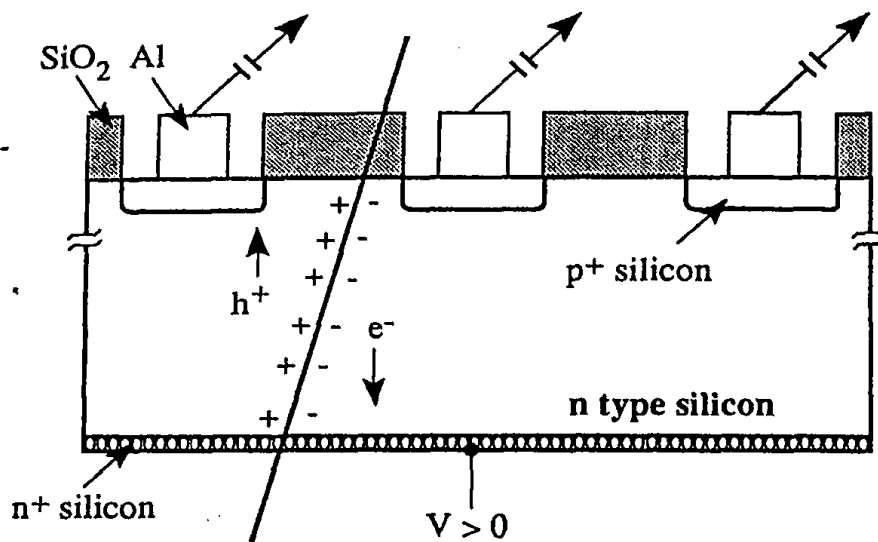


Σχήμα 1.2 Διάταξη ενός ανιχνευτή μικρολωρίδων πυριτίου.

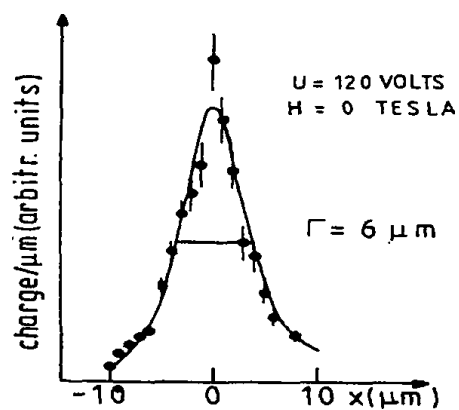
1.3 Λειτουργία ανιχνευτή πυριτίου

Η διέλευση φορτισμένων σωματίων μέσα από τον ανιχνευτή πυριτίου έχει ως αποτέλεσμα την δημιουργία ζευγών οπών-ηλεκτρονίων [1], [2], [3], [4]. Τα φορτία, που παράγονται εντός ενός νοητού κυλίνδρου διαμέτρου περίπου $1\mu\text{m}$ γύρω από την τροχιά των φορτισμένων σωματίων, ολισθαίνουν υπό την επίδραση του ηλεκτρικού πεδίου και συλλέγονται τα μεν ηλεκτρόνια στην κάτω πλευρά οι δε οπές στις λωρίδες της πάνω πλευράς. Η τάση πόλωσης που εφαρμόζεται στον ανιχνευτή ευθύνεται για την ύπαρξη του ηλεκτρικού πεδίου, με το οποίο πραγματοποιείται το ξέπλυμα του ανιχνευτή από ελεύθερα ηλεκτρόνια και οπές. Στο σχήμα 1.3 φαίνεται σχηματικά η κάθετη τομή ενός ανιχνευτή και οι τροχιές κίνησης των οπών και των ηλεκτρονίων που παράγονται κατά την διέλευση φορτισμένου σωματίου. Οι οπές και τα ηλεκτρόνια δεν διαχέονται με τον ίδιο τρόπο λόγω των διαφορετικών ταχυτήτων που έχουν. Έτσι για παράδειγμα για τάση πόλωσης 100V ο χρόνος συλλογής των ηλεκτρονίων είναι περίπου 7ns και των οπών 19ns . Είναι προφανές ότι οι οπές που δημιουργούνται στο κάτω μέρος του ανιχνευτή έχουν μεγαλύτερο χρόνο διάχυσης από τις αντίστοιχες που δημιουργούνται κοντά στην πάνω επιφάνεια. Το αποτέλεσμα είναι ότι το συλλεγόμενο φορτίο αποτελεί υπέρθεση πολλών κατανομών Gauss. Στο σχήμα 1.4 φαίνεται η κατανομή φορτίου που προέρχεται από την μέτρηση του ύψους του παλμού σε μια λωρίδα ως συνάρτηση της προβλεπόμενης απόστασης του σωματίου από αυτή. Στον ανιχνευτή που χρησιμοποιήθηκε η απόσταση μεταξύ των λωρίδων ήταν $25\mu\text{m}$ και τάση πόλωσης 120V . Σε πολλά γεγονότα το φορτίο συλλέγεται από διπλανές λωρίδες. Η επιλογή του πλάτους των λωρίδων εξαρτάται από την κατανομή του φορτίου η οποία παρουσιάζει FWHM περίπου στα $10\mu\text{m}$. Έτσι επιλέγεται ως κατώτερο όριο απόστασης των λωρίδων η τιμή των $20\mu\text{m}$. Η τεχνική επεξεργασίας σημάτων που δημιουργούνται σε διπλανές λωρίδες ονομάζεται τεχνική κέντρου βάρους και αποσκοπεί στον εντοπισμό του ακριβούς σημείου διέλευσης του σωματίου. Στην απλή περίπτωση όπου οι λωρίδες απέχουν $25\mu\text{m}$ η χωρική ακρίβεια που επιτυγχάνεται κυμαίνεται μεταξύ $2.2\mu\text{m}$ και $3.5\mu\text{m}$.





Σχήμα 1.3: Τομή ανιχνευτή Si.

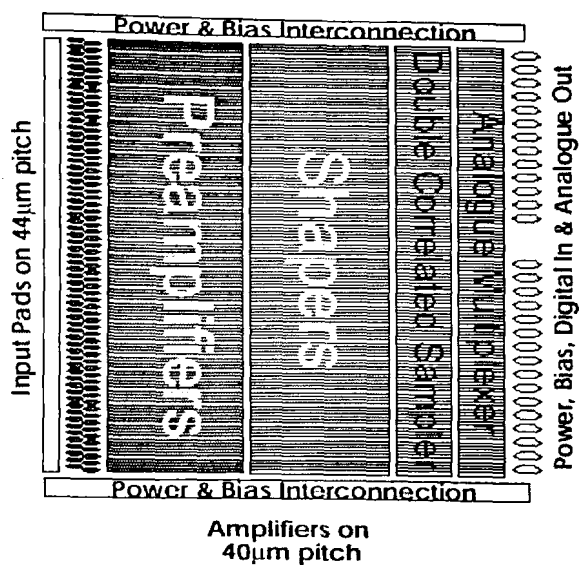


Σχήμα 1.4: Κατανομή φορτίου που συλλέγεται από μια μικρολωρίδα Si πλάτους 6μm.

2. Περιγραφή του ολοκληρωμένου PreMux128

2.1 Εισαγωγή

Το PreMux128 [5] είναι ένα ολοκληρωμένο το οποίο χρησιμοποιείται για την ενίσχυση και η πολυπλεξία των σημάτων που παράγονται κατά την διέλευση φορτισμένων σωματίων από μικρολωριδιακούς ανιχνευτές πυριτίου. Περιλαμβάνει 128 κανάλια προενίσχυσης, μορφοποίησης παλμού, διαφορικής δειγματοληψίας, αναλογικό πολυπλέκτη και δυνατότητα βαθμονόμησης. Στο σχήμα 2.1 φαίνεται η εσωτερική δομή του PreMux με τις παραπάνω μονάδες. Επίσης στον πίνακα 2.1 δίνεται η περιγραφή και λειτουργία των ακροδεκτών του PreMux καθώς.



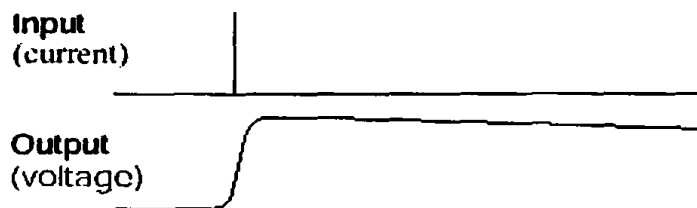
Σχήμα 2.1: Εσωτερική διάταξη των μονάδων του PreMux.

Πίνακας 2.1: Ακροδέκτες του ολοκληρωμένου PreMux.

Name	Type	Description
AIN<0:127>	Signal	Charge sensitive detector inputs
CAL<0:3>	Signal	Calibration structure inputs
IPRE	Current	Preamp current control input
VFPRE	Voltage	Preamp feedback control
ISHAPE	Current	Shaper current control
VFSHAPE	Voltage	Shaper feedback control
IBUFF	Current	Source follower current
IOUT	Current	Output current source
AOUT<1>	Signal	Voltage output from sample1
AOUT<2>	Signal	Voltage output from sample2
AOUT<3>	Signal	Voltage from dummy channel
S1, S1_	Digital	Sample 1 (input) - complementary optional
S2, S2_	Digital	Sample 2 (input) - complementary optional
TOK_IN	Digital	Token in (input)
TOK_OUT	Digital	Token out (output)
PHI_1, PHI_1_	Digital	Clock 1 (input) - complementary optional
PHI_2, PHI_2_	Digital	Clock 2 (input) - complementary optional
VDD	Supply	Positive supply
VSS	Supply	Negative supply
GND	Supply	Ground supply

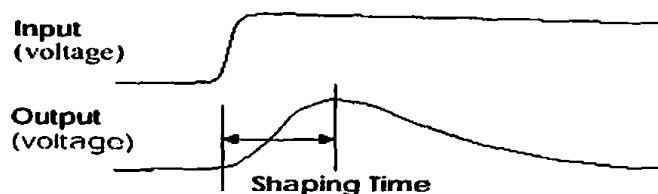
2.2 Λειτουργία προενισχυτή και μορφοποιητή

Ο προενισχυτής παράγει ένα βήμα τάσης (voltage step) ανάλογο του φορτίου εισόδου (inpulse of charge) όπως φαίνεται στο σχήμα 2.2. Ο συντελεστής ενίσχυσης (gain factor) του προενισχυτή είναι περίπου $5\text{mV}/24000 \text{ electrons}$.



Σχήμα 2.2: Χαρακτηριστικά εξόδου του προενισχυτή.

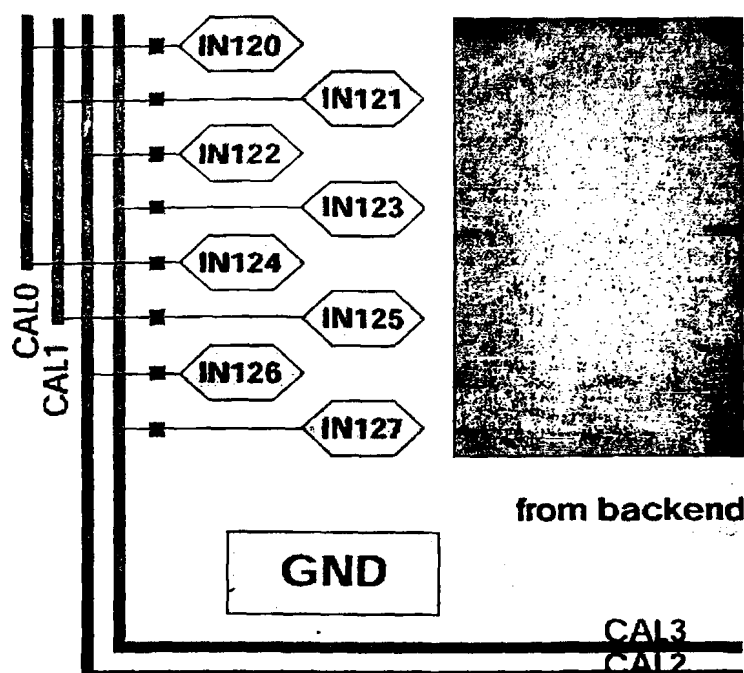
Ο μορφοποιητής παλμού είναι ένα CR-RC φίλτρο. Μορφοποιεί την έξοδο του προενισχυτή σε ένα παλμό με καθορισμένο χρονικά μέγιστο, περίπου 45ns . Στο σχήμα 2.3 φαίνεται η έξοδος του μορφοποιητή σε σχέση με τον παλμό εισόδου. Ο χρόνος μορφοποίησης μπορεί να μεταβληθεί εντός μιας πεπερασμένης περιοχής μέσω της εισόδου έλεγχου VFSHAPE.



Σχήμα 2.3: Έξοδος μορφοποιητή σε σχέση με τον παλμό εισόδου.

2.3 Βαθμονόμηση

Το μέρος της βαθμονόμησης χρησιμοποιείται για τον έλεγχο της απόκρισης του κυκλώματος με την είσοδο γνωστού φορτίου σε κάθε μια είσοδο του προενισχυτή. Η δομή του αποτελείται από τέσσερις εισόδους (CAL0, 1, 2, 3) καθεμιά από τις οποίες συζεύγνυι 32 κανάλια μέσω 50 fF πυκνωτών. Η δομή αυτή φαίνεται στο σχήμα 2.4.

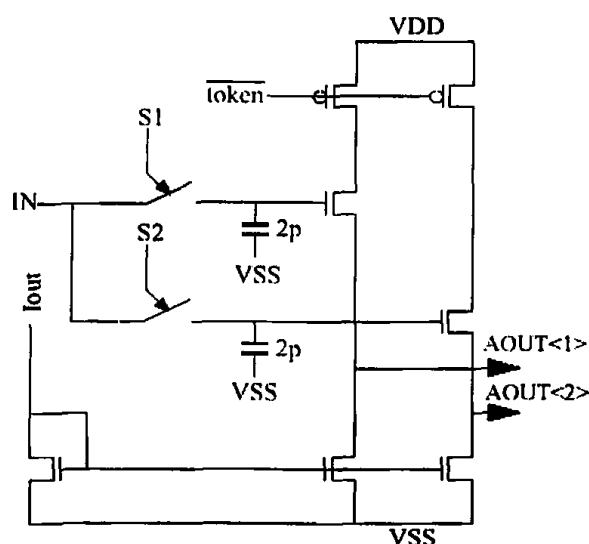


Σχήμα 2.4: Το κύκλωμα βαθμονόμησης του PreMux.

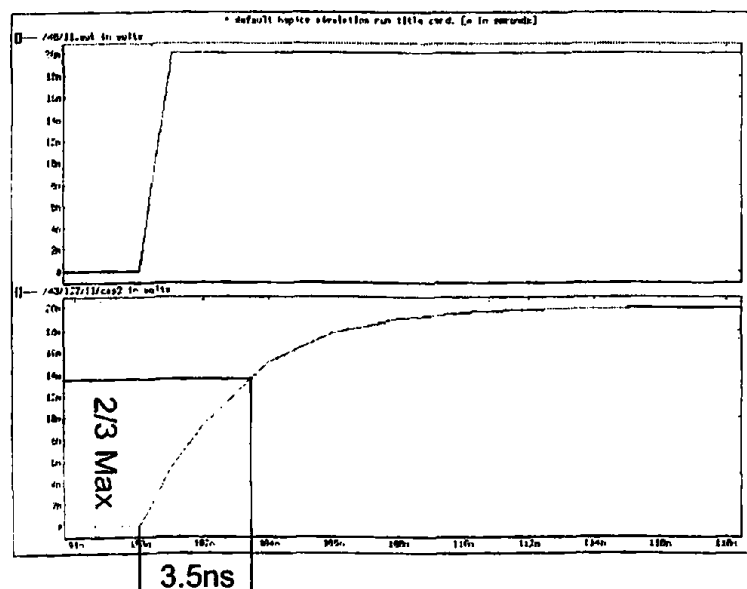
2.4 Κύκλωμα δειγματοληψίας

Το PreMux128 περιέχει ένα κύκλωμα διπλής δειγματοληψίας (double collerated sampling). Η έξοδος του μορφοποιητή (shaper) δειγματοληπτείται σε δύο σημεία. Πρώτα δειγματοληπτείται το υπόβαθρο του σήματος και στη συνέχεια η κορυφή του σήματος εξόδου. Στο κύκλωμα που φαίνεται στο σχήμα 2.5 οι δύο πυκνωτές των 2pF φορτίζονται με τα δύο δείγματα παλμών τα οποία περνούν μέσω των διακοπών S1 και S2. Οι τιμές αυτές διαβάζονται μέσω διαβίβασης του σήματος TOKEN μέσα από το κύκλωμα ανάγνωσης του

κάθε καναλιού. Ο πρώτος πυκνωτής στην είσοδο του S1 χρησιμοποιείται για τη δειγματοληψία του υποβάθρου του σήματος, ενώ ο δεύτερος στην είσοδο του S2 για την δειγματοληψία της κορυφής του σήματος. Ο δεύτερος πυκνωτής της εισόδου S2 πρέπει να ανταποκρίνεται στην έξοδο του shaper σε μικρό χρονικό διάστημα. Για το λόγο αυτό η σταθερά χρόνου του RC κυκλώματος που συνίσταται από τον S2 και τον πυκνωτή στην είσοδό του πρέπει να είναι μικρότερη των 10ns. Στην πραγματικότητα όταν ο S2 είναι κλειστός έχει αντίσταση 1750Ω, το οποίο δίνει σταθερά χρόνου 3.5ns κάτι το οποίο φαίνεται στο σχήμα 2.6.



Σχήμα 2.5: Κύκλωμα δειγματοληψίας.



Σχήμα 2.6: Σταθερά RC του Sample and Hold (S/H) διακόπτη και πυκνωτή.

Ο χρόνος για τον οποίο οι πυκνωτές μπορούν να διατηρήσουν το φορτίο τους καθορίζεται από το ρεύμα διαρροής (leakage current) μέσα από τους διακόπτες. Ακριβές μοντέλο προσομοιώσεις για την επίδραση του ρεύματος διαρροής δεν έχει πραγματοποιηθεί αλλά η ύπαρξή του θεωρείται ότι δεν επιφέρει κάποιο πρόβλημα.

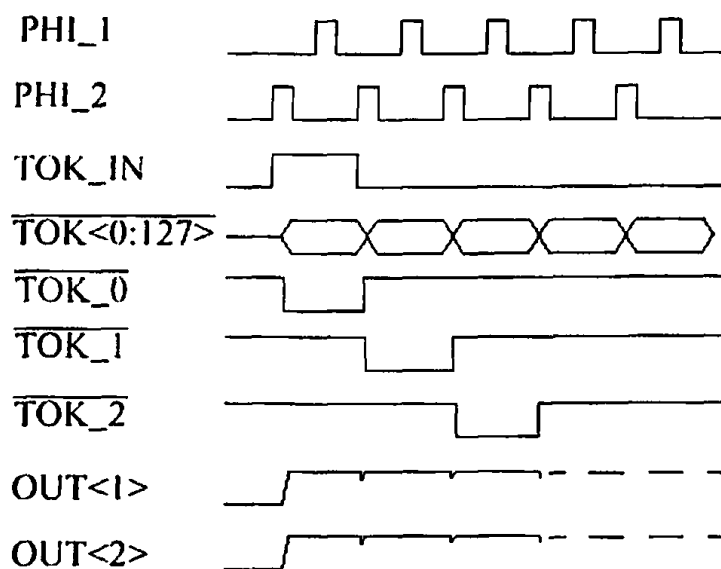
Η έξοδος του κυκλώματος διπλής δειγματοληψίας πολώνεται χρησιμοποιώντας μια πηγή ρεύματος ελεγχόμενη από ένα εξωτερικό πέλμα (pad). Μέσω του εξωτερικού πέλματος η έξοδος πολώνεται σε τάση περίπου 1V όταν τα transistors του token ανοίγουν, αλλιώς η έξοδος βρίσκεται στο επίπεδο του V_{ss} .

Εάν δεν απαιτείται διπλή δειγματοληψία τότε το S1 μπορεί να συνδεθεί στο V_{ss} και το AOOUT<1> είτε να αφεθεί ελεύθερο (στον αέρα) είτε να συνδεθεί στο V_{DD} , σε καμία περίπτωση όμως δεν πρέπει να συνδεθεί στο V_{ss} . Εάν το AOOUT<1> δε χρησιμοποιείται ως παθητικό κανάλι (dummy channel) τότε το AOOUT<3> το οποίο περιέχεται στο ολοκληρωμένο μπορεί να χρησιμοποιηθεί για την παροχή της απαιτούμενης τάσης ώστε να πόλωση τη δεύτερη είσοδο ενός διαφορικού ενισχυτή ο οποίος βρίσκεται εκτός του ολοκληρωμένου.

2.5 Λειτουργία πολυπλέκτη

Κατά την λειτουργία της πολυπλεξίας (multiplexing) πραγματοποιείται μεταβίβαση των πληροφοριών που περιέχονται σε ένα μεγάλο αριθμό καναλιών μέσα σε ένα μικρότερο αριθμό καναλιών. Το κύκλωμα του πολυπλέκτη (multiplexer) του ολοκληρωμένου PreMux πραγματοποιεί την πολυπλεξία των τιμών που βρίσκονται στα 128 κανάλια του. Αποτελείται από ένα δυναμικό shift register και η λειτουργία του βασίζεται στον έλεγχο του σήματος token. Το σήμα token παράγεται με την εφαρμογή του εξωτερικού σήματος TOK_IN, είναι εσωτερικό σήμα του ολοκληρωμένου PreMux και ευθύνεται για την ενεργοποίηση των αναλογικών εξόδων κάθε καναλιού. Οι πολυπλέκτες ξεκινούν με το power up και στη συνέχεια ένα token πρέπει να περάσει μέσα από μια αλυσίδα σε ένα set-reset flip-flop το οποίο ελέγχει το

παθητικό κανάλι. Ακολουθώντας αυτή τη λειτουργία το επόμενο token που περνά από το κύκλωμα θα διαβάσει το chip. Ο χρονισμός των σημάτων token σε συνάρτηση των PHI_1, PHI_2 και των εξόδων (OUT<1> και OUT<2>) φαίνεται στο σχήμα 2.7.



Σχήμα 2.7: Χρονισμοί των σημάτων token σε συνάρτηση των PHI_1, PHI_2 και των εξόδων (OUT<1> και OUT<2>).

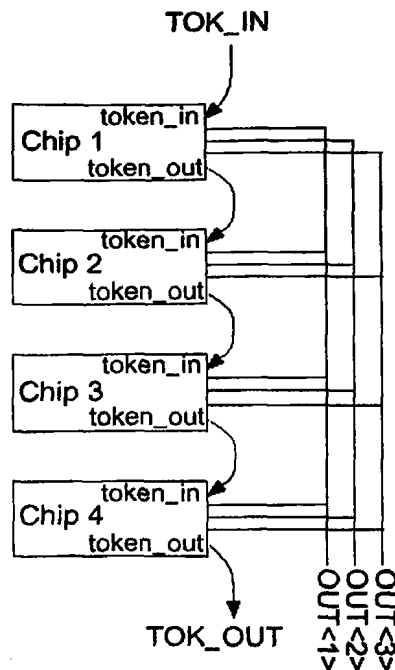
2.6 Διάταξη για ανάγνωση πολλών ολοκληρωμένων

PreMux

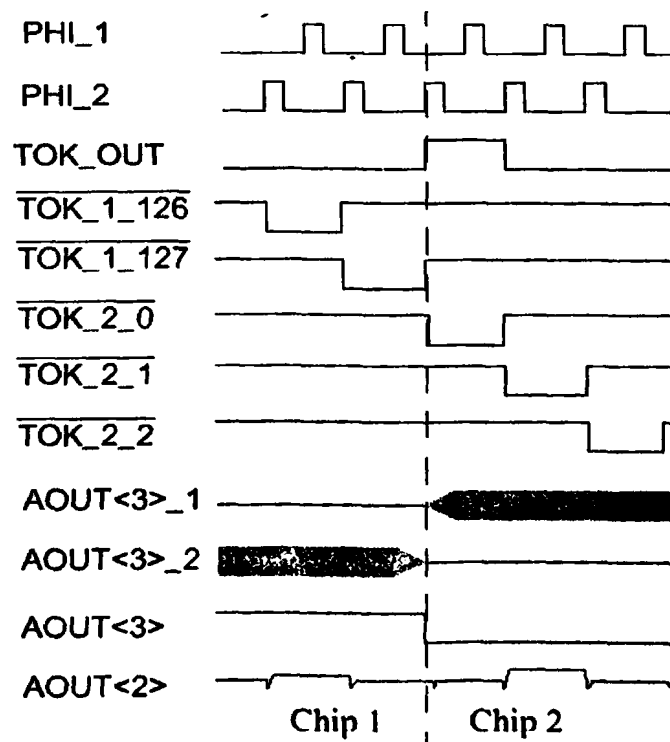
Πολλά ολοκληρωμένα είναι δυνατόν να ενωθούν με τον ίδιο ανιχνευτή και να διαβάζονται από την ίδια έξοδο. Αυτό επιτυγχάνεται με την ένωση όλων των αναλογικών εξόδων και της εξόδου TOK_OUT του ενός ολοκληρωμένου στην είσοδο TOK_IN του επόμενου όπως φαίνεται στο σχήμα 2.8.

Η τάση πόλωσης στο AOUT<3> η οποία παρέχεται από το παθητικό κανάλι μεταβάλλεται καθώς το token διέρχεται από το ένα ολοκληρωμένο στο άλλο. Καθώς το token διέρχεται από το πρώτο ολοκληρωμένο το παθητικό κανάλι αυτού του chip παρέχει την τάση πόλωσης στο AOUT<3>. Μόλις το 128^ο κανάλι διαβαστεί η τάση πόλωσης αλλάζει, αφού τώρα παρέχεται από το

δεύτερο ολοκληρωμένο. Αυτό το γεγονός επαναλαμβάνεται όταν το token μεταβαίνει από ένα ολοκληρωμένο σε άλλο. Η παραπάνω διαδικασία σε συνάρτηση με το χρόνο φαίνεται στο σχήμα 2.9.



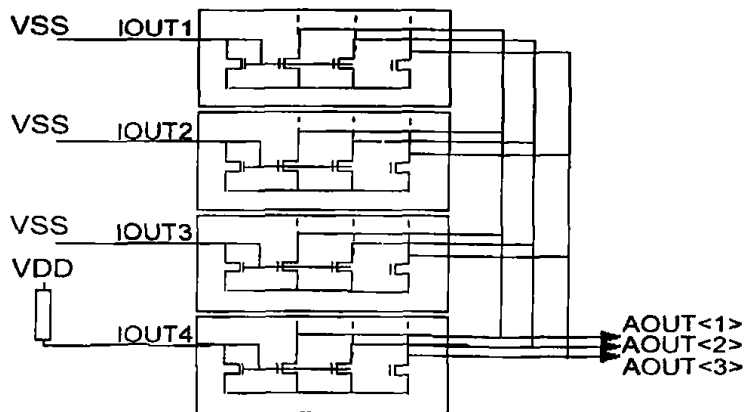
Σχήμα 2.8: Συνδεσμολογία πολλαπλών ολοκληρωμένων PreMux.



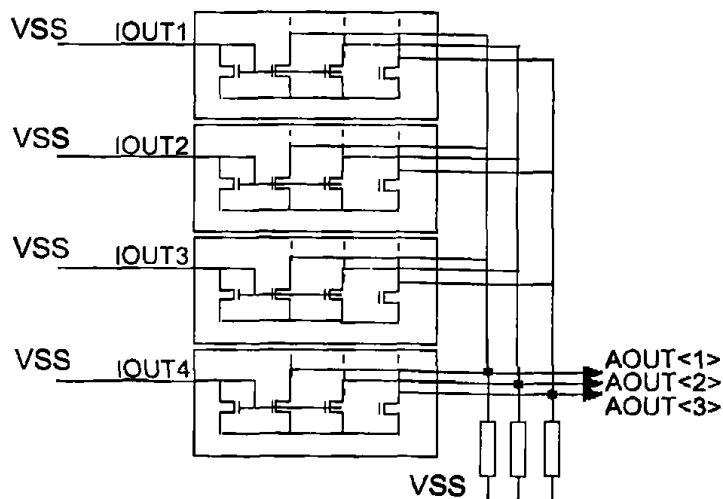
Σχήμα 2.9: Χρονισμός της τάσης πόλωσης για το παθητικό κανάλι.

2.7 Πόλωση εξωτερικής πηγής ρεύματος

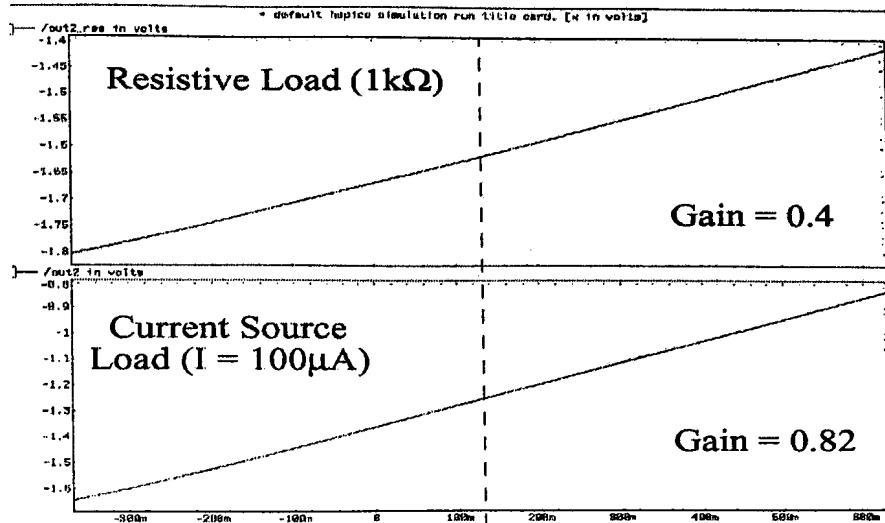
Όταν το PreMux πολώνεται μέσω πηγής ρεύματος εξόδου αρκεί να πολωθεί μόνο ένα από τα ολοκληρωμένα και οι υπόλοιπες πηγές ρεύματος να ενωθούν με το Vss σχήμα 2.10. Διαφορετικά μπορούν να αποκλειστούν (switched off) όλες οι πηγές ρεύματος και οι κοινές εξοδοί να πολωθούν χρησιμοποιώντας μια αντίσταση προς το Vss όπως φαίνεται στο σχήμα 2.11. Σε αυτή την περίπτωση η έξοδος πολώνεται πιο κοντά στο Vss και το μέγεθος σήματος θα είναι μικρότερο από την προηγούμενη περίπτωση. Στο σχήμα 2.12 φαίνεται η γραμμικότητα και το κέρδος του κυκλώματος για το διάβασμα του PreMux χρησιμοποιώντας τις δύο παραπάνω μεθόδους.



Σχήμα 2.10: Πηγή κοινού ρεύματος.



Σχήμα 2.11: Πόλωση μέσω αντίστασης.



Quiescent Operating Point of Output from Shaper Buffer

Σχήμα 2.12: Γραμμικότητα των δύο τρόπων ανάγνωσης των καναλιών του PreMux.

3. Πέριγραφή του VMEbus

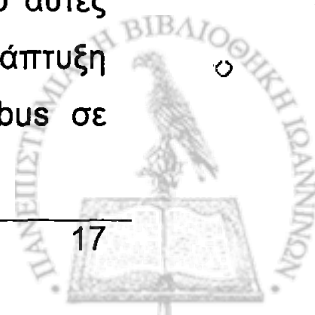
3.1 Εισαγωγή

Το VMEbus [6] είναι από τα πιο δημοφιλή 8/16/32 bit backplane bus. Η χρήση του προτύπου Eurocard, η υψηλή απόδοση και η πολλαπλή χρησιμότητά του είναι μερικοί από τους λόγους για τους οποίους το VMEbus απευθύνεται σε μεγάλο εύρος χρηστών.

Αρχικά σκοπός του VMEbus ήταν η διασύνδεση μονάδων επεξεργασίας δεδομένων, μνημών και περιφερειακών μονάδων διαχείρισης δεδομένων. Επίσης σχεδιάστηκε ώστε να επιτρέπει διατάξεις τμημάτων παραλλήλων επεξεργασιών, να χειρίζεται έως και 32bit δεδομένων και διευθύνσεων και να χρησιμοποιεί ένα ευρέως διαδεδομένο μηχανικό πρότυπο, το EUROCARD/IEEE.

Η αρχιτεκτονική ανάπτυξη του VMEbus χρονολογικά συμβαδίζει με την ανάπτυξη της δεύτερης γενιάς των επεξεργασιών 68000 της Motorola στα τέλη του 1970. Το πρώτο σύστημα που σχεδιάστηκε ονομάστηκε EXORmacs, ενώ το backplane ονομάστηκε VERSAbus. Μια βελτιωμένη έκδοση παρουσιάστηκε στο εμπόριο το 1980.

Μέχρι το 1981 το πρωτόκολλο του VERSAbus είχε τροποποιηθεί πέντε φορές από την Motorola, η οποία ήταν η μόνη εταιρεία που το υποστήριζε. Με την εξουσιοδότηση από την Motorola των Mostek και Philips/Signetics για συμπαραγωγή των επεξεργασιών της οικογένειας MC68000, οι δύο αυτές εταιρείες προσκλήθηκαν από την Motorola να συμμετάσχουν στην ανάπτυξη του διαύλου. Τότε συμφωνήθηκε και η μετονομασία του VERSAbus σε



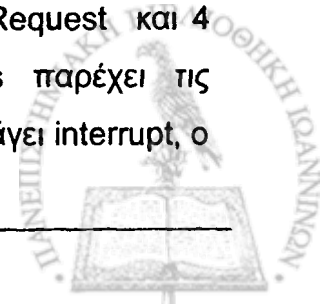
VMEbus. Τελικά το 1983 η IEEE αναγνώρισε το VMEbus ως παγκόσμιο πρωτόκολλο και το ονόμασε IEEE P1014.

Σήμερα το VMEbus είναι παγκοσμίως διαδεδομένο. Υποστηρίζεται από τις εταιρείες MOTOROLA, MOSTEK, Force Computers (BRD), Data-Sud (F), Signetics, Philips και άλλες διεθνείς εταιρείες και εργαστήρια.

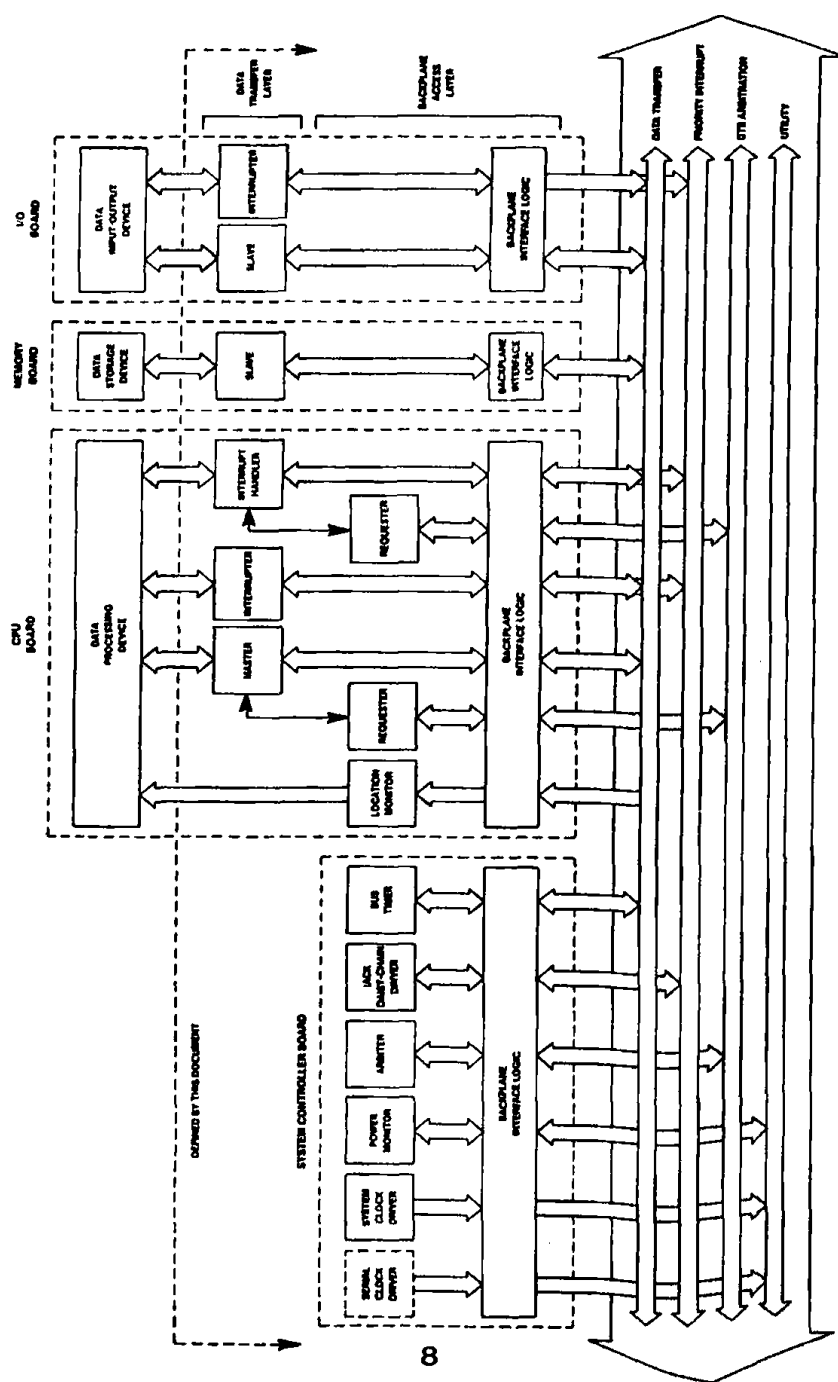
Οι δυνατότητες του VMEbus συνοψίζονται στα εξής:

- Δίαυλος παραλλήλων επεξεργαστών για σασί 19" ή μικρότερο.
- Εύρος δεδομένων κυρίως 16bit (=D16), με δυνατότητα επιλογής D8 και D32.
- Εύρος διευθύνσεων κυρίως 24bit (=A24), με δυνατότητα επιλογής A16 και A32.
- Μεταφορά με πρωτόκολλο "Handshaked" για πακέτα διευθύνσεων και δεδομένων.
- 4 γραμμές Bus Request με 4 γραμμές Acknowledge Grant.
- 7 γραμμές Interrupt με 7 γραμμές Acknowledge.
- 6bit Address Modifier για επιπλέον πληροφορία όσο αφορά το δίαυλο διευθύνσεων.
- 3 γραμμές για έλεγχο διαφορετικών μεγεθών δεδομένων.
- Μηχανικό πρότυπο EUROcard με connector DIN 96 ακροδεκτών.
- Το σύννηθες μέγεθος ύψους της κάρτας είναι 233.35mm, ενώ το βάθος της είναι σταθερό 160mm.

Το VMEbus περιέχει 4 εσωτερικούς δίαυλους: Το Data Transfer Bus, το Arbitration Bus, το Priority Interrupt Bus και το Utility Bus. Το Data Transfer Bus (DTB) επιτρέπει την απευθείας μεταφορά δυαδικής πληροφορίας μεταξύ Master και Slave. Αποτελείται από δεδομένα 16bit, διεύθυνσης 24bit, Address Modifiers AM0-AM5 και σήματα έλεγχου για επικοινωνία μεταξύ Master και Slave (3 γραμμές έλεγχου DS0*, DS1* και LWORD που οργανώνουν τις μεταφορές των 8, 16 και 32bit). Το Arbitration Bus ελέγχεται από την μονάδα Arbiter η οποία μοιράζει τη χρήση του DTB στις διάφορες μονάδες Master που βρίσκονται πάνω στο δίαυλο. Περιέχει 4 γραμμές Bus Request και 4 γραμμές Bus Grant (IN/OUT). Το Priority Interrupt Bus παρέχει τις απαραίτητες γραμμές για να επικοινωνήσει η μονάδα που παράγει interrupt, ο



Interrupter, με την μονάδα που διαχειρίζεται τις αιτήσεις για interrupt, ο Interrupt Handler. Αποτελείται από τις γραμμές IRQ1-IRQ7 και από μία αλυσιδωτή γραμμή (daisy chain), την Interrupt Acknowledge (IACK). Ο τελευταίος εσωτερικός δίαυλος του VMEbus είναι το Utility Bus. Αυτό παρέχει περιοδικά σήματα και συντονίζει την έναρξη και τον τερματισμό της λειτουργίας του συστήματος VMEbus. Το δομικό διάγραμμα του VMEbus φαίνεται στο σχήμα 3.1.



Σχήμα 3.1: Δομικό διάγραμμα του VMEbus.

3.2 Περιγραφή και λειτουργία του Data Transfer Bus (DTB)

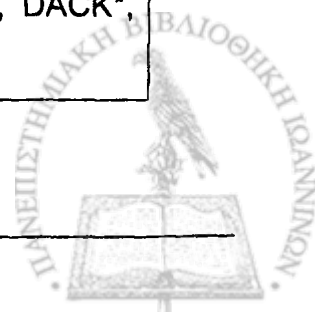
3.2.1 Περιγραφή του Data Transfer Bus

Όπως αναφέρθηκε παραπάνω ένας από τους τέσσερις εσωτερικούς διαύλους που παρέχει το VMEbus είναι το Data Transfer Bus [6], το οποίο επιτρέπει την ασύγχρονη μεταφορά δεδομένων μεταξύ Master και Slave.

Προκειμένου να γίνουν σωστά οι μεταφορές δεδομένων μεταξύ Master και Slave θα πρέπει και οι δύο να παρακολουθούν τις γραμμές που συνιστούν το Data Transfer Bus. Οι γραμμές ομαδοποιούνται σε τρεις κατηγορίες: Διεύθυνσης, Δεδομένων και Ελέγχου (πίνακας 3.1). Ανάλογα με το πλήθος των γραμμών διεύθυνσης που χρησιμοποιούνται για την μεταφορά δεδομένων υπάρχουν τρεις τύποι μεταφοράς δεδομένων: 1) Short Addressing Mode (Λειτουργία Μικρής Διευθυνσιοδότησης) όταν χρησιμοποιούνται οι 16 πρώτες γραμμές διεύθυνσης A01-A16, 2) Standard Addressing Mode (Λειτουργία Καθιερωμένης Διευθυνσιοδότησης) όταν χρησιμοποιούνται οι γραμμές διεύθυνσης A01-A24 και 3) Long Addressing Mode (Λειτουργία Μεγάλης Διευθυνσιοδότησης) όταν χρησιμοποιούνται όλες οι γραμμές διεύθυνσης A01-A31.

Πίνακας 3.1: Γραμμές του Data Transfer Bus

Τύπος γραμμών	Γραμμές
Γραμμές Διεύθυνσης	A01-A31, AM0-AM5, DS0*, DS1*, LWORD
Γραμμές Δεδομένων	D00-D31
Γραμμές Έλεγχου	AS0*, DS0*, DS1*, BERR*, DACK*, WRITE*



Οι 6 γραμμές Address Modifier (AM0-AM5) επιτρέπουν στον Master να περάσει πρόσθετη πληροφορία στον Slave κατά την διάρκεια μιας μεταφοράς δεδομένων. Στον πίνακα 3.2 φαίνονται οι 64 συνδυασμοί που δημιουργούν οι 5 γραμμές Address Modifier. Οι συνδυασμοί αυτοί χωρίζονται σε τρεις κατηγορίες: Στους προκαθορισμένους (Standard), στους κατειλημμένους (Reserved) και στους καθοριζόμενους από τον χρήστη (User defined).

Κατά την διάρκεια ενός κύκλου DTB που έχει ξεκινήσει μία μονάδα Master, οι μονάδες Slave που βρίσκονται πάνω στο δίαυλο αρχικά αποκωδικοποιούν τις διευθύνσεις A02-A31 και AM0-AM5, στην ακμή καθόδου του AS* όπου και ενεργοποιούνται, ώστε να καταλάβουν σε ποια απευθύνεται ο Master. Στην συνέχεια η μονάδα Slave, στην οποία απευθύνεται ο Master, ελέγχει τις γραμμές WRITE*, A1, LWORD, DS0* και DS1 και ώστε να αναγνωρίσει ποιος τύπος κύκλου του DTB πρόκειται να πραγματοποιηθεί. Στον πίνακα 3.3 φαίνονται οι τύποι των κύκλων του DTB σε συνάρτηση των λογικών επιπέδων των παραπάνω γραμμών, το πλήθος των οποίων είναι 34.

Το VMEbus έχει την δυνατότητα παροχής είτε 8 γραμμών δεδομένων, οπότε επιτρέπει στον Master πρόσβαση σε μια θέση ενός byte, είτε 16 γραμμών δεδομένων, οπότε επιτρέπεται στον Master ταυτόχρονη πρόσβαση σε δύο θέσεις ενός byte, είτε τέλος 32 γραμμών δεδομένων οι οποίες επιτρέπουν στον Master ταυτόχρονη πρόσβαση σε τέσσερις θέσεις ενός byte. Σε κάθε τύπο κύκλου του DTB που περιγράφεται στον πίνακα 3.3 χρησιμοποιούνται διαφορετικές γραμμές δεδομένων. Στον επόμενο πίνακα 3.4 φαίνονται ποιες γραμμές χρησιμοποιούνται ανάλογα με τον τύπο κύκλου του DTB.

Πίνακας 3.2: Γραμμές Address Modifier

Address Modifier Codes							
HEX CODE	ADDRESS MODIFIER						FUNCTION
	5	4	3	2	1	0	
3F	H	H	H	H	H	H	Standard Supervisory Block Transfer Standard Supervisory Program Access Standard Supervisory Data Access Reserved Standard Non-Privileged Block Transfer Standard Non-Privileged Program Access Standard Non-Privileged Data Access Reserved
3E	H	H	H	H	H	L	
3D	H	H	H	H	L	L	
3C	H	H	H	H	L	L	
3B	H	H	H	L	H	H	
3A	H	H	H	L	H	L	
39	H	H	H	L	L	H	
38	H	H	H	L	L	L	
37	H	H	L	H	H	H	Reserved
36	H	H	L	H	H	L	Reserved
35	H	H	L	H	L	H	Reserved
34	H	H	L	H	L	L	Reserved
33	H	H	L	L	H	H	Reserved
32	H	H	L	L	H	L	Reserved
31	H	H	L	L	L	H	Reserved
30	H	H	L	L	L	L	Reserved
2F	H	L	H	H	H	H	Reserved
2E	H	L	H	H	H	L	Reserved
2D	H	L	H	H	L	H	Short Supervisory Access
2C	H	L	H	H	L	L	Reserved
2B	H	L	H	L	H	H	Reserved
2A	H	L	H	L	H	L	Reserved
29	H	L	H	L	L	H	Short Non-Privileged Access
28	H	L	H	L	L	L	Reserved
27	H	L	L	H	H	H	Reserved
26	H	L	L	H	H	L	Reserved
25	H	L	L	H	L	H	Reserved
24	H	L	L	H	L	L	Reserved
23	H	L	L	L	H	H	Reserved
22	H	L	L	L	H	L	Reserved
21	H	L	L	L	L	H	Reserved
20	H	L	L	L	L	L	Reserved
1F	L	H	H	H	H	H	User defined
1E	L	H	H	H	H	L	User defined
1D	L	H	H	H	L	H	User defined
1C	L	H	H	H	L	L	User defined
1B	L	H	H	L	H	H	User defined
1A	L	H	H	L	H	L	User defined
19	L	H	H	L	L	H	User defined
18	L	H	H	L	L	L	User defined
17	L	H	L	H	H	H	User defined
16	L	H	L	H	H	L	User defined
15	L	H	L	H	L	H	User defined
14	L	H	L	H	L	L	User defined
13	L	H	L	L	H	H	User defined
12	L	H	L	L	H	L	User defined
11	L	H	L	L	L	H	User defined
10	L	H	L	L	L	L	User defined
0F	L	L	H	H	H	H	Extended Supervisory Block Transfer
0E	L	L	H	H	H	L	Extended Supervisory Program Access
0D	L	L	H	H	L	H	Extended Supervisory Data Access
0C	L	L	H	H	L	L	Reserved
0B	L	L	H	L	H	H	Extended Non-Privileged Block Transfer
0A	L	L	H	L	H	L	Extended Non-Privileged Program Access
09	L	L	H	L	L	H	Extended Non-Privileged Data Access
08	L	L	H	L	L	L	Reserved
07	L	L	L	H	H	H	Reserved
06	L	L	L	H	H	L	Reserved
05	L	L	L	H	L	H	Reserved
04	L	L	L	H	L	L	Reserved
03	L	L	L	L	H	H	Reserved
02	L	L	L	L	H	L	Reserved
01	L	L	L	L	L	H	Reserved
00	L	L	L	L	L	L	Reserved

L = low signal level H = high signal level



Πίνακας 3.3: Κύκλοι του DTB

Signal Levels Used To Select Which Byte Location(s)
Are Accessed During A Data Transfer

Type of cycle	DS1*	DS0*	A01	LWORD*
ADDRESS-ONLY	high	high	<-----Note1----->	
Single even byte transfers				
BYTE(0) READ or WRITE	low	high	low	high
BYTE(2) READ or WRITE	low	high	high	high
Single odd byte transfers				
BYTE(1) READ or WRITE	high	low	low	high
BYTE(3) READ or WRITE	high	low	high	high
Double byte transfers				
BYTE(0-1) READ or WRITE	low	low	low	high
BYTE(2-3) READ or WRITE	low	low	high	high
Quad byte transfers				
BYTE(0-3) READ or WRITE	low	low	low	low
Single byte block transfers				
SINGLE BYTE BLOCK READ or WRITE	<-----Note 2----->			high
Double byte block transfers				
DOUBLE BYTE BLOCK READ or WRITE	low	low	Note 3	high
Quad byte block transfers				
QUAD BYTE BLOCK READ or WRITE	low	low	low	low
Single byte RMW transfers				
BYTE(0) READ-MODIFY-WRITE	low	high	low	high
BYTE(1) READ-MODIFY-WRITE	high	low	low	high
BYTE(2) READ-MODIFY-WRITE	low	high	high	high
BYTE(3) READ-MODIFY-WRITE	high	low	high	high
Double byte RMW transfers				
BYTE(0-1) READ-MODIFY-WRITE	low	low	low	high
BYTE(2-3) READ-MODIFY-WRITE	low	low	high	high
Quad byte RMW transfers				
BYTE(0-3) READ-MODIFY-WRITE	low	low	low	low
Unaligned transfers				
BYTE(0-2) READ or WRITE	low	high	low	low
BYTE(1-3) READ or WRITE	high	low	low	low
BYTE(1-2) READ or WRITE	low	low	high	low



Πίνακας 3.4: Χρήση των γραμμών δεδομένων ανάλογα με τον κύκλο του DTB

Use Of The Data Lines To Move Data During Each Of The 34 Cycle Types

During the following types of cycles...	the data lines are used to transfer data as shown below:			
	D24-D31	D16-D23	D08-D15	D00-D07
ADDRESS-ONLY	←----- no bytes transferred -----→			
Single even byte transfers BYTE(0) READ or WRITE BYTE(2) READ or WRITE			BYTE(0) BYTE(2)	
Single odd byte transfers BYTE(1) READ or WRITE BYTE(3) READ or WRITE				BYTE(1) BYTE(3)
Double byte transfers BYTE(0-1) READ or WRITE BYTE(2-3) READ or WRITE			BYTE(0) BYTE(2)	BYTE(1) BYTE(3)
Quad byte transfers BYTE(0-3) READ or WRITE	BYTE(0)	BYTE(1)	BYTE(2)	BYTE(3)
Single byte block transfers SINGLE BYTE BLOCK READ or WRITE			←----- Note 1 -----→	
Double byte block transfers DOUBLE BYTE BLOCK READ or WRITE			←----- Note 2 -----→	
Quad byte block transfers QUAD BYTE BLOCK READ or WRITE	BYTE(0)	BYTE(1)	BYTE(2)	BYTE(3)
Single byte RMW transfers BYTE(0) READ-MODIFY-WRITE BYTE(1) READ-MODIFY-WRITE BYTE(2) READ-MODIFY-WRITE BYTE(3) READ-MODIFY-WRITE			BYTE(0) BYTE(2)	BYTE(1) BYTE(3)
Double byte RMW transfers BYTE(0-1) READ-MODIFY-WRITE BYTE(2-3) READ-MODIFY-WRITE			BYTE(0) BYTE(2)	BYTE(1) BYTE(3)
Quad byte RMW transfers BYTE(0-3) READ-MODIFY-WRITE	BYTE(0)	BYTE(1)	BYTE(2)	BYTE(3)
Unaligned transfers BYTE(0-2) READ or WRITE BYTE(1-3) READ or WRITE BYTE(1-2) READ or WRITE	BYTE(0)	BYTE(1) BYTE(1) BYTE(1)	BYTE(2) BYTE(2) BYTE(2)	BYTE(3)

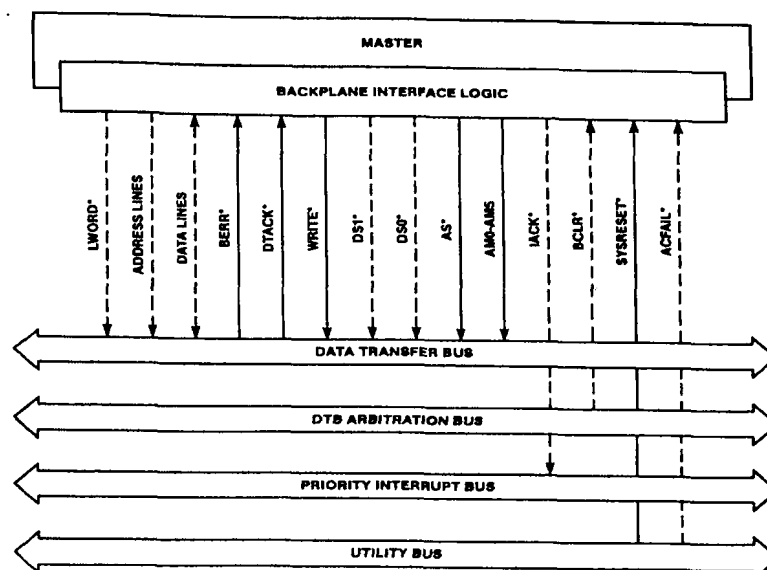


Αφού επιλεγεί ο τύπος του κύκλου του DTB και ενεργοποιηθούν οι κατάλληλες γραμμές δεδομένων, πρέπει ο Slave να οδηγήσει το σήμα DACK* low ώστε να δείξει στην περίπτωση κύκλου γραφής (WRITE*=Low) ότι έλαβε σωστά τα δεδομένα ή στην περίπτωση κύκλου διαβάσματος (WRITE*=High) ότι τοποθέτησε τα δεδομένα στις αντίστοιχες γραμμές δεδομένων.

Εάν ο Master προσπαθήσει να γράψει σε θέση μνήμης ROM ή να αποκτήσει πρόσβαση σε θέση μνήμης που δεν υπάρχει, τότε το σήμα BERR* πρέπει να οδηγείται στο Low. Στην πρώτη περίπτωση η οδήγηση του BERR* στο Low γίνεται από τον ανταποκρινόμενο Slave και στην δεύτερη από τον Bus Timer.

Πέραν του κύκλου Address Only, το πρωτόκολλο του DTB καθορίζει άλλους 33 τύπους κύκλων με τους οποίους πραγματοποιεί μεταφορές δεδομένων. Όλοι αυτοί οι κύκλοι μπορούν να χρησιμοποιηθούν από οποιονδήποτε από τους τρεις κύκλους διευθυνσιοδότησης: Short Addressing (16 bit), Standard Addressing (24 bit) και Extended Addressing (32 bit).

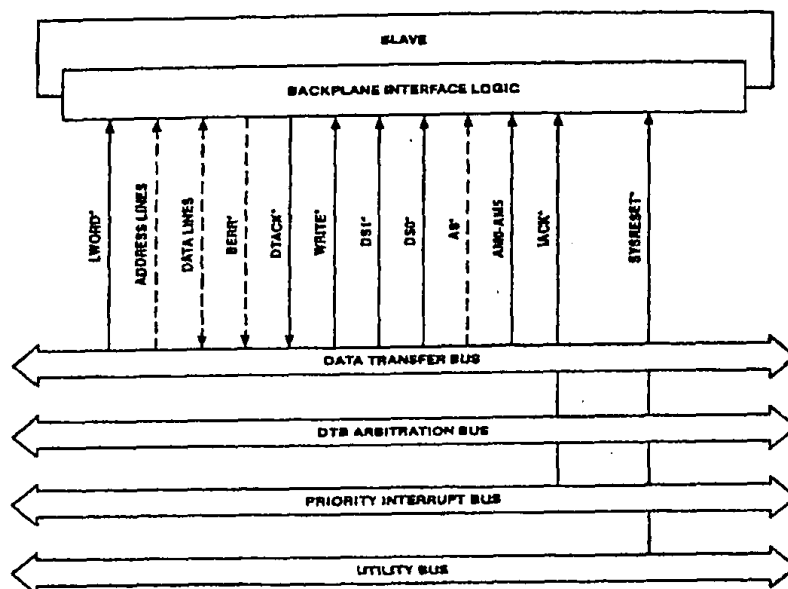
Στα σχήματα 3.2 και 3.3 φαίνονται τα δομικά διαγράμματα των Master και Slave αντίστοιχα. Οι διακεκομμένες γραμμές υποδηλώνουν ότι τα αντίστοιχα σήματα μπορούν είτε να μην παράγονται είτε να μην παρακολουθούνται από την αντίστοιχη μονάδα. Στους πίνακες 3.5 και 3.6 φαίνονται οι κανόνες οι οποίοι πρέπει να τηρούνται από τις αντίστοιχες μονάδες για τις διακεκομμένες γραμμές.



Σχήμα 3.2: Δομικό διάγραμμα του Master.

Πίνακας 3.5: Κανόνες που καθορίζουν την χρήση των διακεκομμένων γραμμών του σχήματος 3.2 από τους διάφορους τύπους Master.

Type of MASTER	Use of dotted lines
D08(E0)	MUST drive DS0* and DS1*, but not both low on the same data transfer. MUST monitor and drive D00-D15. MUST NOT drive IACK* low. MAY or MAY not drive LWORD*. MAY or MAY not drive or monitor D16-D31.
D16	MUST drive DS0* and DS1*. MUST monitor and drive D00-D15. MUST NOT drive IACK* low. MAY or MAY not drive LWORD*. MAY or MAY not drive or monitor D16-D31.
D32	MUST drive DS0*, DS1*, and LWORD*. MUST monitor and drive D00-D31. MUST NOT drive IACK* low.
A16	MUST drive A01-A15. MAY or MAY not drive A16-A31
A24	MUST drive A01-A23. MAY or MAY not drive A24-A31
A32	MUST drive A01-A31.
ALL	MAY or MAY not monitor BCLR*, or ACFAIL* (see Chapters 3 and 5).



Σχήμα 3.3: Δομικό διάγραμμα του Slave.

Πίνακας 3.6: Κανόνες που καθορίζουν την χρήση των διακεκομμένων γραμμών του σχήματος 3.3 διάφορους τύπους Slave.

Type of SLAVE	Use of dotted lines
D08(O)	MUST monitor and drive D00-D07. MAY or MAY not monitor AS*. MAY or MAY not monitor or drive D08-D31.
D08(E0)	MUST monitor and drive D00-D15. MAY or MAY not monitor AS*. MAY or MAY not monitor or drive D16-D31.
D16	MUST monitor and drive D00-D15. MAY or MAY not monitor AS*. MAY or MAY not monitor or drive D16-D31.
D32	MUST monitor and drive D00-D31. MAY or MAY not monitor AS*.
A16	MUST monitor A01-A15. MAY or MAY not monitor A16-A31.
A24	MUST monitor A01-A23. MAY or MAY not monitor A24-A31.
A32	MUST monitor A01-A31.
ALL	MAY or MAY not drive BERR*.

3.2.2 Λειτουργία του DTB

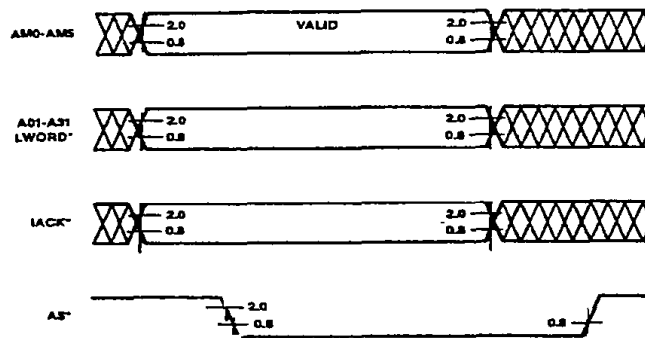
Προκειμένου να πραγματοποιηθεί μεταφορά δεδομένων μεταξύ μιας μονάδας Master και μιας μονάδας Slave με οποιονδήποτε κύκλο του DTB πρέπει τα A01-A31, AM0-AM5, AS*, WRITE*, DS0*, DS1*, DACK* και BERR* να ενεργοποιηθούν με μια συγκεκριμένη ακολουθία και μέσα σε καθορισμένα χρονικά πλαίσια.

Ο Master, μετά από μια επιτυχημένη απόκτηση του έλεγχου του διαύλου, ενεργοποιεί τις γραμμές διεύθυνσης A01-A31 και τις γραμμές Address Modifier AM0-AM5. Μετά από μικρό χρονικό διάστημα ενεργοποιεί το σήμα AS*, το οποίο ειδοποιεί τον Slave ότι οι παραπάνω γραμμές διεύθυνσης είναι ενεργοποιημένες. Στην συνέχεια ο Master ενεργοποιεί τις γραμμές έλεγχου WRITE*, DS0*, DS1* και LWORD ανάλογα με την λειτουργία που θέλει να εκτελέσει.

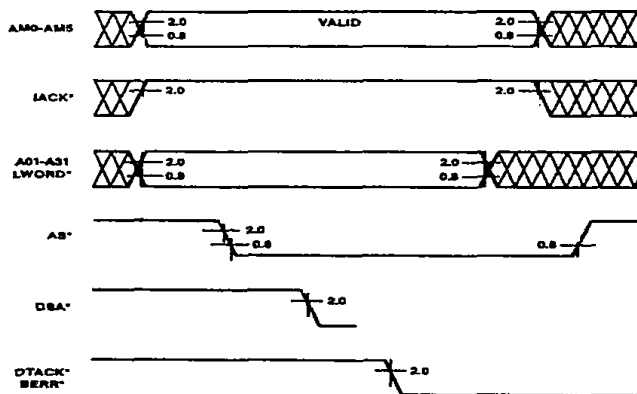
Ο Slave με την ενεργοποίηση του AS* ελέγχει τις γραμμές διεύθυνσης και Address Modifier. Εάν η τιμή των γραμμών διεύθυνσης αντιστοιχεί στην διεύθυνσή του, δηλαδή ο Master έχει επιλέξει να πραγματοποιήσει με αυτόν κάποια μεταφορά δεδομένων, ελέγχει τις γραμμές έλεγχου ώστε να αναγνωρίσει τον τύπο του κύκλου του DTB που έχει ξεκινήσει ο Master.

Στα σχήματα 3.4, 3.5, 3.6 και 3.7 φαίνεται ο τρόπος λειτουργίας του DTB. Στο σχήμα 3.4 παρουσιάζεται ο τρόπος μετάδοσης των διευθύνσεων από τον Master, κάτι που ισχύει για όλους τους κύκλους του DTB. Στο σχήμα 3.5 παρουσιάζεται η διαδοχή των σημάτων του DTB για μεταφορά δεδομένων μονών, διπλών και τετραπλών byte ανάλογα με τα λογικά επίπεδα των DS0* και DS1*. Στο σχήμα 3.6 φαίνεται η μεταφορά πακέτων bytes μεταξύ Master και Slave. Τέλος στο σχήμα 3.7 φαίνεται η αλληλουχία των γραμμών του DTB για κύκλο Read Modify Write ενός, δύο ή τεσσάρων byte δεδομένων. Σε όλα τα σχήματα 3.4-3.7 με DSA* συμβολίζονται οι γραμμές DS0* ή DS1*.

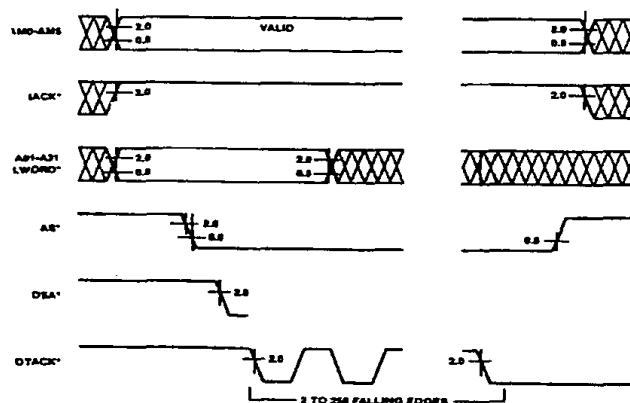




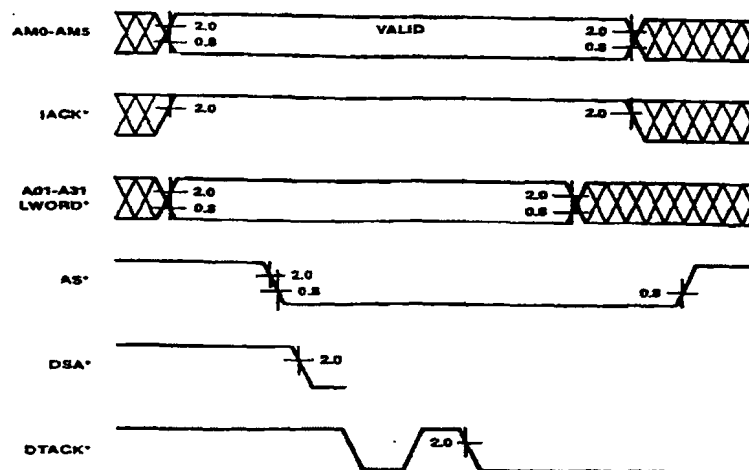
Σχήμα 3.4: Μετάδοση διευθύνσεων.



Σχήμα 3.5: Διαδοχή των σημάτων του DTB για μεταφορά δεδομένων μονών, διπλών και τετραπλών byte.



Σχήμα 3.6: Λειτουργία μεταφοράς πακέτων byte του DTB μεταξύ Master και Slave.



Σχήμα 3.7: Read Modify Write.

3.3 Λειτουργία του Arbitration bus

Το VMEbus είναι σχεδιασμένο να χρησιμοποιείται από πολλές μονάδες Master. Για τον λόγο αυτό πρέπει να αποφεύγεται η ταυτόχρονη χρήση του DTB από περισσότερες από μια μονάδα Master και να γίνεται σωστός προγραμματισμός της χρήσης του. Η μονάδα Arbiter (Διαιτητής), η οποία συνήθως περιέχεται σε μια μονάδα Master, ελέγχει το Arbitration bus [6], [7] και συνεπώς τον καταμερισμό της χρήσης του DTB στις μονάδες Master. Τους παρέχει την δυνατότητα να ζητούν τον έλεγχο του μέσω τεσσάρων γραμμών, που ονομάζονται Request Lines (BR0 - BR3). Το σύστημα χρησιμοποιεί ένα κλασικό τρόπο αναγνώρισης της προτεραιότητας του Master σύμφωνα με το οποίο η γραμμή BR0 έχει την μικρότερη προτεραιότητα και η BR3 έχει την μεγαλύτερη.

Η μονάδα Master επιλεγεί το επίπεδο προτεραιότητας από την σύνδεσή της με μια από τις γραμμές BR0-BR3. Είναι δυνατό κάποια από τις γραμμές BR0-BR3 να έχει επιλέγει και από περισσότερες από μία μονάδες Master. Σε αυτή την περίπτωση χρησιμοποιούνται τέσσερις γραμμές GRAND IN/GRAND OUT σε αλυσιδωτή διάταξη (daisy chain), μια για κάθε επίπεδο προτεραιότητας, μέσω των οποίων εντοπίζεται η φυσική θέση της μονάδας

Master πάνω στο σασί (crate). Η προτεραιότητα στην συνέχεια δίνεται με βάση την θέση του Master πάνω στο σασί.

Η μονάδα Arbiter, η οποία βρίσκεται πάντα στην πρώτη θέση του σασί, λαμβάνει τα σήματα BR0-BR3 και παράγει αντίστοιχα τα BG0-BG3. Επίσης λαμβάνει το BBSY από τον Master που ελέγχει εκείνη την στιγμή το DTB. Τέλος στην λειτουργία PRI, η οποία αναλύεται παρακάτω, μπορεί να χρησιμοποιήσει το σήμα Bus Clear, BCLR, με το οποίο ενημερώνει το Master που χρησιμοποιεί εκείνη την στιγμή το DTB ότι ένας άλλος Master με υψηλότερη προτεραιότητα θέλει να χρησιμοποιήσει το δίαυλο.

Υπάρχουν τρεις τρόποι διάθεσης του διαύλου από τον Arbiter: Ο Prioritized (PRI), ο Round Robin Select (RRS) και ο Single Level. Στον πρώτο τρόπο PRI, ο Arbiter αναθέτει το δίαυλο με βάση μια προκαθορισμένη σειρά προτεραιότητας. Αυτή καθορίζεται από τις γραμμές Bus Request που χρησιμοποιούν οι Master. Στο δεύτερο τρόπο RRS ο Arbiter διανέμει το δίαυλο με κυκλική σειρά. Έτσι αν η προτεραιότητα του Master που ελέγχει το δίαυλο είναι N τότε η αμέσως χαμηλότερη είναι η N-1 και συνεχίζει ακολουθιακά προς τα κάτω. Τέλος στον τρίτο τρόπο Single Level ο Arbiter διαθέτει μόνο μια Request Line, την BR3, και η διάθεση του διαύλου εξαρτάται από την αλυσιδωτή διάταξη (daisy chain) των γραμμών BG3IN και BG3OUT. Έτσι μεγαλύτερη προτεραιότητα έχει ο Master που βρίσκεται πιο κοντά στην μονάδα Arbiter.

3.4 Priority interrupt bus

Το VMEbus έχει κλασική διευθέτηση των γραμμών διακοπής (Interrupt) και επιτρέπει στις μονάδες Slave να απευθύνονται στην μονάδα Interrupt Handler, η οποία ελέγχει το Priority Interrupt bus [6], [7].

Αποτελείται από επτά γραμμές διακοπής Interrupt Request IRQ1-IRQ7 και μια Interrupt Acknowledge (IACK) που διατρέχει όλο το bus σε αλυσιδωτή διάταξη (daisy chain) IACKIN/IACKOUT. Οι μονάδες που θέλουν να θέσουν μια διακοπή, οδηγούν στο Low κάποια από τις γραμμές Interrupt Request.



Υπάρχουν δύο ειδών συστήματα: Αυτά που έχουν ένα Interrupt Handler και ονομάζονται συστήματα Single Handler (Μοναδικού Διαχειριστή) και εκείνα που έχουν περισσότερους από ένα Interrupt Handlers και ονομάζονται Distributed Systems (κατανεμημένα συστήματα). Στα συστήματα Single Handler όλες οι διακοπές (Interrupts) καταλήγουν σε ένα επεξεργαστή ο οποίος τις εξυπηρετεί δίνοντας μεγαλύτερη προτεραιότητα στη γραμμή IRQ7 και μικρότερη στη IRQ1. Στα κατανεμημένα συστήματα (Distributed Systems) κάθε ένας από τους Interrupt Handlers εξυπηρετεί ένα υποσύνολο των διακοπών του διαύλου.

3.5 Utility bus

Το Utility bus είναι ο εσωτερικός δίαυλος του VMEbus που παρέχει σήματα με χρήσιμες λειτουργίες όπως το ρολόι του συστήματος, το σειριακό ρολόι, τα σειριακά δεδομένα, την αποκοπή εναλλασσόμενης τάσης, την επαναφορά του συστήματος και την ενημέρωση ύπαρξης σφάλματος του συστήματος. Τα σήματα φαίνονται στον πίνακα 3.7

Πίνακας 3.7: Γραμμές του Utility bus

Ονομασία γραμμής	Συμβολισμός
System Clock	SYSCLK
Serial Clock	SERCLK
Serial Data	SERDAT
AC Fail	ACFAIL
System Reset	SYSRESET
System Failure	SYSFAIL

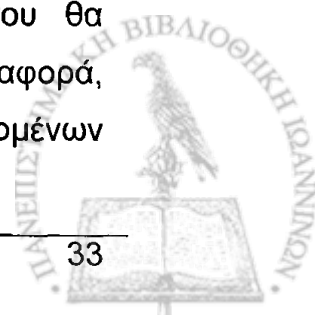


4. Μονάδα διεπαφής του VMEbus

4.1 Εισαγωγή

Σε όλες τις κάρτες που χρησιμοποιούνται από τους διαύλους όπως Fastbus, VMEbus, ISA, PCI κ.α. το βασικό κομμάτι του υλικού τους (hardware) είναι κοινό. Το κομμάτι αυτό ονομάζεται διεπαφή (interface) και ευθύνεται για την σωστή επικοινωνία των καρτών με τον δίαυλο τον οποίο χρησιμοποιούν. Η διεπαφή υλοποιείται με την τήρηση των κανόνων του πρωτοκόλλου επικοινωνίας του αντίστοιχου διαύλου. Η υλοποίηση της διεπαφής του VMEbus πραγματοποιείται μέσω κυκλώματος που ελέγχει τις γραμμές διεύθυνσης (Address Lines), τις γραμμές δεδομένων (Data Lines) και τις γραμμές σημάτων έλεγχου (Control Lines).

Με βάση τα παραπάνω η μονάδα διεπαφής της ακολουθιακής κάρτας του VME πρέπει να ελέγχει τις γραμμές διεύθυνσης A01-A31 και AM0-AM5, και τις γραμμές σημάτων έλεγχου AS*, WRITE*, DS0*, DS1* και LWORD και ανάλογα με τα λογικά επίπεδα των παραπάνω γραμμών να ανταλλάξει πληροφορία μέσω των γραμμών δεδομένων D00-D31. Στο κεφάλαιο 3 συζητήθηκε ήδη το Data Transfer Bus του VMEbus και έγινε γνωστός ο ρόλος των παραπάνω γραμμών. Όπως συζητήθηκε παραπάνω η μονάδα διεπαφής της ακολουθιακής κάρτας του VME, πρέπει να ελέγχει τις γραμμές A02-A31 και AM0-AM5 προκειμένου να αναγνωρίσει αν η λειτουργία που θα ακολουθήσει στο δίαυλο την αφορά ή όχι. Στην συνέχεια, εάν την αφορά, ελέγχει την γραμμή WRITE*, η οποία ενημερώνει αν η μεταφορά δεδομένων



θα γίνει προς ή από την κάρτα. Δηλαδή αν το λογικό επίπεδο του WRITE* είναι Low, σημαίνει ότι κατά την τρέχουσα λειτουργία πρόκειται να μεταφερθούν δεδομένα προς την κάρτα. Στην αντίθετη περίπτωση, όταν το WRITE* είναι High, η κάρτα πρόκειται να στείλει δεδομένα στο δίαυλο.

Το VMEbus, όπως έχει ήδη αναφερθεί στο κεφάλαιο 3, είναι ένας δίαυλος με δυνατότητα μεταφοράς 8/16/32 bit δεδομένων και με επιλογή πραγματοποίησης μεταφοράς δεδομένων μεταξύ 34 διαφορετικών τρόπων. Προκειμένου να γίνει αντιληπτό από την κάρτα ποιος από τους 34 διαφορετικούς κύκλους πρόκειται να πραγματοποιηθεί, το interface παρακολουθεί τα λογικά επίπεδα των DS0*, DS1*, A1 και LWORD. Όταν τα λογικά επίπεδα των παραπάνω γραμμών αντιστοιχούν σε εκείνα παραπάνω προϋποθέσεις ισχύουν τότε η επικοινωνία μεταξύ του VMEbus και της κάρτας γίνεται εφικτή και πραγματοποιείται η μεταφορά δεδομένων.

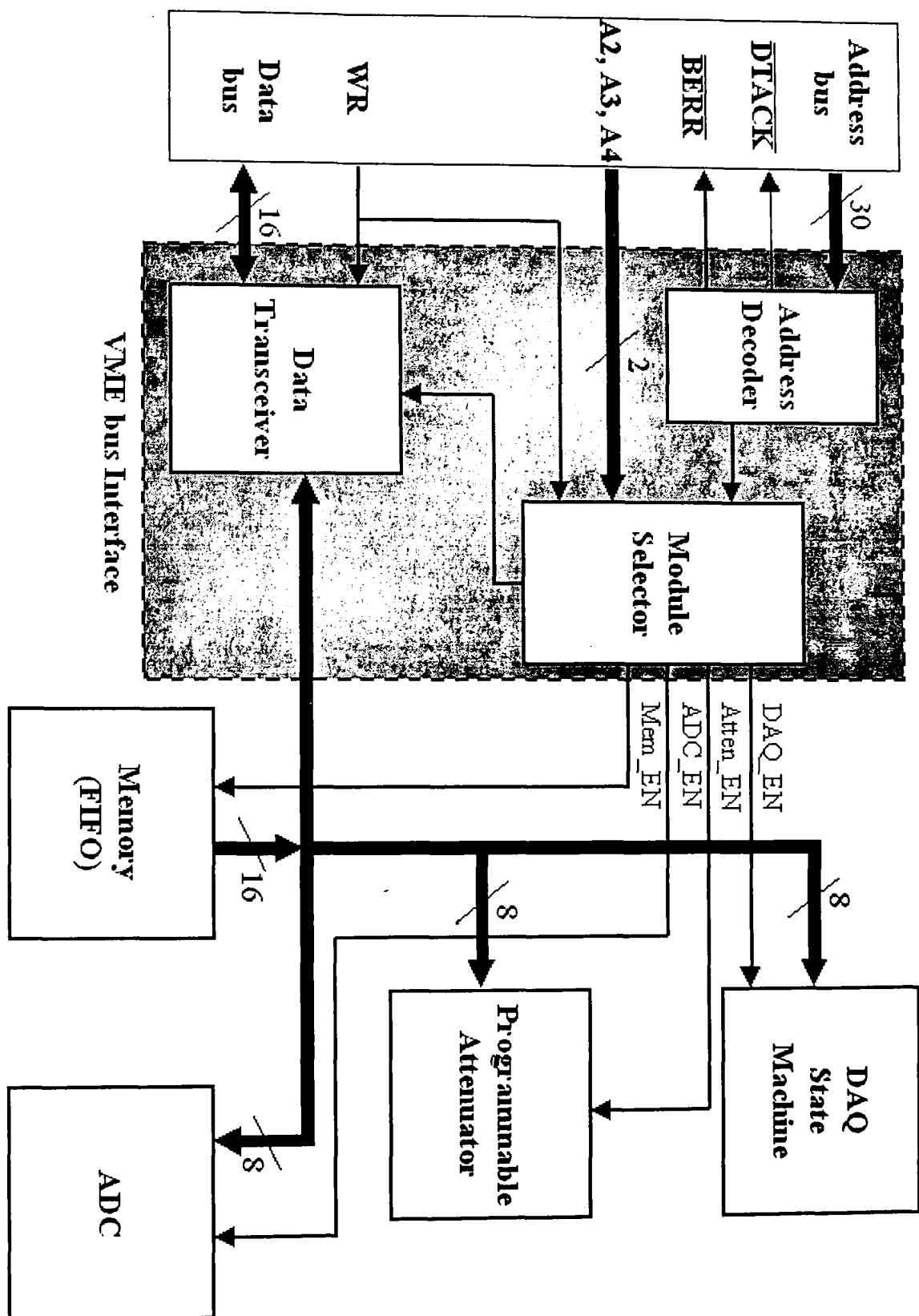
Το τέλος της επικοινωνίας σηματοδοτείται με την παραγωγή του σήματος DACK* (Data Acknowledge). Η ακμή καθόδου (falling edge) αυτού του σήματος και η συγκράτηση του σε επίπεδο Low για τουλάχιστον 200ns σημαίνει ότι η μεταφορά δεδομένων ήταν επιτυχής και έτσι τερματίζεται η επικοινωνία.

Στην περίπτωση όμως που η μεταφορά δεδομένων που πρόκειται να γίνει ακολουθεί διαφορετικό κύκλο από εκείνο που περιμένει η ακολουθιακή κάρτα, τότε πρέπει να ειδοποιηθεί το δίαυλο για το επικείμενο λάθος και μέσω αυτού η άλλη κάρτα που συμμετέχει στην επικοινωνία. Για τον λόγο αυτό υπάρχει η γραμμή BERR*. Έτσι όταν σε αυτήν εφαρμοστεί σήμα Low ελάχιστης διάρκειας 200ns, σηματοδοτείται στο δίαυλο ότι η μεταφορά δεδομένων που επιχειρήθηκε δεν ολοκληρώθηκε λόγω λαθών.

Η μονάδα διεπαφής της ακολουθιακής κάρτας VME που κατασκευάστηκε μελετήθηκε με τρεις διαφορετικούς τρόπους. Στον πρώτο χρησιμοποιήθηκαν διακριτά ολοκληρωμένα και σχεδιάστηκαν δυο διαφορετικά σχέδια, ένα με απλά ολοκληρωμένα και ένα με τον συνδυασμό απλών ολοκληρωμένων και του ολοκληρωμένου VME2000. Ο δεύτερος τρόπος υλοποιήθηκε με τον προγραμματισμό δύο CPLD XC9536-5 της XILINX. Τέλος στον τρίτο τρόπο σχεδιάστηκε το σχηματικό του interface για ένα FPGA XC4003E της XILINX και έγινε επιτυχώς η προσομοίωσή του. Και οι τρεις παραπάνω σχεδιασμοί της μονάδας διεπαφής ακολουθούν την ίδια δομή η

οποία φαίνεται στο δομικό διάγραμμα του σχήματος 4.1. Φαίνεται ότι η μονάδα διεπαφής του VME αποτελείται από τρία βασικά μέρη: Τον Address Decoder, τον Module Selector και τον Data Transceiver. Το Address Decoder είναι το κομμάτι στο οποίο αποκωδικοποιούνται οι διευθύνσεις του VMEbus που στέλνει ο Master. Μέσω του Module Selector και με βάση τα λογικά επίπεδα των διευθύνσεων A2, A3, και A4, επιλέγονται οι μονάδες της ακολουθιακής κάρτας του VME οι οποίες πρόκειται να λάβουν μέρος στον κύκλο μεταφοράς δεδομένων που ξεκίνησε ο Master. Τέλος η μονάδα Data Transceiver ελέγχει την φορά μετάδοσης των δεδομένων.

Στις παρακάτω ενότητες αυτού του κεφαλαίου που ακολουθούν γίνεται η ανάλυση των μονάδων διεπαφής του VME που σχεδιάστηκαν και κατασκευάστηκαν με τους τρεις παραπάνω τρόπους. Επίσης αναλύεται η λειτουργία της κάθε μονάδας του interface για κάθε σχέδιο ξεχωριστά.



Σχήμα 4.1: Δομικό διάγραμμα VME Interface.

4.2 VME Interface με διακριτά στοιχεία

4.2.1 VME interface με κοινά ολοκληρωμένα

Η κατασκευή της μονάδας διεπαφής με διακριτά ολοκληρωμένα έγινε σύμφωνα με αυτά που περιγράφηκαν παραπάνω. Στο σχήμα 4.2 φαίνεται το σχηματικό της, ενώ ακολουθήθηκε η λογική του δομικού διαγράμματος του σχήματος 4.1.

Αρχικά χρησιμοποιήθηκαν ολοκληρωμένα 74ALS521, τα οποία είναι συγκριτές (Comparators) [8], [9] των 8bit και συγκρίνουν τις γραμμές διεύθυνσης του διαύλου με τις αντίστοιχες της κάρτας. Η σύγκριση γίνεται μόλις οι γραμμές διεύθυνσης του διαύλου ενεργοποιηθούν, δηλαδή μόλις το σήμα AS* γίνει Low. Την στιγμή αυτή οι συγκριτές συγκρίνουν τις διευθύνσεις του διαύλου στις εισόδους τους με τις προεπιλεγμένες μέσω των διακοπών (dip-switches) διευθύνσεις της κάρτας. Εφόσον οι διευθύνσεις είναι ίδιες ο συγκριτής στην έξοδό του ($P=Q$) [10], [11] δίνει Low.

Η ακολουθιακή κάρτα του VME δεν μπορεί να πάρει οποιαδήποτε διεύθυνση. Η επιλογή της διεύθυνσής της γίνεται μέσω του χάρτη διευθύνσεων της μονάδας Master, η οποία ελέγχει τους κύκλους μεταφοράς δεδομένων στους οποίους συμμετέχει η ακολουθιακή κάρτα. Εδώ η μονάδα Master που χρησιμοποιείται για τον έλεγχο μέσω του VMEbus της ακολουθιακής κάρτας είναι η MVME101 [12] και ο χάρτης διευθύνσεων της φαίνεται στον πίνακα 4.1. Από τον πίνακα αυτό επιλέγονται οι διευθύνσεις που χρησιμοποιούνται για τις μονάδες της ακολουθιακής κάρτας. Οι διευθύνσεις των μονάδων, οι οποίες φαίνονται στον πίνακα 4.2, δεν πρέπει να συμπίπτουν με εκείνες που είναι ήδη κατειλημμένες από άλλες κάρτες του VMEbus. Επίσης στον πίνακα 4.3 φαίνονται οι τιμές των γραμμών διεύθυνσης A1-A23 για τις αντίστοιχες διευθύνσεις των μονάδων της ακολουθιακής κάρτας.

Πίνακας 4.1: Χάρτης διευθύνσεων της μονάδας MVME101.

MVME101 Local Memory

Address (HEX)	Function	Device
000000/003FFF	16 kbytes SRAM	MVME101 – SP1
0F0000/0FFFFFFF	2 x 6264 or equivalent	MVME101 – SP2
F00000/F0FFFF	2 x 32 kbytes EPROM	MoniCa: MVME101 – SP4
F10000/F1FFFF	2 x 32 kbytes EPROM	MoniCa: MVME101 – SP3

Standard VMEbus Space

Address (HEX)	Function	Device
100000/17FFFF	512 kbytes EPROM (16 x 27256)	Force SYS68K/RR-1 or Plessey PME CRR-1
OR 100000/1BFFFF/	768 kbytes EPROM	Tekmis TSVME204
200000/27FFFF	512 kbytes DRAM	Force SYS68K/DRAM-1 #1
280000/2FFFFFFF	512 kbytes DRAM	Force SYS68K/DRAM-1 #2
300000/37FFFF	512 kbytes DRAM	Force SYS68K/DRAM-1 #3
380000/3FFFFFFF	512 kbytes DRAM	Force SYS68K/DRAM-1 #4
400000/47FFFF	512 kbytes DRAM	Force SYS68K/DRAM-1 #5
OR		
200000/3FFFFFFF	2 Mbytes DRAM	Various
880000/8FFFFFFF	CAMAC Branch (1)	C.E.S. CBD8210
900000/97FFFF	CAMAC Branch (2)	
980000/9FFFFFFF	CAMAC Branch (3)	
		Etc.

MVME101 On-Board Devices

Address (HEX)	Function	Device
FE0000/FE0FFF	On-Board I/O Devices	MVME101
FE00A1/FE00A7	PCI1: Serial Interface	MVME101
FE00B1/FE00B7	PCI2: Serial Interface	MVME101
FE00C1/FE00C7	PIA: Parallel Interface	MVME101 (not used)
FE00D1/FE00DF	PIM: Programmable Timer	MVME101
FE00E1	MSR – Module Status Reg.	MVME101
FE00F1	MCR – Module Control Reg.	MVME101

VMEbus Short (16-bit) Addresses

Address (HEX)	Function	Device
FF0000/FFFFFFF	Short Addresses	MVME101 Assignment
FF0001/FF00FF	DRAM Cntrl & Status	Force SYS68K/DRAM-1 #1
FF0101/FF01FF	DRAM Cntrl & Status	Force SYS68K/DRAM-1 #2
FF0201/FF02FF	DRAM Cntrl & Status	Force SYS68K/DRAM-1 #3
FF0301/FF03FF	DRAM Cntrl & Status	Force SYS68K/DRAM-1 #4
FF0401/FF04FF	DRAM Cntrl & Status	Force SYS68K/DRAM-1 #5
FF7000/FF70FF	GPIB Controller	Motorola MVME300
FF8000/FF803F	Graphics Controller	Eltec GRAZ-2/68K
FF9000/FF91FF	FASTBUS Int'f. Connection	Super-VIOR #0
FF9200/FF93FF	FASTBUS Int'f. Connection	Super-VIOR #1
FF9400/FF95FF	FASTBUS Int'f. Connection	Super-VIOR #2
FF9600/FF97FF	FASTBUS Int'f. Connection	Super-VIOR #3
FF9800/FF99FF	FASTBUS Int'f. Connection	Super-VIOR #4
FF9100/FF9107	FASTBUS Int'f. Connection	VIOR #0
FF9300/FF9307	FASTBUS Int'f. Connection	VIOR #1
FF9500/FF9507	FASTBUS Int'f. Connection	VIOR #2
FF9700/FF9707	FASTBUS Int'f. Connection	VIOR #3
FF9900/FF9907	FASTBUS Int'f. Connection	VIOR #4
FFA000/FFA008	Ethernet Controller	LRT Filtabyte 25.1-C
FFF00E/FFF00F	DRAM Cntrl & Status	Plessey PME 2EP
FFFEB0/FFFFF	SCSI Controller	Compcontrol CC-74

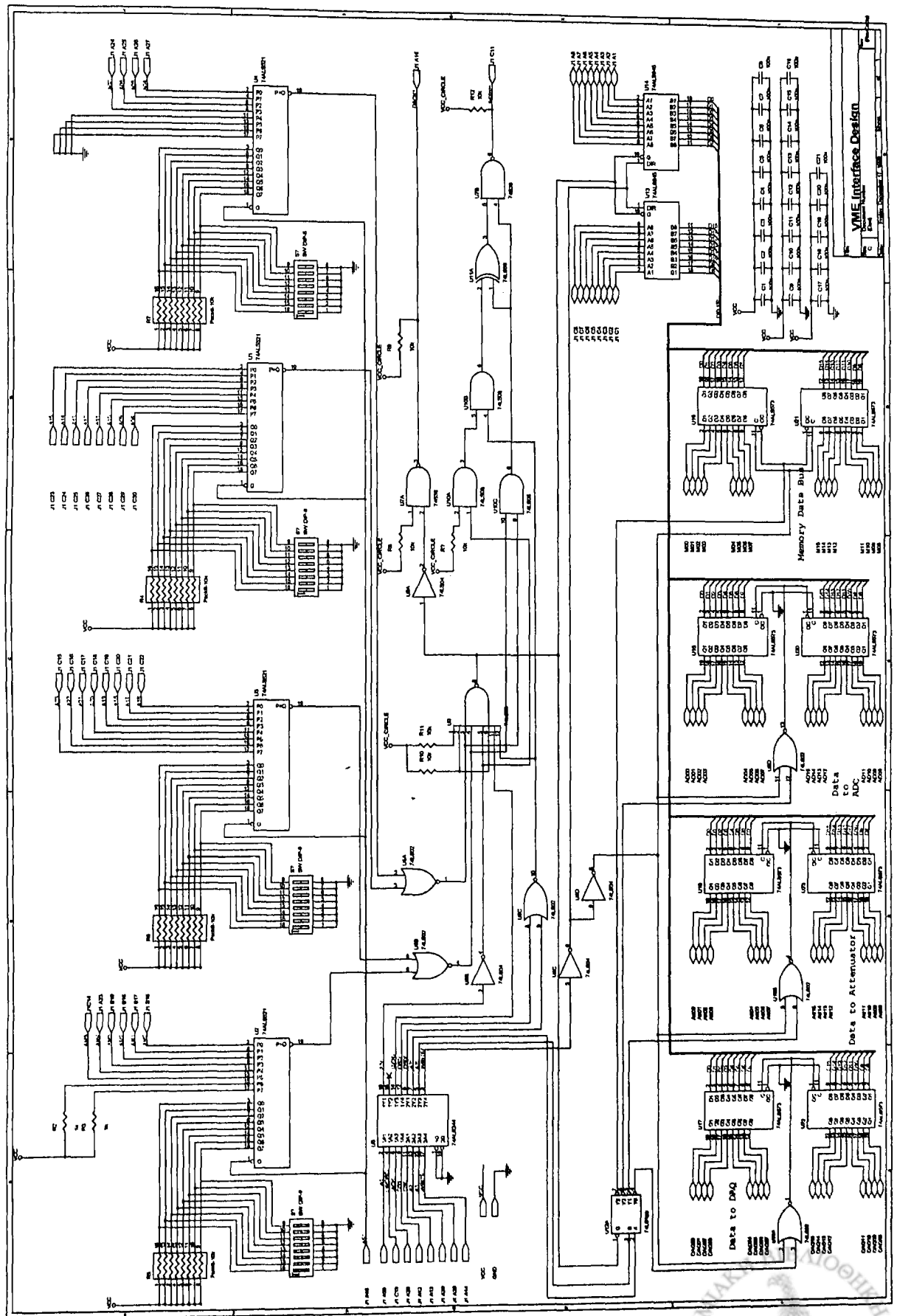


Πίνακας 4.2: Χάρτης διευθύνσεων της κάρτας VME.

Διεύθυνση Μονάδας	Μονάδα
500000HEX	Μονάδα DAQ
500004HEX	Μονάδα Εξασθενητή παλμού
500008HEX	Μονάδα ADC
50000CHEX	Μονάδα FIFO

Πίνακας 4.3: Τιμές των γραμμών διεύθυνσης για κάθε μονάδα.

Διεύθυνση Μονάδας	500000HEX	500004HEX	500008HEX	50000CHEX
A1	0	0	0	0
A2	0	1	0	1
A3	0	0	1	1
A4	0	0	0	0
A5	0	0	0	0
A6	0	0	0	0
A7	0	0	0	0
A8	0	0	0	0
A9	0	0	0	0
A10	0	0	0	0
A11	0	0	0	0
A12	0	0	0	0
A13	0	0	0	0
A14	0	0	0	0
A15	0	0	0	0
A16	0	0	0	0
A17	0	0	0	0
A18	0	0	0	0
A19	0	0	0	0
A20	1	1	1	1
A21	0	0	0	0
A22	1	1	1	1
A23	0	0	0	0



Σχήμα 4.2: Σχηματικό VME interface με διακριτά ολοκληρωμένα.

Η ακολουθιακή κάρτα είναι σχεδιασμένη να πραγματοποιεί μεταφορές δεδομένων διπλού byte (16bit). Έτσι από τον πίνακα 3.3, του κεφαλαίου 3, οι τιμές των DS0*, DS1*, A1 και LWORD* είναι Low, Low, Low και High αντίστοιχα.

Προκειμένου να διευθυνσιοδοτηθεί η ακολουθιακή κάρτα του VME και να πραγματοποιηθεί μεταφορά δεδομένων με την κάρτα Master δεν αρκεί η επιτυχής αποκωδικοποίηση των διευθύνσεων. Πρέπει επιπρόσθετα να ελεγχθούν οι γραμμές DS0*, DS1* και A1. Κανονικά θα έπρεπε να ελεγχθεί και το σήμα LWORD* αλλά επειδή η Master κάρτα MVME101 δεν πραγματοποιεί μεταφορές λέξεων των 32 bit, δεν οδηγεί την γραμμή αυτή και για το λόγο αυτό αγνοείται. Ο έλεγχος των DS0*, DS1* και A1 γίνεται μέσω των ολοκληρωμένων U6A, U6B, U8B, U6C και U9. Έτσι όταν οι γραμμές διεύθυνσης και έλεγχου είναι οι αναμενόμενες για την ακολουθιακή κάρτα ενώ ταυτόχρονα δεν υπάρχει αίτηση διακοπής (interrupt) στο δίαυλο του VME (IACK=High), η έξοδος του U9 γίνεται Low που σημαίνει ότι ο DTB κύκλος που ξεκίνησε απευθύνεται στην ακολουθιακή κάρτα.

Στην συνέχεια ελέγχοντας τις γραμμές διεύθυνσης A2 και A3 επιλέγεται η μονάδα της ακολουθιακής κάρτας με την οποία ο Master ζητά να πραγματοποιήσει μεταφορά δεδομένων. Το λογικό επίπεδο της γραμμής έλεγχου WRITE* καθορίζει την κατεύθυνση των δεδομένων. Έτσι αν το WRITE* είναι Low σηματοδοτείται κύκλος γραφής από την Master κάρτα, δηλαδή τα δεδομένα κατευθύνονται από τον δίαυλο προς μια θέση μνήμης της ακολουθιακής κάρτας. Αντίθετα αν το WRITE* είναι High έχει σηματοδοτηθεί κύκλος ανάγνωσης οπότε τα δεδομένα μεταφέρονται από μια θέση μνήμης της ακολουθιακής κάρτας στο δίαυλο. Στον πίνακα 4.4 φαίνεται ο χάρτης διευθύνσεων των γραμμών A₂ και A₃ της ακολουθιακής κάρτας του VME. Επίσης φαίνεται ποιες από αυτές χρησιμοποιούνται από τον κύκλο γραφής (Write Cycle) και ποιες από τον κύκλο ανάγνωσης (Read Cycle).



Πίνακας 4.4: Χάρτης διευθύνσεων μονάδων ακολουθιακής κάρτας VME

A2	A3	Μονάδα	Τύπος Κύκλου
0	0	Μονάδα DAQ	Κύκλος Γραφής
1	0	Μονάδα Εξασθενητή Παλμού	Κύκλος Γραφής
0	1	Μονάδα ADC	Κύκλος Γραφής
1	1	Μονάδα FIFO	Κύκλος Ανάγνωσης

Ο κύκλος του DTB δεν τερματίζεται με την τοποθέτηση των δεδομένων από την ακολουθιακή κάρτα στις γραμμές δεδομένων ή με την λήψη των δεδομένων από αυτές. Και στις δύο περιπτώσεις η ακολουθιακή κάρτα πρέπει να ειδοποιήσει τον Master ότι έχει λάβει ή στείλει τα δεδομένα, ώστε στην συνέχεια αυτός να τερματίσει τον κύκλο του DTB που ξεκίνησε και να συνεχίσει με τις υπόλοιπες λειτουργίες του. Για τον λόγο αυτό η κάρτα VME παράγει το σήμα DACK* (Data Acknowledge) από τα U8A και U7A, το οποίο είναι ένα σήμα ανοικτού συλλέκτη.

Όλα τα παραπάνω συμβαίνουν με την προϋπόθεση ότι οι λειτουργίες του VMEbus πραγματοποιήθηκαν χωρίς κάποια δυσλειτουργία. Στην περίπτωση όμως που παρουσιαστεί κάτι τέτοιο θα πρέπει η ακολουθιακή κάρτα να ειδοποιήσει τον Master που ελέγχει εκείνη την στιγμή το δίαυλο. Αυτό γίνεται μέσω του σήματος BERR* (Bus Error), ένα σήμα ανοικτού συλλέκτη που παράγεται από την ακολουθιακή κάρτα στην περίπτωση σφάλματος κατά την μεταφορά δεδομένων. Τα σφάλματα που μπορεί να συμβούν κατά την διάρκεια ενός κύκλου DTB είναι είτε να επιχειρηθεί γραφή δεδομένων σε θέση μνήμης ROM είτε γενικότερα να πραγματοποιηθεί μεταφορά δεδομένων διαφορετική από την επιθυμητή. Για παράδειγμα εάν ζητηθεί από την κάρτα VME να προωθήσει στο VMEbus δεδομένα 1 byte (single byte transfer) ενώ αυτή είναι σχεδιασμένη να στέλνει 2 bytes (Double Byte Transfer), τότε πρέπει να παραχθεί το σήμα BERR* που να δηλώνει το λάθος που συμβαίνει. Προκειμένου να παραχθεί το BERR* πρέπει να ελεγχθούν οι γραμμές που καθορίζουν τον κύκλο του DTB, δηλαδή οι DS0*, DS1* και A1. Τα ολοκληρωμένα U6C, U10A, U10B, U10C, U11A και U7B συνιστούν το κύκλωμα το οποίο πραγματοποιεί τον έλεγχο αυτό. Έτσι όταν τα

επίπεδα των DS0*, DS1* και A1 δεν αντιστοιχούν στον πίνακα 3.3 για Double Byte Transfer (μεταφορά διπλού byte) η έξοδος του U7A γίνεται Low παράγοντας προς στο VMEbus σήμα BERR* ώστε να διακοπεί η εσφαλμένη μεταφορά δεδομένων.

4.2.2 VME interface με χρήση του ολοκληρωμένου VME2000

Εκτός του σχηματικού της μονάδας διεπαφής VME με κοινά ολοκληρωμένα σχεδιάστηκε και ένα αντίστοιχο με τη χρήση του ολοκληρωμένου VME2000 της εταιρείας PLX Technologies.

Η λειτουργία του VME2000 είναι η παραγωγή όλων των σημάτων που πρέπει να παράγει η μονάδα διεπαφής μιας κάρτας Slave για το δίαυλο του VME. Έτσι με την χρήση διακριτών ολοκληρωμένων για την αποκωδικοποίηση των διευθύνσεων, όπως είναι οι συγκριτές, και για τον έλεγχο της ροής των δεδομένων, όπως οι transceivers, κατασκευάζεται σχετικά εύκολα η διεπαφή του VME. Στο σχήμα 4.3 φαίνεται το σχηματικό της μονάδας διεπαφής του VME στην οποία χρησιμοποιείται το VME2000.

Στο σχέδιο αυτό φαίνεται ότι το VME2000 δέχεται τα σήματα ελέγχου του VMEbus στους ακροδέκτες 3 (AM2), 5 (IACK*), 6 (AS*), 9 (DS0*) και 10 (DS1*) και το σήμα ADEN* (ακροδέκτης 8) από τους συγκριτές 74ALS521, που πραγματοποιούν την αποκωδικοποίηση των διευθύνσεων. Το επόμενο βήμα είναι η παραγωγή των σημάτων DACK* (ακροδέκτης 15) και BERR* (ακροδέκτης 13) ώστε να ενημερώσει τον Master να τερματίσει τον κύκλο του DTB που ξεκίνησε. Τέλος το VME2000 παράγει τα σήματα D0EN* (ακροδέκτης 19), D1EN* (ακροδέκτης 17) και DS* (ακροδέκτης 16), με τα οποία επιλέγονται οι εσωτερικές διευθύνσεις της ακολουθιακής κάρτας για την ενεργοποίηση των αντίστοιχων μονάδων και την συμμετοχή τους στην μεταφορά δεδομένων.



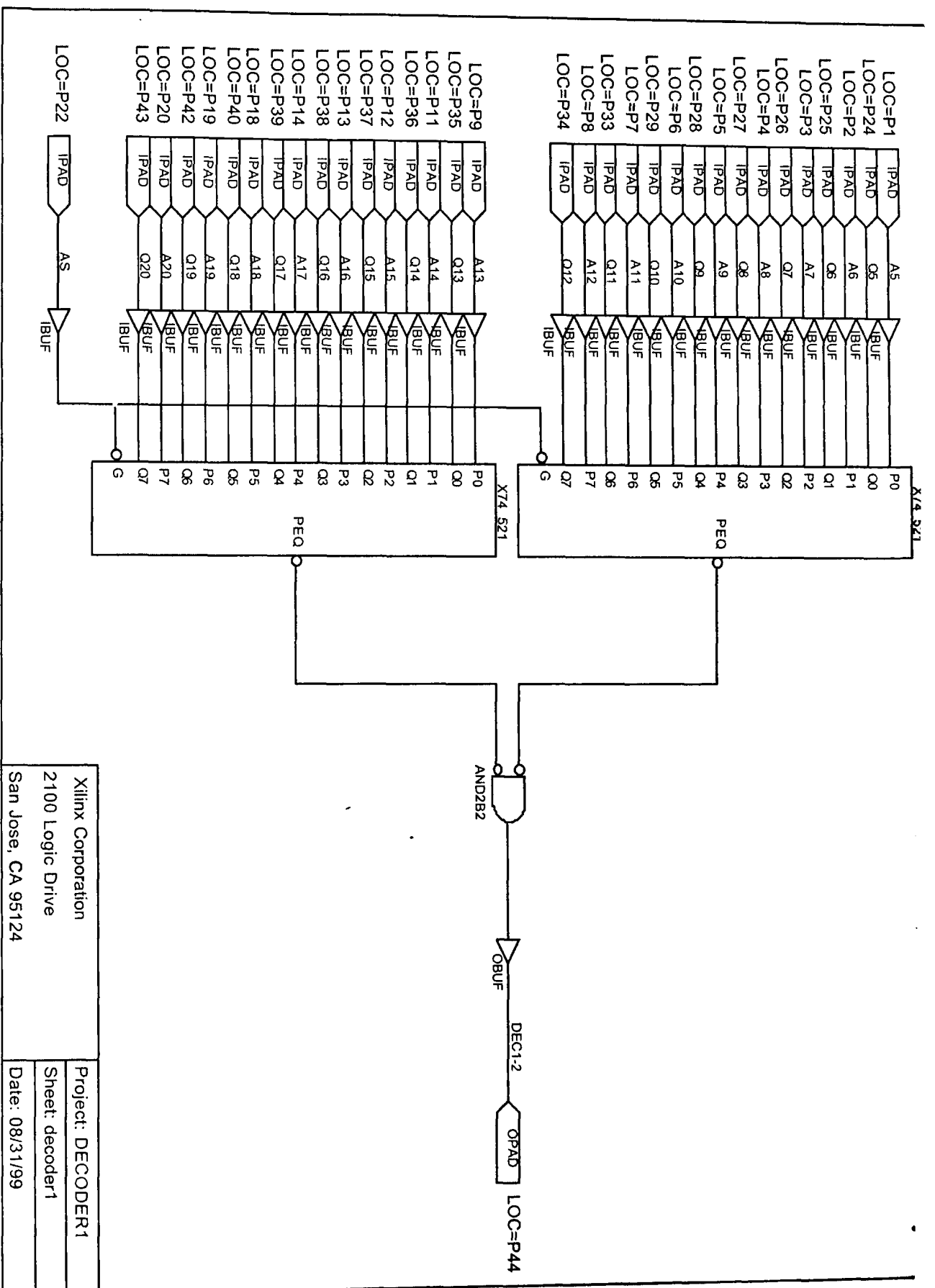


4.3 VME interface με CPLD

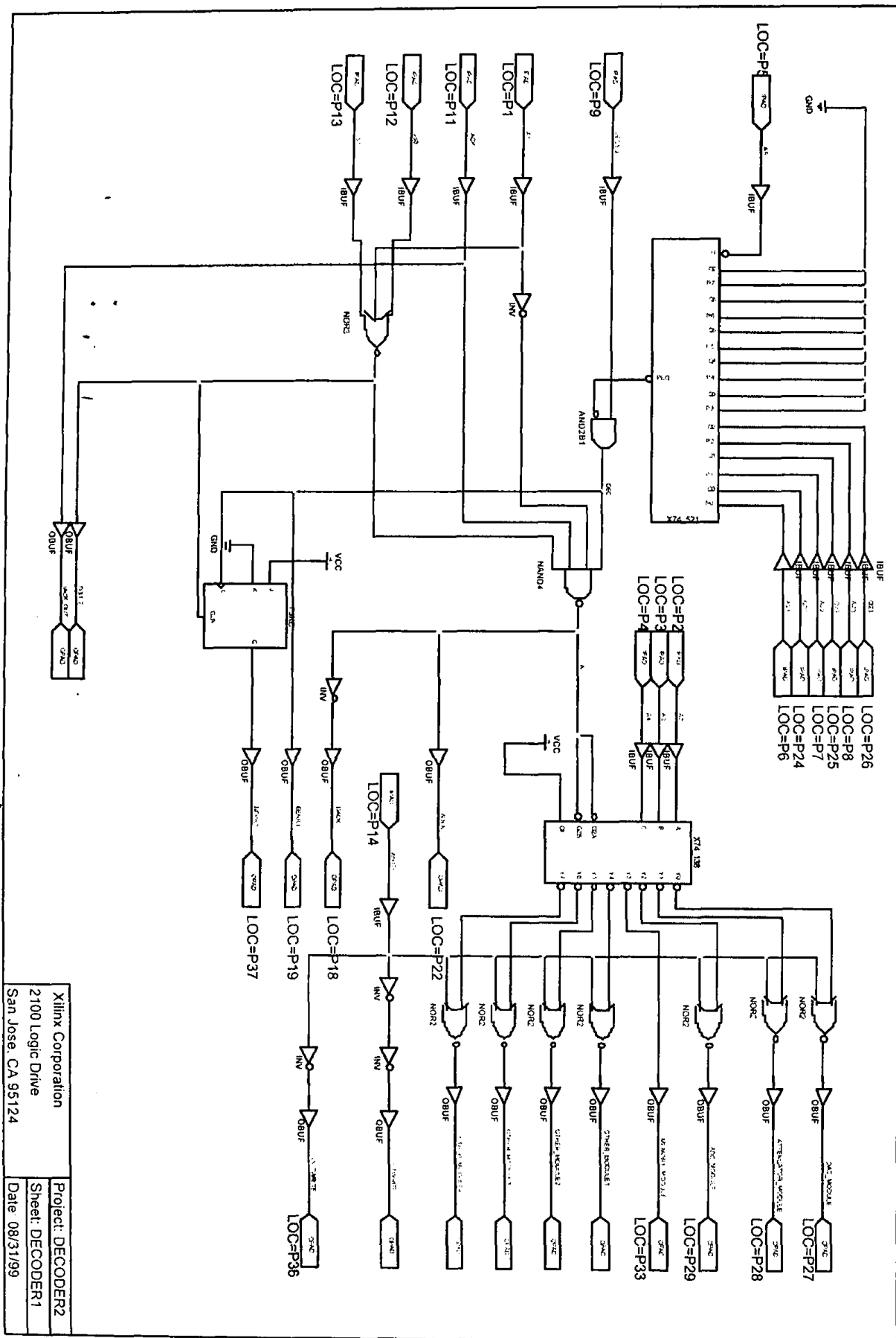
Η μονάδα διεπαφής που κατασκευάζεται με διακριτά ολοκληρωμένα έχει ένα σοβαρό μειονέκτημα. Απαιτείται μεγάλο πλήθος ολοκληρωμένων για την υλοποίηση του με αποτέλεσμα να καταλαμβάνει μεγάλο χώρο της ακολουθιακής κάρτας. Για τον λόγο αυτό επιβάλλεται η χρήση προγραμματιζόμενων ολοκληρωμένων CPLD (Complex Programmable Logic Devices) [13]. Τα ολοκληρωμένα αυτά έχουν μεγάλη χωρητικότητα πυλών και δυνατότητα πολλαπλών προγραμματισμών. Η σειρά που συνήθως χρησιμοποιείται είναι η XC9536-5 της XILINX [14] η οποία έχει χωρητικότητα 800 πυλών. Ο προγραμματισμός τους γίνεται μέσω του καλωδίου Parallel Cable [15], [16], [17] και μιας πλακέτας προγραμματισμού της συγκεκριμένης σειράς της οικογένειας CPLD της XILINX. Περισσότερες λεπτομέρειες για τα συγκεκριμένα CPLD καθώς και για τον τρόπο προγραμματισμού τους δίνονται στο παράρτημα Γ.

Το σχέδιο της μονάδας διεπαφής χωρίζεται σε 2 μέρη. Στο πρώτο πραγματοποιείται το μεγαλύτερο μέρος της αποκωδικοποίησης και στο δεύτερο υλοποιείται το υπόλοιπο κομμάτι της αποκωδικοποίησης καθώς και η επιλογή των μονάδων με τις οποίες θα πραγματοποιηθεί η επικοινωνία με την Master κάρτα μέσω του VMEbus. Στα σχήματα 4.4 και 4.5 φαίνονται το σχηματικό της αρχικής αποκωδικοποίησης (Decoder 1) και το σχηματικό της επιλογής των μονάδων της ακολουθιακής κάρτας (Decoder 2).





Σχήμα 4.4: Σχηματικό αποκωδικοποιητή Decoder 1.



Σχήμα 4.5: Σχηματικό αποκωδικοποιητή Decoder 2.

Η λογική που χρησιμοποιείται για την αποκωδικοποίηση είναι όμοια με εκείνη βάσει της οποίας σχεδιάστηκε η μονάδα διεπαφής με διακριτά ολοκληρωμένα. Οι ακροδέκτες A5-A23 συνδέονται με το VMEbus ενώ οι Q5-Q23 συνδέονται με διακόπτες (dip-switches), οι οποίοι βρίσκονται πάνω στην ακολουθιακή κάρτα. Μέσω των διακοπών αυτών επιλέγεται από τον χρήστη η διεύθυνση της κάρτας με βάση τον χάρτη διευθύνσεων της Master κάρτας MVME101. Οι διευθύνσεις των μονάδων είναι ίδιες με εκείνες που καθορίστηκαν για την μονάδα διεπαφής που κατασκευάστηκε με διακριτά ολοκληρωμένα. Η διαφορά είναι ότι αυξήθηκε ο αριθμός των εσωτερικών διευθύνσεων της κάρτας. Με τον τρόπο αυτό η κάρτα γίνεται περισσότερο ευέλικτη στην περίπτωση που μελλοντικά επεκταθούν οι δυνατότητές της προσθέτοντας και άλλες μονάδες. Οι διευθύνσεις για τις μονάδες της ακολουθιακής κάρτας φαίνονται στον πίνακα 4.5.

Πίνακας 4.5: Διευθύνσεις μονάδων.

Μονάδα	Διεύθυνση
Μονάδα DAQ	500000HEX
Μονάδα Εξασθενητή	500004HEX
Μονάδα ADC	500008HEX
Μονάδα FIFO	50000CHEX
Other Module 1	500010 HEX
Other Module 1	500014 HEX
Other Module 1	500018 HEX
Other Module 1	50001C HEX

Η αποκωδικοποίηση ξεκινά με την ακμή πτώσης του σήματος AS* μέσω της οποίας σηματοδοτείται η ενεργοποίηση των γραμμών διεύθυνσης A1-A23. Οι συγκριτές X74_521 των Decoder1 και Decoder2 (σχήματα 4.4 και 4.5) συγκρίνουν τις διευθύνσεις A5-A23 του διαύλου με εκείνες της ακολουθιακής κάρτας. Εφόσον είναι ίδιες η έξοδος DEC της AND2B1 του Decoder2 θα γίνει High. Στην συνέχεια ελέγχονται οι γραμμές ελέγχου DS0*

και DS1*, η διεύθυνση A1 και το IACK*. Στην περίπτωση που οι τιμές τους είναι ίδιες με εκείνες που αντιστοιχούν σε μεταφορά διπλού byte (Double Byte Transfer) από τον πίνακα 3.3 και το σήμα DEC είναι High τότε σημαίνει ότι ο Master που ξεκίνησε τον κύκλο μεταφοράς δεδομένων απευθύνεται στην ακολουθιακή κάρτα. Την στιγμή αυτή η έξοδος της NAND4 του Decoder2 γίνεται Low και σηματοδοτείται η επιτυχής αποκωδικοποίηση.

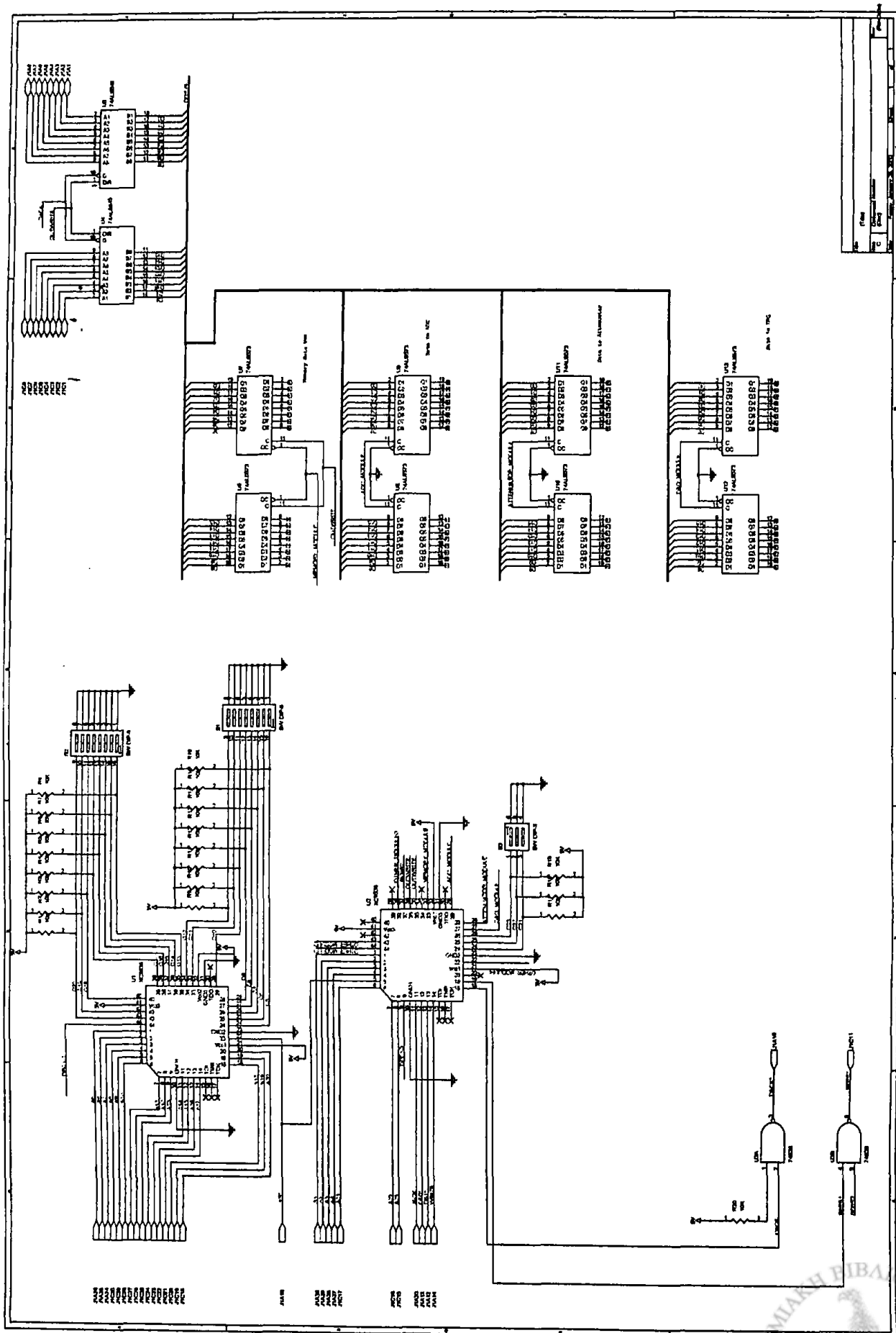
Το επόμενο βήμα είναι να αναγνωριστεί ποια υπομονάδα της ακολουθιακής κάρτας θα μετέχει στον συγκεκριμένο κύκλο μεταφοράς δεδομένων. Η έξοδος της NAND4 του Decoder2 όταν γίνει Low ενεργοποιεί το X74_138, ένα 3 σε 8 αποπλέκτη, ο οποίος ελέγχοντας τις γραμμές διεύθυνσης A2, A3 και A4 επιλέγει μια από τις 8 διαφορετικές υπομονάδες που βρίσκονται πάνω στην κάρτα. Αυτές οι 8 διαφορετικές υπομονάδες απαρτίζουν το χάρτη διευθύνσεων της ακολουθιακής κάρτας. Το σήμα WRITE* καθορίζει αν τα δεδομένα θα μεταφερθούν με κατεύθυνση από το VMEbus προς την κάρτα ή αντίθετα. Έτσι εάν είναι Low σημαίνει ότι δεδομένα θα γραφούν στην κάρτα ενώ αν είναι High τα δεδομένα πρόκειται να διαβαστούν από τον Master, επομένως η κάρτα πρόκειται να τοποθετήσει τα δεδομένα στις αντίστοιχες γραμμές δεδομένων του VMEbus. Ο χάρτης διευθύνσεων καθώς και ο τύπος του κύκλου μεταφοράς δεδομένων που πραγματοποιούν φαίνεται στον πίνακα 5.6.

Πίνακας 5.6: Χάρτης διευθύνσεων της κάρτας VME.

A2	A3	A4	Μονάδα	Τύπος Κύκλου
0	0	0	Μονάδα DAQ	Κύκλος Γραφής
1	0	0	Μονάδα Εξασθενητή	Κύκλος Γραφής
0	1	0	Μονάδα ADC	Κύκλος Γραφής
1	1	0	Μονάδα FIFO	Κύκλος Ανάγνωσης
0	0	1	Άλλη Μονάδα 1	Κύκλος Γραφής
1	0	1	Άλλη Μονάδα 2	Κύκλος Γραφής
0	1	1	Άλλη Μονάδα 3	Κύκλος Γραφής
1	1	1	Άλλη Μονάδα 4	Κύκλος Γραφής

Το τέλος της αποκωδικοποίησης και η σωστή μεταφορά δεδομένων πρέπει να δηλωθούν στον Master που ελέγχει τον συγκεκριμένο κύκλο μεταφοράς δεδομένων προκειμένου να ελευθερώσει το δίαυλο. Το σήμα DACK που παράγεται από τον ακροδέκτη 18 του CPLD XC9536 U2, το οποίο είναι προγραμματισμένο με το σχέδιο Decoder2 ενεργοποιεί μια πύλη NAND ανοικτού συλλέκτη η οποία παράγει το σήμα DACK* όπως φαίνεται από το σχήμα 4.6,.

Στο σχήμα 4.6 φαίνεται το σχηματικό της μονάδας διεπαφής της ακολουθιακής κάρτας. Εδώ φαίνεται η συνδεσμολογία των δύο CPLD που χρησιμοποιούνται καθώς και τα σημεία που λαμβάνουν μέρος στους κύκλους μεταφοράς δεδομένων του DTB. Τα U1 και U2 είναι τα CPLDs τα οποία έχουν προγραμματιστεί με τα σχηματικά Decoder1 και Decoder2 αντίστοιχα. Σε αυτό το σχηματικό δεν φαίνονται όλες οι μονάδες της κάρτας παρά μόνο τα κομμάτια τους μέσω των οποίων πραγματοποιούνται οι μεταφορές των δεδομένων.

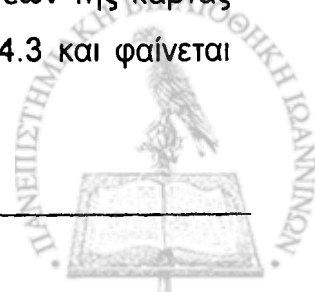


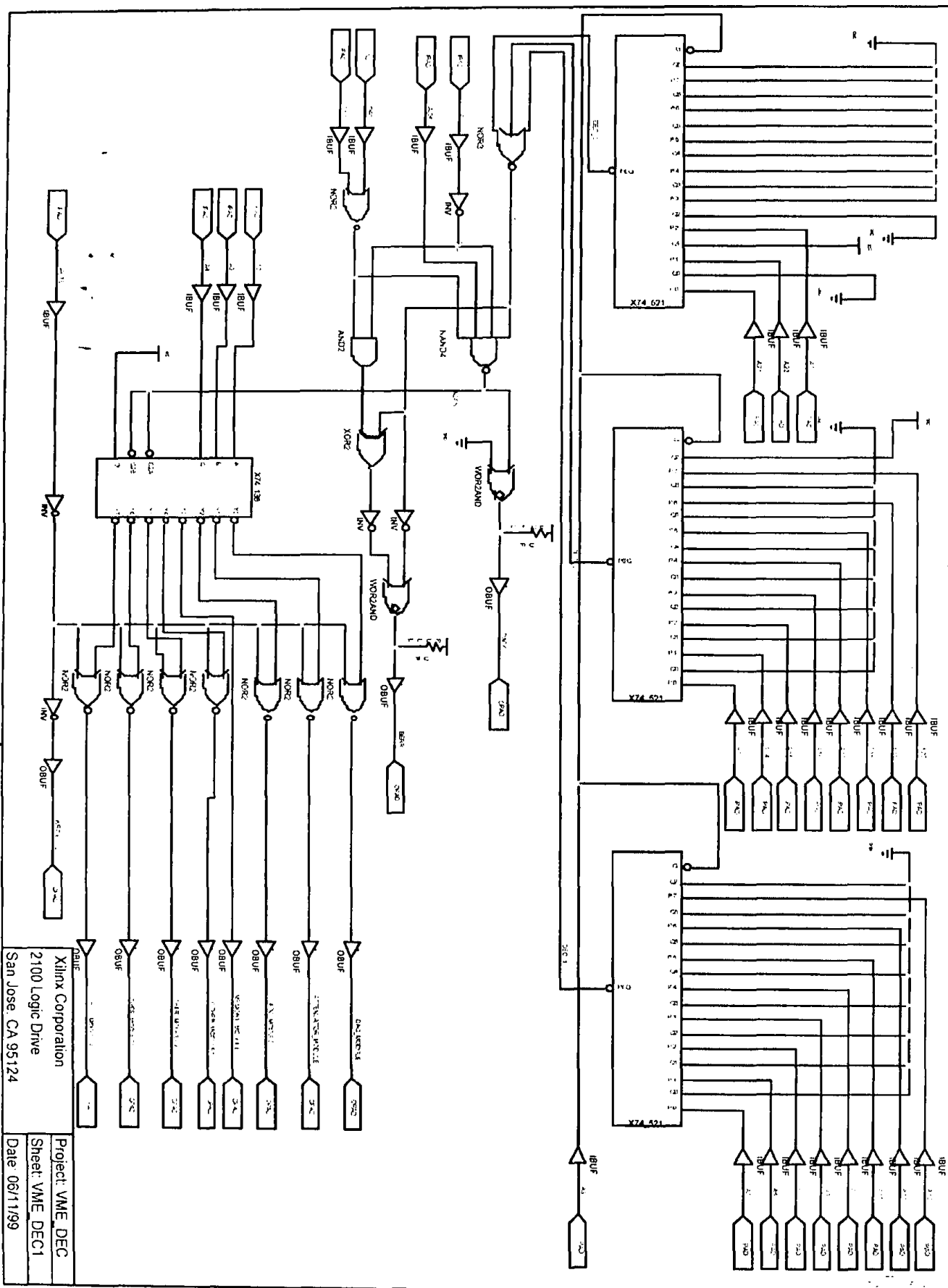
Σχήμα 4.6: Σχηματικό του VME interface.

4.4 VME interface με FPGA

Για τον σχεδιασμό της μονάδας διεπαφής μελετήθηκε και ένας τρίτος τρόπος: η υλοποίησή του μέσω των προγραμματιζόμενων ολοκληρωμένων FPGA [13]. Το σχεδιαστικό αυτό δεν κατασκευάστηκε αλλά προσομοιώθηκε μέσω του προγράμματος Foundation Series v1.5 της XILINX. Η οικογένεια των FPGA βάσει της οποίας σχεδιάστηκε το σχηματικό είναι η XC4003-E [14] της XILINX, και η δομή του είναι όμοια με εκείνη των σχηματικών στα οποία χρησιμοποιούνται τα CPLD XC9536-5. Η κυριότερες διαφορές μεταξύ των δύο οικογενειών προγραμματιζόμενων ολοκληρωμένων που χρησιμοποιήθηκαν είναι ότι τα FPGAs έχουν μεγαλύτερο αριθμό πυλών και περισσότερους ακροδέκτες ελεύθερους από τα CPLDs ενώ το πρόγραμμά τους αποθηκεύεται σε SRAM σε αντίθεση με τα CPLDs όπου το πρόγραμμά τους αποθηκεύεται σε EEPROM. Ο προγραμματισμός του FPGA έγινε μέσω του καλωδίου XChecker Cable [15], [16], [17] και μιας πλακέτας προγραμματισμού για την συγκεκριμένη σειρά της οικογένειας FPGA της XILINX. Περισσότερες λεπτομέρειες για τις δύο αυτές μεγάλες οικογένειες προγραμματιζόμενων ολοκληρωμένων δίνονται στο Παράρτημα Γ.

Η λογική που ακολουθήθηκε για τον σχεδιασμό της διεπαφής του VME με FPGA είναι ίδια με εκείνη που χρησιμοποιήθηκε για τον σχεδιασμό της με CPLD. Το σχηματικό δεν χωρίστηκε, σε αντίθεση με τη διεπαφή που κατασκευάστηκε με CPLDs, διότι ο χώρος και οι ακροδέκτες που παρείχε το FPGA αρκούσαν. Το σχηματικό φαίνεται στο σχήμα 4.7. Αρχικά γίνεται αποκωδικοποίηση των A5-A23 μέσω σύγκρισής τους με εσωτερικά καθορισμένες τιμές. Στην συνέχεια αναγνωρίζεται ποιος κύκλος μεταφοράς δεδομένων επιλέχθηκε να πραγματοποιηθεί, ελέγχοντας τις γραμμές DS0*, DS1* και A1. Εφόσον τα παραπάνω αντιστοιχούν στην ακολουθιακή κάρτα, επιλέγεται η υπομονάδα που θα λάβει μέρος στον συγκεκριμένο κύκλο του DTB μέσω των γραμμών A2, A3 και A4. Ο χάρτης διευθύνσεων της κάρτας VME είναι ίδιος με εκείνο της προηγούμενης παραγράφου 4.3 και φαίνεται στον πίνακα 4.6.





Σχήμα 4.7: Σχηματικό VME interface με FPGA.

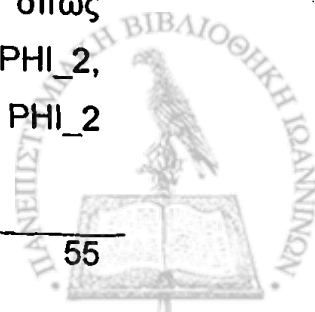
5. DAQ State Machine

5.1 Εισαγωγή

Η βασική λειτουργία της μονάδας DAQ State Machine είναι η παραγωγή των ακολουθιακών σημάτων PHI_1, PHI_2, TOK_IN, S1 και S2 για τον έλεγχο του PreMux. Επιπλέον συγχρονίζει την λειτουργία της μονάδας ADC με την αναλογική έξοδο της μητρικής κάρτας του PreMux. Τέλος παράγει και ένα αρχικό παλμό βαθμονόμησης ο οποίος εισέρχεται στην μονάδα Εξασθενητή και εξασθενείται ώστε να γίνει κατάλληλος για την βαθμονόμηση του PreMux. Ο σχεδιασμός της μονάδας DAQ State Machine έγινε για προγραμματιζόμενη λογική, συγκεκριμένα για CPLD XC9536-5 της XILINX, με την χρήση του προγράμματος Foundation Series v1.5 της XILINX.

5.2 Παραγωγή των ακολουθιακών σημάτων PHI_1, PHI_2, TOK_IN, S1 και S2

Η βασική λειτουργία της μονάδας DAQ State Machine, όπως αναφέρθηκε στην εισαγωγή, είναι η παραγωγή των σημάτων PHI_1, PHI_2, TOK_IN, S1 και S2 για τον σωστό χρονισμό του PreMux. Τα PHI_1 και PHI_2

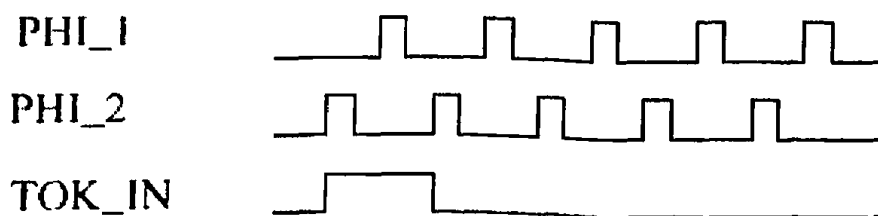


είναι παλμοί ρολογιού ίδιας συχνότητας, μη επικαλυπτόμενοι. Σύμφωνα με το εγχειρίδιο του PreMux η συχνότητα τους προτείνεται να είναι 1MHz.

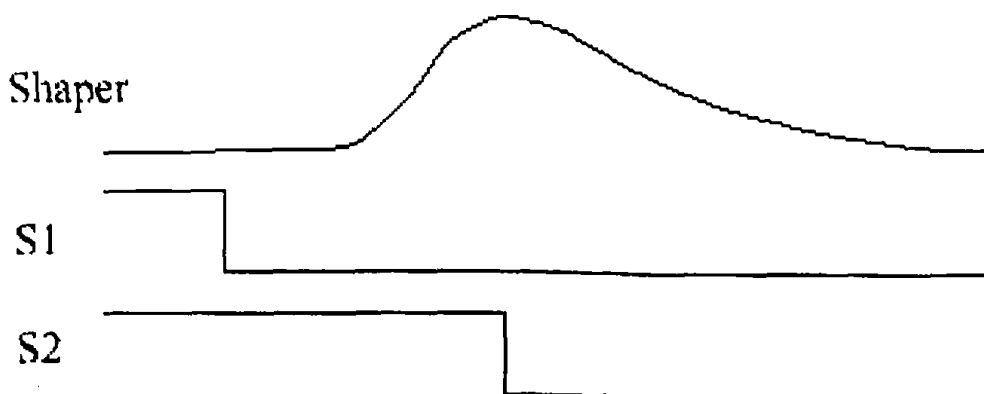
Το σήμα TOK_IN διέρχεται σειριακά από όλα τα κανάλια του PreMux και ενεργοποιεί τις αναλογικές εξόδους κάθε καναλιού. Η παραγωγή του είναι ασύγχρονη, και γίνεται την στιγμή που κάποιο φορτισμένο σωματίο περνάει μέσα από τον ανιχνευτή πυριτίου μικρολωρίδων. Ταυτόχρονα το σήμα TOK_IN πρέπει να είναι σύγχρονο με το ρολόι PHI_2. Η ακριβής σχέση που πρέπει να έχουν τα PHI_1, PHI_2 και TOK_IN φαίνεται γραφικά στο σχήμα 5.1. Έτσι όταν περάσει κάποιο σωματίο από τον ανιχνευτή τότε η μονάδα DAQ λαμβάνει ένα σήμα Trigger, με το οποίο γίνεται γνωστό το γεγονός αυτό. Την στιγμή λήψης του σήματος Trigger παράγεται το σήμα TOK_IN το οποίο ακολουθεί τον χρονισμό που καθορίζεται από το σχήμα 5.1, δηλαδή το TOK_IN γίνεται High με την πρώτη ακμή ανόδου του PHI_1 που έρχεται μετά το Trigger και γίνεται Low με την δεύτερη. Το σήμα TOK_IN δεν παράγεται για τα επόμενα 512μs, δηλαδή όσο χρόνο χρειάζεται να διέλθει από τα 512 κανάλια των τεσσάρων ολοκληρωμένων PreMux της μητρικής κάρτας.

Τα σήματα S1 και S2 επιτρέπουν τις μετρήσεις του υποβάθρου και του ύψους του σήματος που συλλέχτηκε από την διέλευση του σωματίου από τον ανιχνευτή και μετά την μορφοποίησή του. Οι μετρήσεις πραγματοποιούνται με την ακμή πτώσης των S1 και S2 και παραμένουν Low όσο χρόνο το εσωτερικό σήμα του PreMux token, το οποίο παράγεται με την εφαρμογή του σήματος TOK_IN, διέρχεται μέσα από τα κανάλια του PreMux. Στο σχήμα 5.2 φαίνεται η χρονική ακολουθία των δύο σημάτων και η σχέση τους σύμφωνα με την δειγματοληψία που πραγματοποιούν. Η παραγωγή των σημάτων S1 και S2 πρέπει να ξεκινήσει με την λήψη του σήματος Trigger και να τερματίσει μετά την διέλευση του token από όλα τα κανάλια.





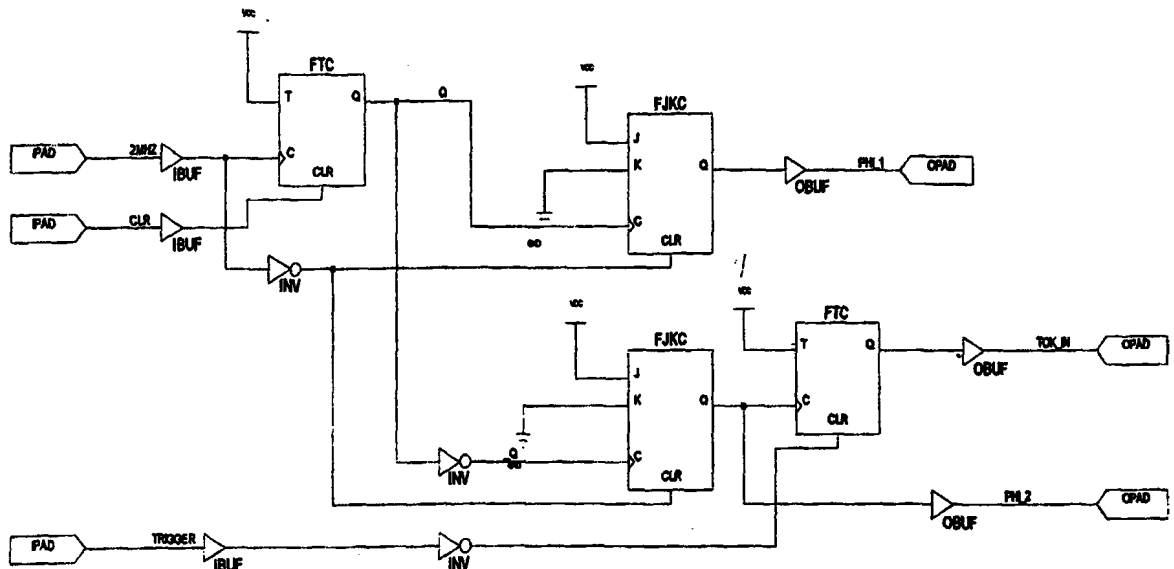
Σχήμα 5.1: Χρονική σχέση μεταξύ των PHI_1, PHI_2 και TOK_IN.



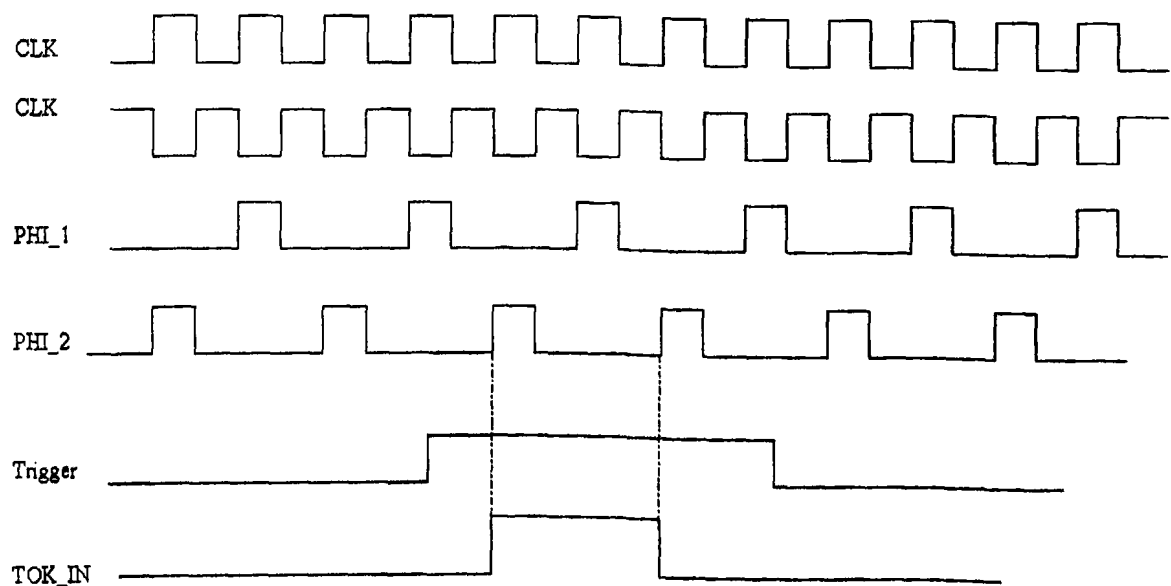
Σχήμα 5.2: Χρονική σχέση μεταξύ των S1 και S2.

Για την παραγωγή των PHI_1, PHI_2 και TOK_IN χρησιμοποιούνται ρολοί 2MHz και παλμοί Trigger πλάτους 2μs. Το σχηματικό διάγραμμα του κυκλώματος σχεδιάστηκε για CPLD XC9536-5 της XILINX και φαίνεται στο σχήμα 5.3. Το FTC (Toggle Flip-Flop) [18] μαζί με τα δύο FJKC (J-K Flip-Flop με ασύγχρονο Clear) [18] παράγουν τα σήματα PHI_1 και PHI_2. Το σήμα TOK_IN παράγεται από ένα δεύτερο FTC. Όταν το Trigger είναι Low η έξοδος του Q παραμένει Low αφού η είσοδος CLR είναι High. Όταν το Trigger γίνει High τότε η έξοδος του Q μεταβάλλει την κατάστασή της σύμφωνα με το σήμα PHI_2 που είναι συνδεδεμένο με το C (είσοδος ρολογιού). Επειδή το TOK_IN πρέπει να αλλάξει την κατάστασή του δύο φορές με το PHI_2, ο παλμός Trigger πρέπει να έχει τόσο πλάτος, ώστε όση διάρκεια είναι High, οπότε και η έξοδος Q είναι ενεργή, να χωράνε δύο παλμοί ρολογιού του PHI_2. Στην συνέχεια το Trigger πρέπει να γίνεται Low για να απενεργοποιεί την έξοδο Q. Επομένως η διάρκεια του παλμού Trigger πρέπει να είναι διπλάσια της

περιόδου του PHI_2. Εφόσον η περίοδος του PHI_2 είναι 1μs ο παλμός Trigger θα πρέπει να είναι 2μs. Η χρονική συσχέτιση των παλμών PHI_1, PHI_2 και TOK_IN με το ρολόι των 2MHz και το Trigger που περιγράφηκε παραπάνω φαίνεται στο σχήμα 5.4.



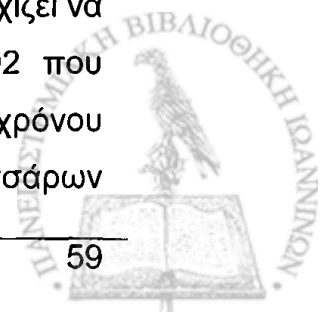
Σχήμα 5.3: Σχηματικό κυκλώματος παραγωγής των σημάτων PHI_1, PHI_2 και TOK_IN.



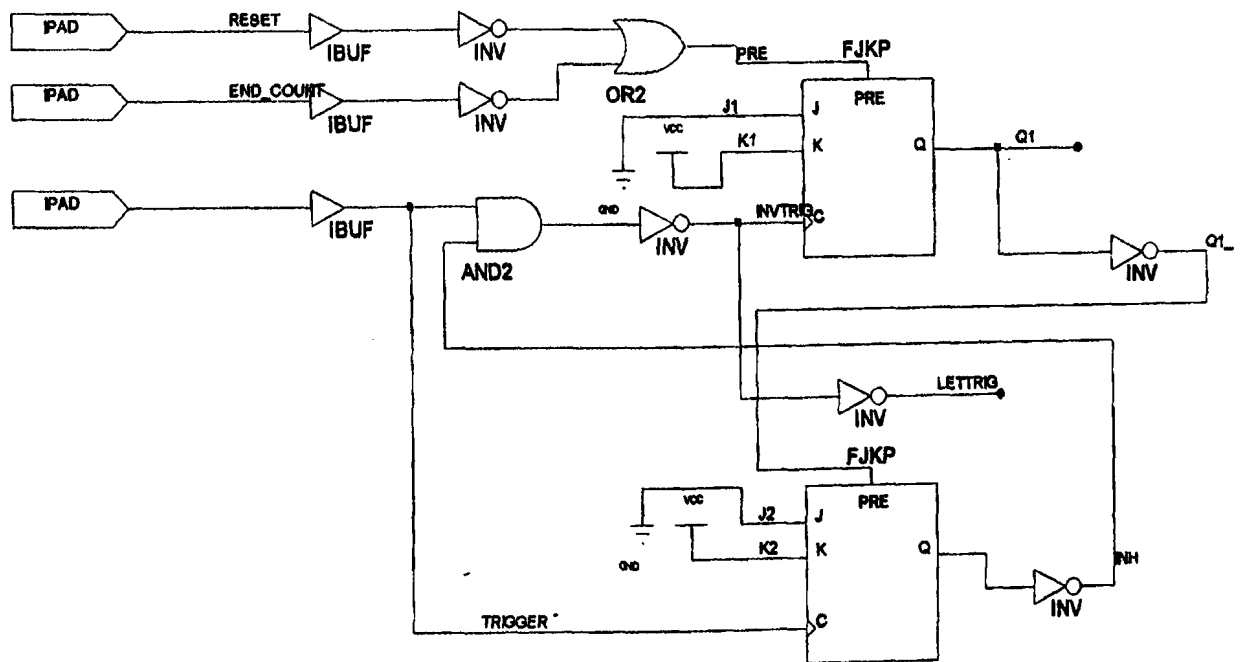
Σχήμα 5.4: Χρονική εξάρτηση των PHI_1, PHI_2 και TOK_IN με το ρολόι των 2MHz και το Trigger.

Όπως αναφέρθηκε παραπάνω το TOK_IN είναι ένας παλμός πλάτους 1μs που διέρχεται σειριακά μέσα από όλα τα κανάλια του PreMux και ενεργοποιεί τις αναλογικές του εξόδους. Για την ενεργοποίηση των αναλογικών εξόδων κάθε καναλιού χρειάζεται χρόνο 1μs, επομένως απαιτούνται 128μs για να διέλθει το TOK_IN σειριακά από όλα τα 128 κανάλια του PreMux. Η μητρική κάρτα του PreMux περιέχει τέσσερα ολοκληρωμένα PreMux128, κατά συνέπεια ο συνολικός αριθμός καναλιών που υπάρχουν είναι τετραπλάσιος οπότε και ο χρόνος που απαιτείται να διαβαστούν, δηλαδή 512μs. Στο χρονικό διάστημα που διαβάζονται όλα τα κανάλια οι παλμοί Trigger δεν πρέπει να δημιουργούν καινούριους παλμούς TOK_IN. Για τον λόγο αυτό χρησιμοποιείται το κύκλωμα που φαίνεται στο σχήμα 5.5. Στο κύκλωμα αυτό υπάρχουν τρεις εισόδους: (α) το RESET, (β) το Trigger και (γ) το END_CNT. Το END_CNT είναι ένας παλμός που παράγεται 512μs μετά την παραγωγή του TOK_IN. Έτσι το κύκλωμα επιτρέπει να περάσει το πρώτο σήμα Trigger που δέχεται, το οποίο ονομάζεται LETTRIG και οδηγείται στην είσοδο TRIGGER του σχήματος 6.3, και παράγεται για πρώτη φορά το σήμα TOK_IN. Στα υπόλοιπα σήματα Trigger απαγορεύεται η είσοδός τους στο κύκλωμα κρατώντας το σήμα INH Low. Μετά από χρόνο 512μs έρχεται το END_CNT και το INH γίνεται High επιτρέποντας στο επόμενο Trigger να περάσει και να παραχθεί το δεύτερο TOK_IN. Στο σχήμα 5.6 φαίνεται ο χρονισμός των σημάτων του κυκλώματος του σχήματος 5.5 και περιγράφηκαν παραπάνω, ενώ στο σχήμα 5.7 φαίνεται η συνδεσμολογία του κυκλώματος παραγωγής των PHI_1, PHI_2 και TOK_IN με εκείνο του έλεγχου της εισόδου των παλμών Trigger.

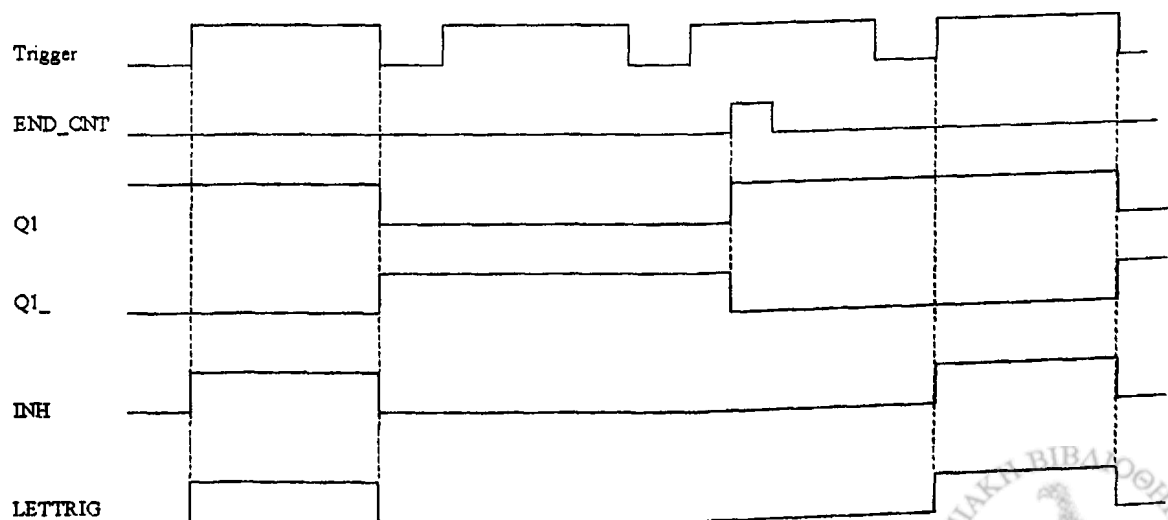
Η παραγωγή του σήματος END_CNT γίνεται μέσω του κυκλώματος που φαίνεται στο σχήμα 5.8. Χρησιμοποιείται ένας counter (μετρητής) 10bit του οποίου τα δεδομένα εισόδου είναι 000000000_b και φορτώνονται με την βοήθεια του παλμού LETTRIG. Για τον χρονισμό χρησιμοποιείται το PHI_2 (CLK). Ο counter, αφού φορτωθούν τα δεδομένα στις εισόδους του, αρχίζει να μετράει μέχρι το 512. Όταν τελειώσει, η έξοδος της πύλης AND2 που συμβολίζεται με END_CNT, γίνεται High και σηματοδοτεί το τέλος του χρόνου που χρειάζεται για να διαβαστούν όλες οι αναλογικές εξόδους των τεσσάρων



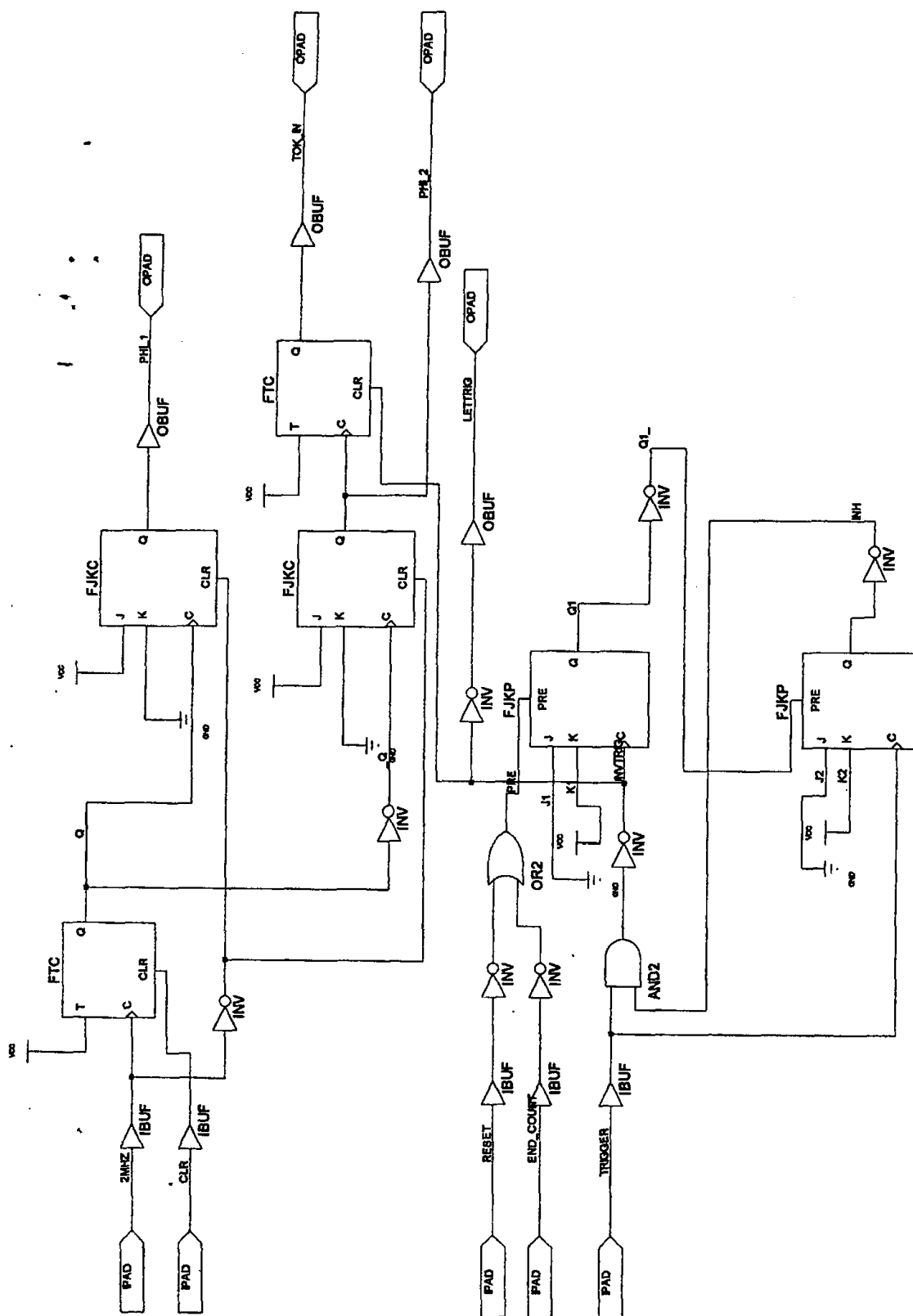
ολοκληρωμένων PreMux που έχει η μητρική κάρτα. Επιπλέον ο παλμός END_CNT στέλνεται και στην είσοδο ASYNC_CTRL του L3 οπότε στον επόμενο παλμό PHI_2 μετά τον END_CNT οι έξοδοι του counter γίνονται 000000000_b. Επίσης ο counter θα πρέπει να σταματήσει να μετρά όταν λάβει το END_CNT και δεν έχει δεχθεί καινούριο LETTRIG. Μέσω του flip-flop FJKP ελέγχεται το CLK_EN του counter και γίνεται High όσο ώρα μετράει ο counter και Low στο υπόλοιπο διάστημα μεταξύ END_CNT και του επόμενου LETTRIG.



Σχήμα 5.5: Έλεγχος παλμών Trigger.

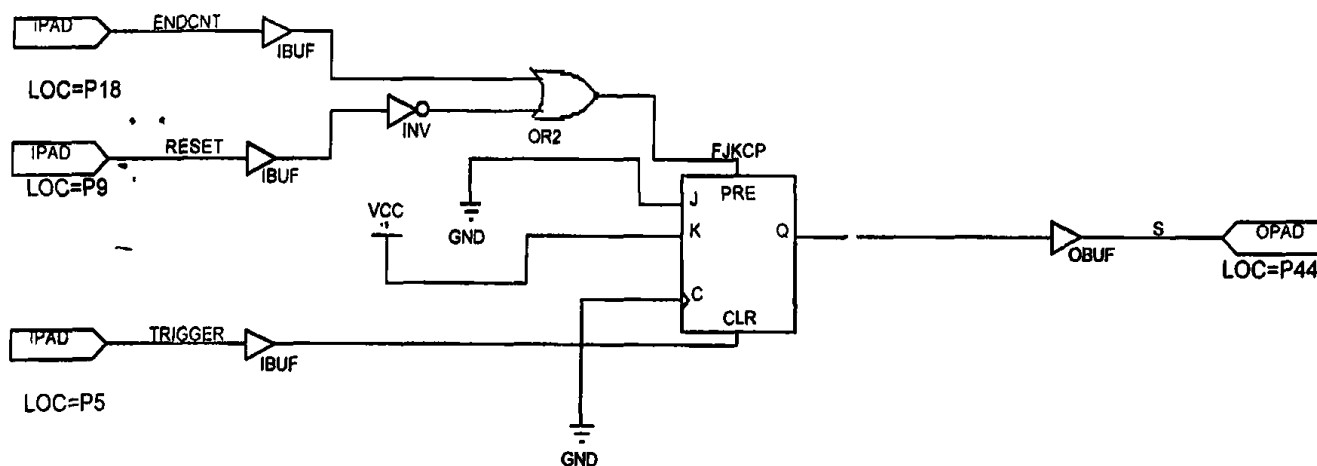


Σχήμα 5.6: Χρονισμός σημάτων του σχήματος 5.5

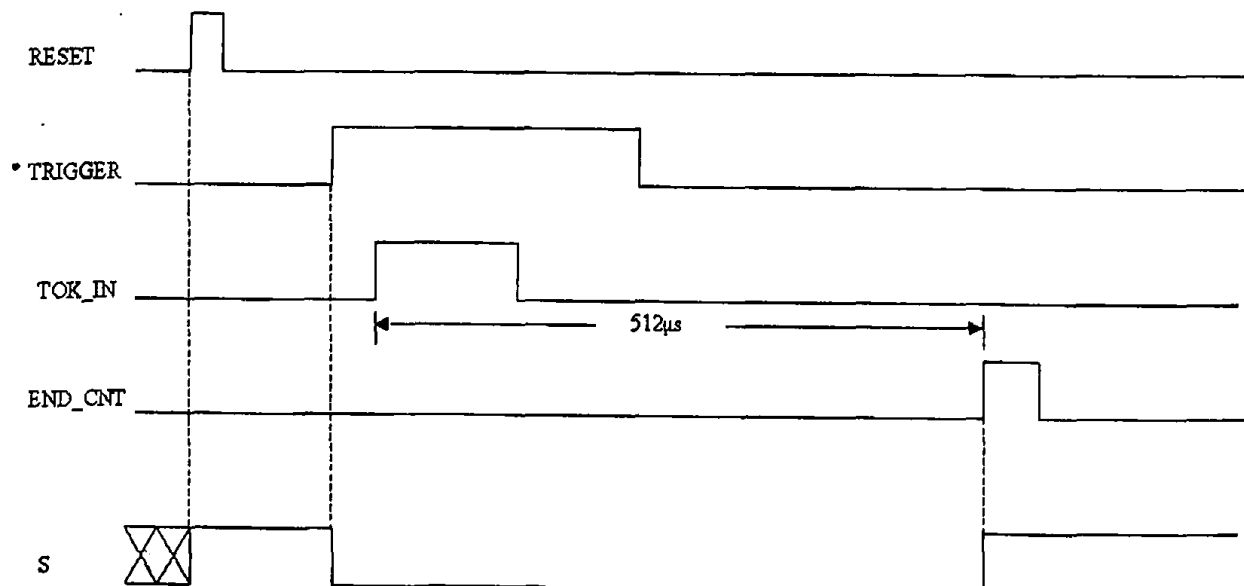


Σχήμα 5.7: Σύνδεση των κυκλωμάτων των σχημάτων 5.3 και 5.5.

διέρχεται από όλα τα κανάλια των τεσσάρων PreMux. Το σχηματικό του κυκλώματος που παράγει το S μέσω της παραπάνω ακολουθίας σημάτων φαίνεται στο σχήμα 5.9. Η χρονική ακολουθία των σημάτων S, Trigger, TOK_IN και END_CNT φαίνεται στο σχήμα 5.10.



Σχήμα 5.9: Σχηματικό κυκλώματος παραγωγής ακολουθιακού παλμού S.

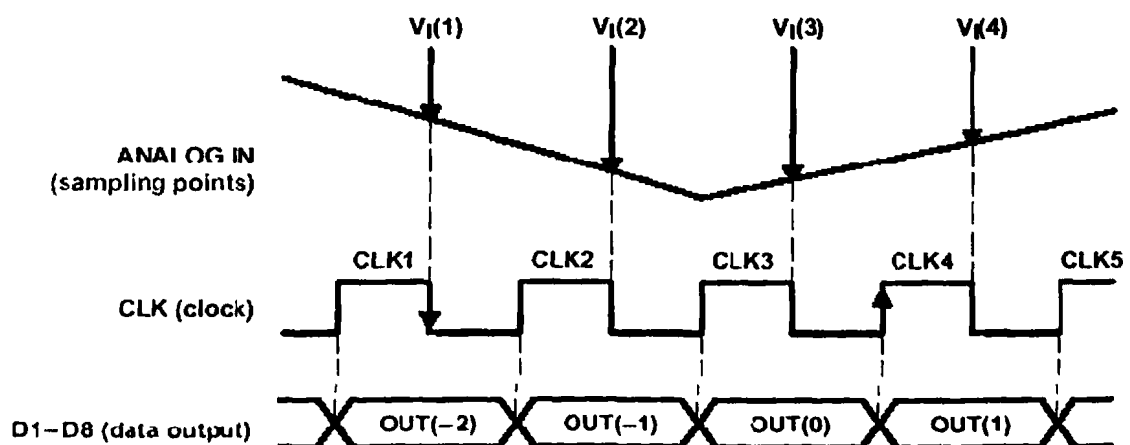


Σχήμα 5.10: Χρονική ακολουθία των σημάτων S, Trigger, TOK_IN και END_CNT.

5.3 Έλεγχος της μονάδας ADC.

Η δεύτερη λειτουργία του της μονάδας DAQ είναι ο συγχρονισμός των μονάδων ADC και FIFO με την αναλογική έξοδο της μητρικής πλακέτας του PreMux.

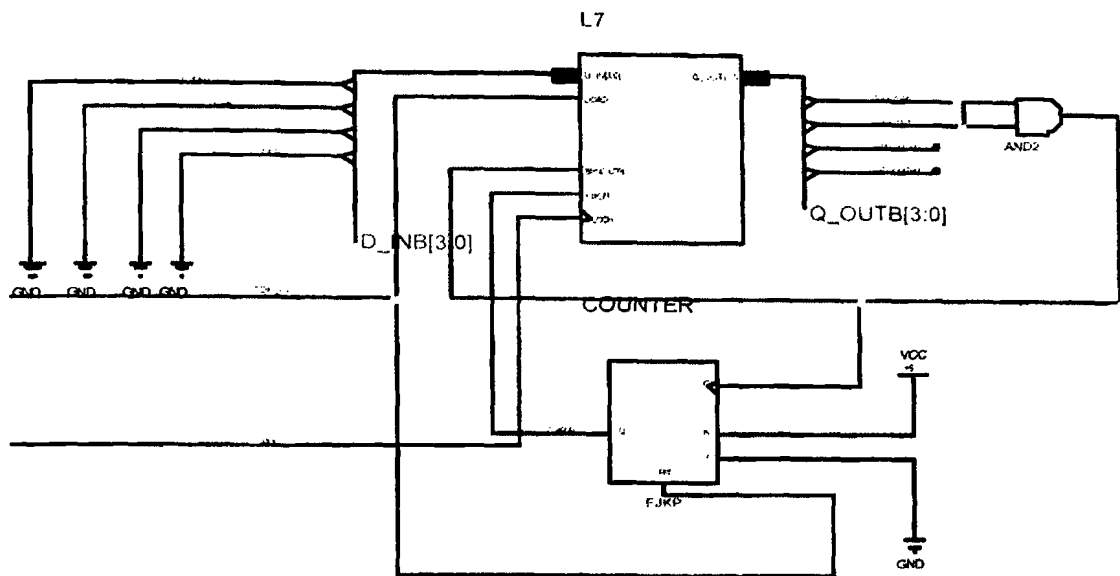
Η μονάδα ADC μετατρέπει το διαφορικό αναλογικό σήμα σε ψηφιακό. Το βασικό κομμάτι της είναι το ολοκληρωμένο ADC τύπου TLC5510 της Texas Instruments, το οποίο πραγματοποιεί αυτή την μετατροπή. Το ολοκληρωμένο ADC που χρησιμοποιείται στην μονάδα ADC είναι το TLC5510 της Texas Instruments. Το TLC5510 μετατρέπει το σήμα της αναλογικής του εισόδου σε μια λέξη των 8bit σύμφωνα με ένα ρολόι. Η μετατροπή αυτή δεν γίνεται σε αμελητέο χρονικό διάστημα αλλά χρειάζεται 2.5 περιόδους ρολογιού. Στο σχήμα 5.11 φαίνεται η παραπάνω λειτουργία. Για παράδειγμα η δειγματοληψία $V_I(1)$ στην είσοδο του TLC5510 πραγματοποιείται στο μέτωπο καθόδου του παλμού CLK1 του ρολογιού, ενώ η ψηφιοποίηση τερματίζεται με το μέτωπο ανόδου του παλμού CLK4 όπου τα 8 bits της ψηφιοποιημένης τιμής, OUT(1), τοποθετούνται στις ψηφιακές εξόδους του D1-D8. Ως ρολόι στο TLC5510 χρησιμοποιείται το PHI_2.



Σχήμα 5.11: Χρονικό διάγραμμα ενεργοποίησης των ψηφιακών εξόδων του TLC5510.

Το TOK_IN διερχόμενο από κάθε κανάλι του PreMux, ενεργοποιεί τις αναλογικές εξόδους κάθε καναλιού και τις προωθεί στην αναλογική έξοδο της μητρικής πλακέτας του PreMux. Δηλαδή η διέλευση του TOK_IN από όλα τα κανάλια του PreMux έχει ως αποτέλεσμα την σειριακή εμφάνιση όλων των αναλογικών δεδομένων των καναλιών στην αναλογική έξοδο της μητρικής πλακέτας του PreMux. Στην συνέχεια τα αναλογικά δεδομένα του PreMux χρησιμοποιούνται ως αναλογική είσοδο του TLC5510. Από την περιγραφή του TLC5510 πρέπει να υπάρξει κύκλωμα μέσω του οποίου να ελέγχονται οι ψηφιακές εξοδοί του. Η ενεργοποίηση των ψηφιακών εξόδων του TLC5510 γίνεται μέσω του ακροδέκτη του OE. Όταν είναι Low οι εξοδοί ενεργοποιούνται ενώ όταν είναι High απενεργοποιούνται. Το κύκλωμα ελέγχου των ψηφιακών εξόδων του TLC5510 θα πρέπει να τις κρατάει ανενεργές για 2.5 παλμούς ρολογιού μετά την παραγωγή του TOK_IN και ενεργές για 2.5 παλμούς ρολογιού μετά το τέλος διαβάσματος των 512 καναλιών των τεσσάρων ολοκληρωμένων PreMux που βρίσκονται στην μητρική κάρτα.

Στο σχήμα 5.11 έστω $V_i(1)$ η αναλογική έξοδος του πρώτου καναλιού του PreMux, η οποία εμφανίζεται με την παραγωγή του TOK_IN. Η είσοδος της στο TLC5510 γίνεται στην ακμή καθόδου του ρολογιού CLK. Τα δεδομένα στις ψηφιακές εξόδους του TLC5510 εκείνη την στιγμή, OUT(-2), αντιστοιχούν στην τιμή που υπήρχε στην αναλογική είσοδο 2.5 παλμούς ρολογιού νωρίτερα και επομένως δεν αντιστοιχούν σε δεδομένα της εξόδου του PreMux. Οπότε εκείνη την στιγμή οι ψηφιακές εξοδοί του TLC5510 πρέπει να είναι απενεργοποιημένες. Η ενεργοποίησή τους πρέπει να γίνει όταν ολοκληρωθεί η ψηφιοποίηση της $V_i(1)$, δηλαδή με την ακμή ανόδου του CLK. Το κύκλωμα που πραγματοποιεί την παραπάνω λογική φαίνεται στο σχήμα 5.12. Με το σήμα TOK_IN φορτώνονται τα δεδομένα 0000_b στον counter L7 των τεσσάρων bit. Αυτός μετρά δύο παλμούς του PHI_2, τίθενται οι εξοδοί του Low μέσω του SYNC_CTRL και σταματάει να μετρά θέτοντας το CLK_EN Low. Με το επόμενο TOK_IN τίθεται το CLK_EN High, φορτώνονται πάλι στις εισόδους του τα 0000_b και μετρά πάλι ως το δύο.

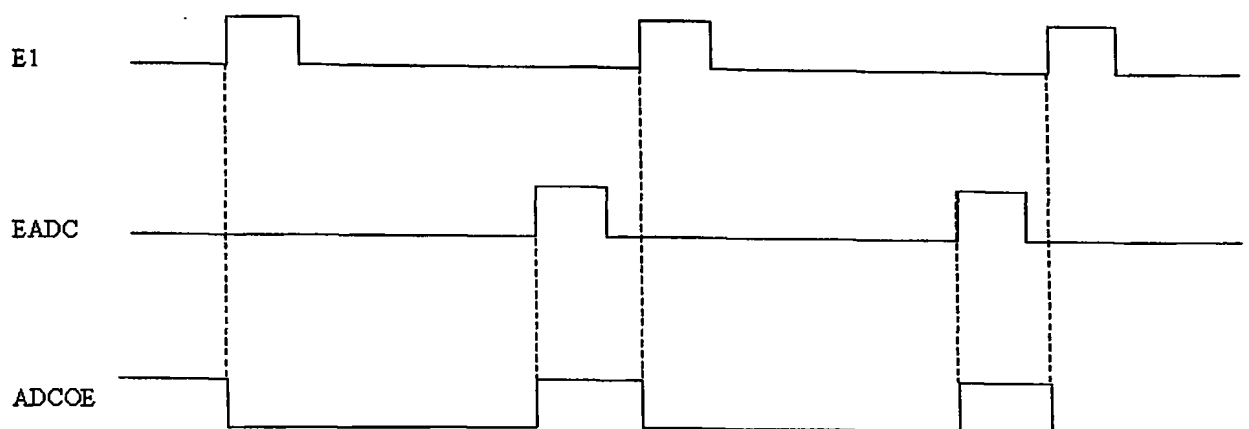


Σχήμα 5.12: Ενεργοποίηση των ψηφιακών εξόδων του TLC5510.

Μετά την διέλευση του TOK_IN από το τελευταίο κανάλι του PreMux, όπου βγαίνει η τελευταία αναλογική τιμή του, οι ψηφιακές εξοδοί του TLC5510 πρέπει να παραμείνουν ενεργές για ακόμη 2.5 παλμούς ρολογιού ώστε να ολοκληρωθεί η ψηφιοποίησή τους. Στην συνέχεια οι ψηφιακές εξοδοί απενεργοποιούνται μέχρι την παραγωγή του επόμενου TOK_IN, και επαναλαμβάνεται η διαδικασία που περιγράφηκε στην παραπάνω παράγραφο. Στο σχήμα 5.13 φαίνεται το σχηματικό με το οποίο εκτελείται η λογική που περιγράφηκε. Το END_CNT, που υποδηλώνει το τέλος του διαβάσματος των καναλιών, χρησιμοποιείται για να φορτώσει τα δεδομένα 0000_b στον counter L8 των τεσσάρων bit και για να θέσει το CLK_EN High ώστε να ξεκινήσει το μέτρημα. Αφού μετρηθούν δύο παλμοί PHI_2 το SYNC_CTRL γίνεται High μηδενίζοντας τις εξόδους του counter και θέτοντας το CLK_EN Low σταματώντας το μέτρημα του μέχρι να έλθει το επόμενο END_CNT.

Στο σχήμα 5.14 φαίνεται το κύκλωμα για την παραγωγή του σήματος που ελέγχει τον ακροδέκτη OE του TLC5510 και ονομάζεται ADCOE. Όταν γίνει High το E1 υποδηλώνει ότι πέρασε ο απαιτούμενος χρόνος και τα ψηφιακά δεδομένα του TLC5510 αντιστοιχούν στον πρώτο αναλογικό παλμό. Τότε το ADCOE γίνεται Low ενεργοποιώντας τις ψηφιακές εξόδους του TLC5510. Η παραγωγή του σήματος EADC σημαίνει ότι πέρασε το απαιτούμενο χρονικό διάστημα από τον τελευταίο αναλογικό παλμό οπότε οι

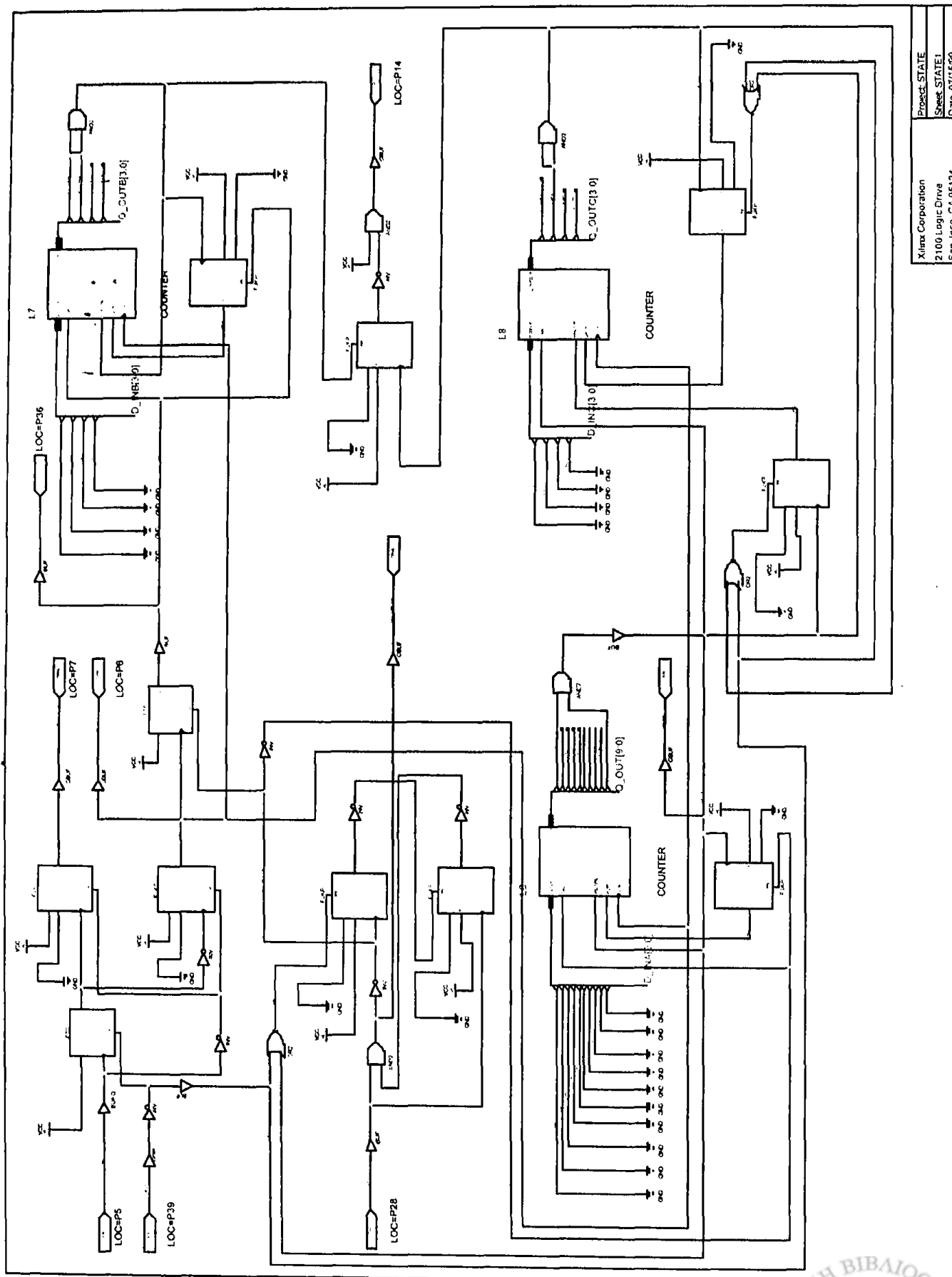
The logic diagram shows the internal components of the LOC=P14 device. It includes a flip-flop (JKP) with inputs J and K connected to VCC and GND respectively, and a clock input C. The output Q of the flip-flop passes through an inverter (INV), then an AND gate (AND2) which has one input connected to VCC, followed by an output buffer (OBUF). The final output is labeled "Q".



Σχήμα 5.15: Χρονική ακολουθία των σημάτων για το κύκλωμα παραγωγής του σήματος έλεγχου ADCOE.

5.4 Προγραμματισμός CPLD και ολοκλήρωση της μονάδας DAQ State Machine

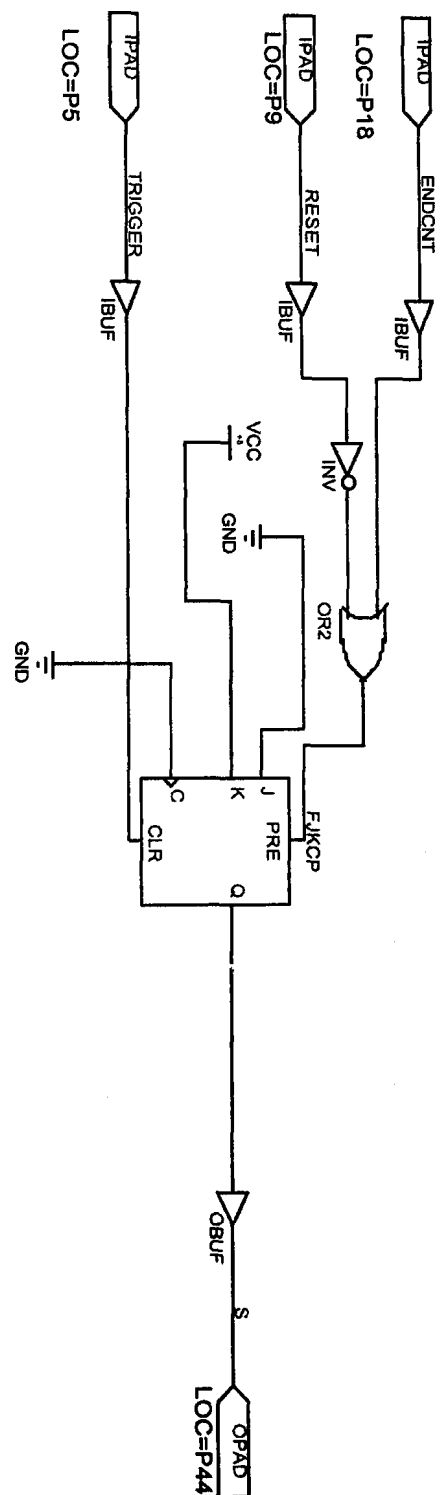
Η λογική της λειτουργίας της μονάδας DAQ State Machine που περιγράφηκε προηγούμενα περιέχεται σε δύο προγραμματιζόμενα CPLD. Στο πρώτο περιέχεται η λογική παραγωγής των PHI_1, PHI_2 και TOK_IN και του έλεγχου της μονάδας ADC, ενώ στο δεύτερο η λογική παραγωγής του σήματος S. Στα σχήματα 5.16 και 5.17 αντίστοιχα παρουσιάζονται τα σχηματικά των δύο CPLD.



Xilinx Corporation
2100 Logic Drive
San Jose, CA 95124

Project: STATE
Sheet: STATE1
Date: 07/15/99

Σχήμα 5.16: Σχηματικό κυκλώματος CPLD το οποίο παράγει τα σήματα PHI_1, PHI_2 και TOK_IN και ελέγχει την μονάδα ADC.



Xilinx Corporation 2100 Logic Drive San Jose, CA 95124	Project: S1_2_2ND
	Sheet: S1_2_2N1
	Date: 10/04/99

Σχήμα 5.17: Σχηματικό παραγωγής σήματος S.

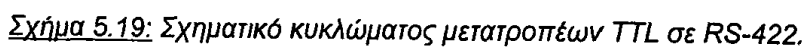
Στη συνέχεια σχεδιάζεται και κατασκευάζεται η PCB πλακέτα της μονάδας DAQ η οποία στη συνέχεια προσαρμόζεται πάνω στην ακολουθιακή κάρτα του VME. Το σχηματικό της μονάδας φαίνεται στο σχήμα 5.18 ενώ οι δύο πλευρές της πλακέτας PCB και η διάταξη των ολοκληρωμένων πάνω στην πλακέτα δίνονται στο Παράρτημα Ε. Στην πλακέτα προστίθενται τα ολοκληρωμένα delay line τα οποία δημιουργούν τις επιθυμητές καθυστερήσεις για τα S1 και S2. Στο σχήμα 5.18 φαίνεται ότι το S1 παράγεται μετά από καθυστέρηση του S κατά 15ns έως 35ns με βήμα 5ns από το ολοκληρωμένο U4. Η επιθυμητή καθυστέρηση επιλέγεται μέσω του ακροδέκτη JP3. Στην συνέχεια παράγεται το S2 από το U2 μετά από καθυστέρηση του σήματος S1. Το U2 είναι ένα ολοκληρωμένο προγραμματιζόμενης καθυστέρησης. Μέσω των εισόδων P0-P7 προγραμματίζεται η τιμή της καθυστέρησης, η οποία κυμαίνεται από 10ns ως 520μs με βήμα των 2.5ns.

Ο παλμός βαθμονόμησης προέρχεται από την αναστροφή του S και χρονικά εμφανίζεται μεταξύ των S1 και S2 στον ακροδέκτη J1. Έχει απότομη ακμή ανόδου, της τάξης των 3-4ns, ώστε να προσμοιάζει όσο το δυνατό καλύτερα ένα παλμό φορτίου που προέρχεται από ένα φυσικό γεγονός, την διέλευση δηλαδή σωματίου από τον ανιχνευτή.

Στη μονάδα DAQ State Machine προστίθεται το U7, το οποίο είναι ένας μονοσταθής πολυδονητής. Λόγω του ότι οι παλμοί Trigger είναι δυνατό να μην είναι πάντα ίδιοι, δηλαδή να μην έχουν σταθερό πλάτος και συχνότητα, χρησιμοποιείται μονοδονητής ο οποίος φροντίζει ώστε οι παλμοί Trigger, που μπαίνουν στην μονάδα, να έχουν σταθερό πλάτος ίσο με 2μs. Η συχνότητα με την οποία μπορεί να δέχεται τους παλμούς Trigger το κύκλωμα του μονοδονητή είναι μεταξύ 1Hz και 500KHz.

Η μονάδα DAQ State Machine ολοκληρώνεται με την χρήση των ολοκληρωμένων AM26C31C [19] τα οποία είναι τετραπλοί μετατροπείς των λογικών επιπέδων από TTL σε RS-422. Τα ολοκληρωμένα αυτά χρησιμοποιούνται για την μετατροπή των λογικών επιπέδων των σημάτων PHI_1, PHI_2, TOK_IN, S1 και S2. Το σχηματικό του κυκλώματος αυτού φαίνεται στο σχήμα 5.19.





6. Μονάδες ADC και FIFO

6.1 Εισαγωγή

Οι μονάδες ADC και FIFO [20], [21], [22], [23] παρουσιάζονται μαζί στο ίδιο κεφάλαιο διότι αναπτύχθηκαν ταυτόχρονα. Η ανάπτυξη των μονάδων έχει ολοκληρωθεί αλλά δεν έχει κατασκευαστεί ούτε δοκιμαστεί κάποιο μέρος τους. Η μονάδα του ADC μετατρέπει τα σήματα της αναλογικής εξόδου της μητρικής κάρτας του PreMux σε ψηφιακές λέξεις των 8bit. Η μεταφορά των ψηφιοποιημένων τιμών στο VMEbus και μέσω αυτού σε άλλες μονάδες πραγματοποιείται με την μονάδα FIFO. Οι δύο αυτές μονάδες έχουν σχεδιαστεί στην ίδια πλακέτα, της οποίας το σχηματικό φαίνεται στο σχήμα 6.1.



76

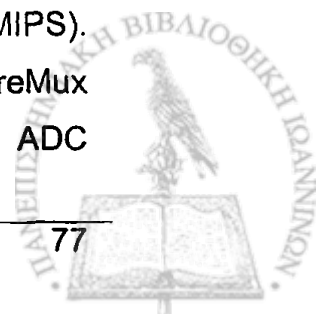
6.2 Περιγραφή λειτουργίας της μονάδας ADC

Η μονάδα ADC αποτελείται από το ολοκληρωμένο ADC TLC5510 της Texas Instruments και τον ενισχυτή (Instrumentation Amplifier), το ολοκληρωμένο AD620 της Analog Devices. Όπως φαίνεται στο σχήμα 6.1 η διαφορική αναλογική έξοδος του PreMux οδηγείται μέσω του JP1 στις εισόδους του AD620. Η μεταβλητή αντίσταση R_2 καθορίζει το κέρδος του ενισχυτή και δίνεται από τον τύπο $G = \frac{49.4K\Omega}{R_G} + 1$. Για την τιμή της $R_2=10k\Omega$ το κέρδος κυμαίνεται μεταξύ 6 και 1000. Στον πίνακα 6.1 φαίνονται το κέρδος του instrumentation amplifier για ενδεικτικές τιμές της R_2 . Ο έλεγχος του κέρδους του AD620 είναι απαραίτητος για την ρύθμιση της κλίμακας (dynamic range) του ADC TLC5510.

Πίνακας 6.1: Τιμές αντιστάσεων R_G για τη ρύθμιση του κέρδους του AD620.

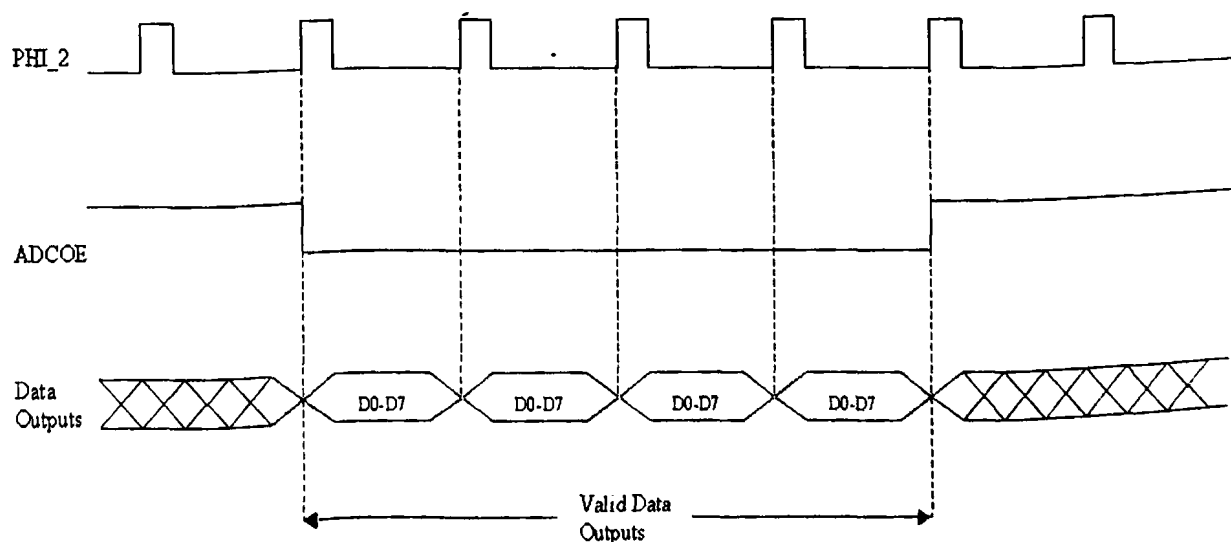
1% Std Table Value of R_G , Ω	Calculated Gain	0.1% Std Table Value of R_G , Ω	Calculated Gain
49.9 k	1.990	49.3 k	2.002
12.4 k	4.984	12.4 k	4.984
5.49 k	9.998	5.49 k	9.998
2.61 k	19.93	2.61 k	19.93
1.00 k	50.40	1.01 k	49.91
499	100.0	499	100.0
249	199.4	249	199.4
100	495.0	98.8	501.0
49.9	991.0	49.3	1,003

Ο προενισχυτής του ολοκληρωμένου PreMux δίνει ενίσχυση της τάξης των 5mV/24000e⁻. Επίσης το PreMux λειτουργεί στην γραμμική περιοχή για σήματα που αντιστοιχούν σε φορτία μέχρι και 150000e⁻ (6.25 MIPS). Σύμφωνα με τα παραπάνω οι τιμές της αναλογικής εξόδου του PreMux κυμαίνονται από 0 έως και 31.25 mV. Η ρύθμιση της κλίμακας του ADC



γίνεται ενισχύοντας με το ολοκληρωμένο AD620 την αναλογική έξοδο του PreMux ώστε να καλυφθεί η περιοχή 0 έως 4V που αντιστοιχεί στην περιοχή τιμών του σήματος εισόδου του ADC. Με βάση τα παραπάνω το κέρδος του AD620 πρέπει να είναι $G=128$, συνεπώς η τιμή της αντίστασης R_2 πρέπει είναι 389Ω.

Το αναλογικό σήμα αφού ενισχυθεί στο AD620, εισέρχεται στην αναλογική είσοδο του TLC5510. Το ύψος του παλμού εισόδου στην αναλογική είσοδο του TLC5510 μπορεί να κυμαίνεται μεταξύ 0 και 4V. Μετά την δειγματοληψία το αναλογικό σήμα ψηφιοποιείται και βγαίνει στις ψηφιακές εξόδους μετά την πάροδο 2.5 παλμών ρολογιού. Ο έλεγχος των ψηφιακών εξόδων γίνεται μέσω του μονάδας DAQ State Machine, όπως περιγράφηκε στο αντίστοιχο κεφάλαιο. Όπως παρατηρείται στο σχήμα 6.1 το ρολόι που χρησιμοποιείται είναι το PHI_2 και οι ψηφιακές εξοδοι ελέγχονται μέσω του σήματος ADCOE, με την διαδικασία που περιγράφηκε στο υποκεφάλαιο 5.3. Στο διάγραμμα του σχήματος 6.2 φαίνεται ο χρονισμός ενεργοποίησης των ψηφιακών εξόδων του TLC5510.



Σχήμα 6.2: Χρονισμός ενεργοποίησης των ψηφιακών εξόδων του TLC5510.

Τέλος στο σχηματικό του σχήματος 6.1 το NMA0505S είναι ένας DC/DC converter. Χρησιμοποιείται για την μετατροπή της τροφοδοσίας 12V σε $\pm 5V$ και την απαλλάσσει από τον θόρυβο. Με αυτό τον τρόπο η τροφοδοσία των AD620 και TLC5510 είναι απαλλαγμένη από θόρυβο και σταθεροποιημένη.

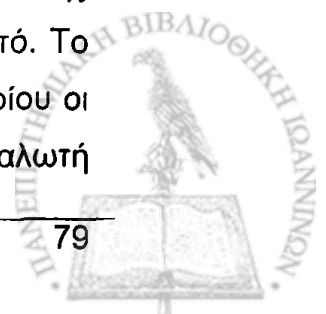
6.3 Περιγραφή της μονάδας μνήμης τύπου FIFO

Το βασικό στοιχείο της μονάδας μνήμης τύπου FIFO είναι το ολοκληρωμένο AD7201-35 το οποίο είναι μια FIFO 512x9 της AMD, ενώ τα υπόλοιπα στοιχεία της μονάδας εξυπηρετούν τον έλεγχο της μνήμης και της μεταφοράς των δεδομένων στο VMEbus.

Στη μονάδα γράφονται 512 τιμές των 8bit μετά από το διάβασμα των 512 καναλιών του PreMux. Ο ελάχιστος χρόνος διαβάσματος των καναλιών είναι 512μs συνεπώς η μέγιστη ταχύτητα είναι 2KHz. Όταν γεμίσουν όλες οι θέσεις μνήμης τότε ξεκινά το διάβασμα της, δηλαδή η προώθηση των δεδομένων από τη μνήμη στο VMEbus. Η διαδικασία αυτή επαναλαμβάνεται για όσο χρόνο διαρκεί το διάβασμα της αναλογικής εξόδου του PreMux. Τα δεδομένα στην μνήμη γράφονται με την χρήση του PHI_2. Όσο χρόνο οι ψηφιακές εξόδου του ολοκληρωμένου TLC5510 είναι ενεργές, τα δεδομένα που βγαίνουν από αυτές μεταφέρονται στην μνήμη. Όταν όμως απενεργοποιηθούν πρέπει να σταματήσει και η μεταφορά των τιμών τους στην μνήμη και να ξαναρχίσει πάλι ο κύκλος με την επόμενη ενεργοποίησή τους.

Η ενεργοποίηση και η απενεργοποίηση των ψηφιακών εξόδων πραγματοποιείται μέσω του ADCOE. Αυτό το σήμα χρησιμοποιείται για τον έλεγχο εισόδου του PHI_2 στην μνήμη ως σήμα WRITE, επομένως με αυτό τον τρόπο ελέγχεται το γράψιμο των ψηφιακών εξόδων στην μνήμη.

Μόλις γεμίσουν με δεδομένα όλες οι θέσεις μνήμης τότε ο ακροδέκτης FF (Full Flag) της μνήμης γίνεται Low σηματοδοτώντας το γεγονός αυτό. Το λογικό επίπεδο του FF τοποθετείται σε ένα μανδαλωτή (Latch) του οποίου οι υπόλοιπες εισόδου είναι σε επίπεδο High. Οι εξόδου του μανδαλωτή



τοποθετούνται στην ακολουθιακή κάρτα του VME ως μια θέση διεύθυνσης, την Flag Address. Ελέγχοντας την διεύθυνση αυτή γίνεται γνωστό πότε έχει γεμίσει η μνήμη, οπότε πρέπει να διαβαστούν τα δεδομένα που περιέχει.

Την στιγμή που γεμίσει η FIFO και το FF γίνει Low, ξεκινά το διάβασμα της μνήμης, με ενεργοποίηση της διεύθυνσης Memory Module Address και διάβασμα των δεδομένων που μπήκαν πρώτα στην FIFO. Για την μεταφορά όλων των δεδομένων, 512 byte, πρέπει να ενεργοποιηθεί 512 φορές η διεύθυνση Memory Module Address.

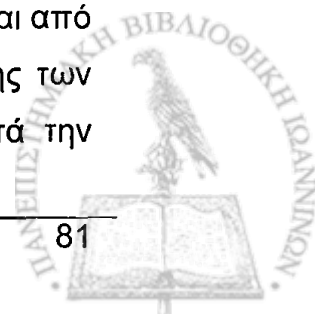
Η διαδικασία γραψίματος στην FIFO με εκείνη του διαβάσματος είναι ανεξάρτητες. Αυτό είναι εύκολα αντιληπτό αφού τα σήματα που χρησιμοποιούνται για τον έλεγχο των δύο διαδικασιών είναι διαφορετικά. Έτσι ενώ έχει ξεκινήσει το διάβασμα των πρώτων θέσεων μνήμης είναι δυνατό να γράφονται δεδομένα στις τελευταίες.

7. Μονάδα προγραμματιζόμενου εξασθενητή τάσης (Programmable Attenuator Module)

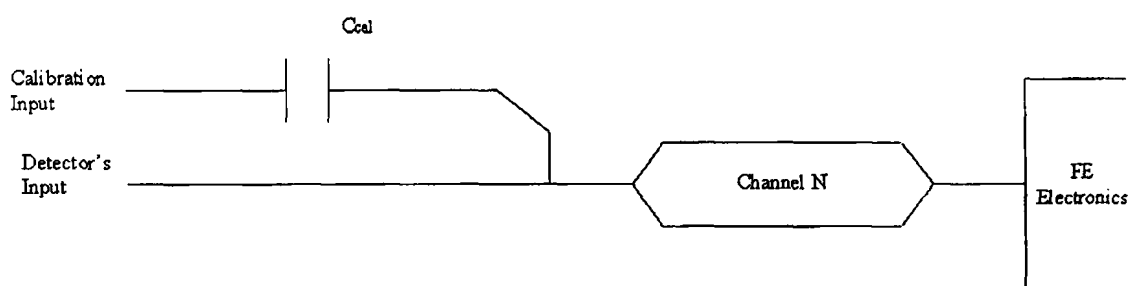
7.1 Εισαγωγή

Τα ηλεκτρονικά που βρίσκονται πολύ κοντά στις ανιχνευτικές διατάξεις πειραμάτων της Φυσικής Υψηλών Ενεργειών (Front End Electronics), έχουν κυριο ρόλο την μορφοποίηση, ενίσχυση και πολυπλεξία των σημάτων που προσέρχονται από τα κανάλια των ανιχνευτικών διατάξεων. Για τον έλεγχο της σωστής λειτουργίας τους περιέχουν κύκλωμα βαθμονόμησης, ανάλογο με αυτή που περιέχει το ολοκληρωμένο PreMux που περιγράφηκε στο κεφάλαιο 1.

Σε γενικές γραμμές η είσοδος μιας τέτοιας δομής βαθμονόμησης είναι όπως αυτή που φαίνεται στο σχήμα 7.1. Όπως φαίνεται αποτελείται από μια είσοδο Cal και ένα πυκνωτή. Στην είσοδο Cal τοποθετείται ένας παλμός με μικρό χρόνο ανόδου και γνωστό ύψος. Με αυτό τον τρόπο προσομοιώνεται το φορτίο που εμφανίζεται στις εισόδους του καναλιού N της ηλεκτρονικής διάταξης, την στιγμή που ένα φορτισμένο σωματίο περάσει μέσα από την ανιχνευτική διάταξη. Επειδή η ακμή ανόδου φορτίζει τον πυκνωτή εισόδου, θα πρέπει να έχει όσο το δυνατό μικρότερο χρόνο ανόδου ώστε να προσομοιώνει με τον καλύτερο δυνατό τρόπο ένα παλμό που προέρχεται από φορτισμένο σωματίο. Ο χρόνος αυτός αντιστοιχεί στο χρόνο συλλογής των φορτίων που παράγονται σε ανιχνευτές μικρολωρίδων πυριτίου κατά την



διέλευση φορτισμένων σωματίων. Έτσι ο χρόνος ανόδου πρέπει να κυμαίνεται μεταξύ 2 και 8ns. Επίσης το ύψος του παλμού που τοποθετείται εισόδου πρέπει να είναι τέτοιο ώστε το φορτίο που αποθηκεύεται στον πυκνωτή να αντιστοιχεί σε αυτό που προέρχεται από τα φορτισμένα σωματρία που προσπίπτουν στον ανιχνευτή. Με τον εξασθενητή τάσης επιτυγχάνεται η μείωση του ύψους του παλμού ώστε το φορτίο που εμφανίζεται στον πυκνωτή C_{cal} να αντιστοιχεί στο φορτίο που παράγεται από φορτισμένο σωματριο όταν διέρχεται από τον ανιχνευτή μικρολωρίδων πυριτίου.



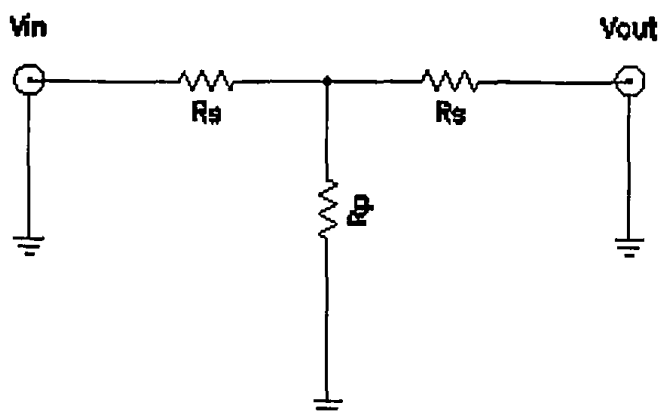
Σχήμα 7.1: Γενικό διάγραμμα δομής βαθμονόμησης.

Η κατασκευή των κυκλωμάτων βαθμονόμησης γίνεται με την βοήθεια διατάξεων εξασθένησης παλμών. Οι διατάξεις αυτές εξασθενούν τους παλμούς στην είσοδο τους μέχρι και 1000 φορές. Υπάρχουν διάφοροι τύποι εξασθενητών τάσης. Εκείνος του οποίου η εξασθένηση είναι προκαθορισμένη από τον κατασκευαστή του. Άλλος τύπος είναι εκείνος του οποίου η εξασθένηση επιλέγεται με διακόπτη από μια περιοχή τιμών εξασθένησης. Τέλος υπάρχει εξασθενητής του οποίου η εξασθένηση επιλέγεται μέσω λογισμικού και ονομάζεται προγραμματιζόμενος εξασθενητής τάσης. Στην παρούσα εργασία μελετήθηκε η χρήση του τελευταίου τύπου του προγραμματιζόμενου εξασθενητή τάσης. Η επιλογή του έγινε λόγω της ευελιξίας που παρουσιάζει στην επιλογή του επιπέδου εξασθένησης μέσω λογισμικού.

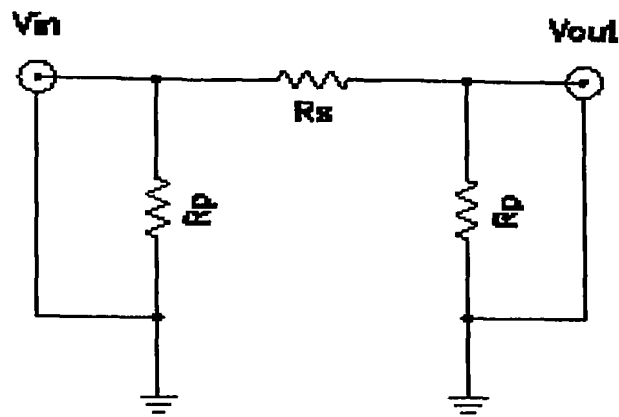
7.2 Ανάλυση δομής και λειτουργίας του προγραμματιζόμενου εξασθενητή τάσης

7.2.1 Βασική δομή εξασθενητή τάσης

Το βασικό στοιχείο της δομής ενός εξασθενητή τάσης είναι ένα δικτύωμα αντιστάσεων [24]. Δύο είναι τα δικτυώματα αντιστάσεων που χρησιμοποιούνται περισσότερο, τα δικτυώματα αντιστάσεων τύπου Π (Pi resistor network) και τα δικτυώματα αντιστάσεων τύπου T (T resistor network). Στα σχήματα 7.2 και 7.3 φαίνονται αυτά τα δύο είδη δικτυωμάτων. Ανάλογα με ποιο είδος δικτυώματος χρησιμοποιεί ένας εξασθενητής ονομάζεται Π -εξασθενητής (Pi section Attenuator) ή T -εξασθενητής (T section Attenuator) αντίστοιχα.



Σχήμα 7.2: Δικτύωμα αντιστάσεων τύπου T .



Σχήμα 7.3: Δικτύωμα αντιστάσεων τύπου Π.

Από τα σχήματα 7.2 και 7.3 φαίνεται ότι και τα δύο δικτυώματα παρουσιάζουν συμμετρία μεταξύ εισόδου και εξόδου. Επίσης η χρήση ομοαξονικών καλωδίων υπαγορεύει τη σύνθετη αντίσταση εισόδου και εξόδου να είναι 50Ω . Κατά συνέπεια παρουσιάζουν ίδια σύνθετη αντίσταση εισόδου και εξόδου, $Z_{in}=Z_{out}=Z_0=50\Omega$. Το T δικτύωμα ενδείκνυται για εξασθένιση γρήγορων παλμών, όπως είναι οι παλμοί βαθμονόμησης. Αν ο λόγος της τάσης εισόδου V_{in} προς την τάση εξόδου V_{out} είναι a , τότε οι αντιστάσεις R_s και R_p δίνονται από τους τύπους:

$$\bullet \quad R_s = Z_0 \frac{a-1}{a+1},$$

$$\bullet \quad R_p = Z_0 \frac{2a}{a^2-1},$$

όπου $a = \frac{V_{in}}{V_{out}}$ και $Z_0=Z_{in}=Z_{out}=50\Omega$ η σύνθετη αντίσταση του κυκλώματος.

7.2.2 Υπολογισμός επιπέδων εξασθένησης

- Το πρώτο βήμα για την κατασκευή ενός εξασθενητή τάσης είναι η επιλογή των επιπέδων εξασθένησης, δηλαδή της τάσης εξόδου V_{out} , η οποία εξαρτάται από την τάση εισόδου V_{in} στο κύκλωμα του εξασθενητή. Ο πυκνωτής της δομής βαθμονόμησης C_{cal} καθώς και το πείραμα στο οποίο πρόκειται να χρησιμοποιηθεί το αντίστοιχο FE ολοκληρωμένο είναι τα βασικότερα στοιχεία για τον υπολογισμό των επιπέδων αυτών. Η μονάδα του προγραμματιζόμενου εξασθενητή της VME κάρτας λαμβάνει τους παλμούς βαθμονόμησης που παράγονται από το DAQ State Machine και, μετά την εξασθένησή τους, τους στέλνει στην δομή βαθμονόμησης του PreMux. Το επίπεδο εξασθένησης που πραγματοποιείται είναι τέτοιο ώστε οι παλμοί που παράγονται να καλύπτουν την περιοχή τιμών φορτίων που παράγονται από τα συνήθη διερχόμενα σωμάτια στους ανιχνευτές πυριτίου. Τα σωμάτια αυτά προκαλούν ιονισμό μεταξύ 0.03 και 5 MIPS. Το MIPS είναι το ακρωνύμιο της φράσης Minimum Ionizing Particles και αντιστοιχεί σε παραγόμενο φορτίο 24000 ηλεκτρόνια. Το φορτίο που τοποθετείται από την διέλευση των σωματίων στα κανάλια του PreMux δίνεται από τον τύπο $Q=Nxq_e$, όπου $q_e=1.6 \times 10^{-19}C$ και N το πλήθος των ηλεκτρονίων. Ο πυκνωτής C_{cal} του PreMux, όπως έχει ήδη αναφερθεί στο κεφάλαιο 2, είναι 50fF. Οι τάσεις εξόδου V_{out} του εξασθενητή υπολογίζονται μέσω του τύπου:

$$V = \frac{Q}{C_{cal}} \Rightarrow V = \frac{N \cdot q_e}{C_{cal}} \Rightarrow V = \frac{N \cdot 1.6 \times 10^{-19} C}{50 fF} \Rightarrow V = N \cdot 3.2 \times 10^{-6} V .$$

Στον πίνακα 8.1 φαίνονται οι τιμές V_{out} για διάφορες τιμές MIPS.

Πίνακας 7.1: Τιμές τάσεων εξόδου του εξασθενητή.

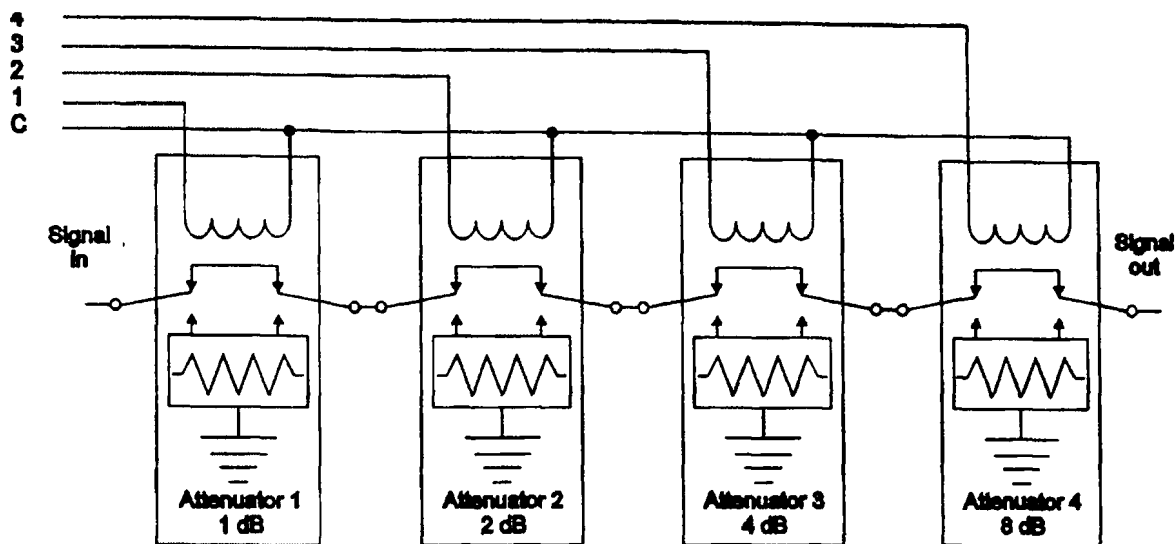
MIPS	Αριθμός e^-	Q(fC)	V_{out}(mV)
5.2	125000	20	400
0.52	12500	2	40
0.21	5000	0.8	16
0.1	2500	0.4	8
0.052	1250	0.2	4
0.0325	780	0.125	2.5

7.2.3 Ανάλυση λειτουργίας του προγραμματιζόμενου εξασθενητή

Η κατασκευή του προγραμματιζόμενου εξασθενητή [25] προβλέπεται να γίνει με την χρήση ρελέ. Σε κάθε ρελέ προσαρτείται ένα δικτύωμα αντιστάσεων το οποίο πραγματοποιεί συγκεκριμένη εξασθένηση. Τα ρελέ συνδέονται σειριακά όπως φαίνεται στο σχήμα 7.4 και ελέγχονται μέσω των τεσσάρων ψηφιακών γραμμών 1 ως 4. Τα δικτυώματα των αντιστάσεων πραγματοποιούν εξασθενήσεις 1, 2, 4 και 8dB. Όταν όλα τα ρελέ είναι ανοικτά, δηλαδή με τιμές στις γραμμές 1-4 0000_b, τότε δεν συμβαίνει εξασθένηση συνεπώς το σήμα εξόδου είναι το ίδιο με το σήμα εισόδου. Όταν οι γραμμές έλεγχου 1 ως 4 πάρουν την τιμή 0001_b Τότε το πρώτο ρελέ κλείνει με αποτέλεσμα το σήμα εισόδου να περνάει μόνο μέσα από το δικτύωμα του πρώτου ρελέ και να εξασθενείται κατά 1dB. Με τον ίδιο τρόπο επιτυγχάνονται όλες οι δυνατές εξασθενήσεις οι οποίες κυμαίνονται από 0dB ως και 15dB. Στον πίνακα 7.2 φαίνονται οι δυνατές εξασθενήσεις που επιτυγχάνονται για όλους τους 16 συνδυασμούς των γραμμών 1 ως 4.

Πίνακας 7.2: Τιμές εξασθένησης για την διάταξη του σχήματος 7.4.

Εξασθένηση (dB)	Γραμμές Έλεγχου			
	1	2	3	4
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	0	1	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1



Σχήμα 7.4: Ποιοτικό διάγραμμα προγραμματιζόμενου εξασθενητή τάσης.

7.3 Λειτουργία της μονάδας προγραμματιζόμενου εξασθενητή τάσης

Στη μονάδα προγραμματιζόμενου εξασθενητή που αναπτύχθηκε για την ακολουθιακή κάρτας του VME χρησιμοποιούνται ειδικά ρελέ τύπου A150, με ενσωματωμένο το δικτύωμα αντιστάσεων, της εταιρείας TELEDYNE και όχι απλά ρελέ όπως αυτά που αναφέρθηκαν στην προηγούμενη παράγραφο. Είναι σχεδιασμένα για εξασθένηση σημάτων RF σε συστήματα εμπέδησης 50Ω για περιοχή συχνοτήτων από DC ως και 3GHz. Η εξασθένηση επιτυγχάνεται μέσω του δικτύωματος αντιστάσεων που περιέχουν εσωτερικά, και είναι κατασκευασμένο με αντιστάσεις τύπου thin film.

Στον πίνακα 7.1 καθορίστηκαν οι τάσεις εξόδου V_{out} που πρέπει να παράγει ο εξασθενητής. Ο Υπολογισμός των εξασθενήσεων σε dB γίνεται με

βάση τον τύπο $A = 20 \text{Log}_{10} \left(\frac{V_{out}}{V_{in}} \right)$. Η τάση εισόδου V_{in} αντιστοιχεί στον

παλμό βαθμονόμησης που παράγεται από την μονάδα DAQ State Machine, και είναι $V_{in}=4V$. Από τις τιμές V_{out} του πίνακα 7.1 υπολογίζονται οι εξασθενήσεις που απαιτούνται. Στον πίνακα 7.3 φαίνονται τα αποτελέσματα

των υπολογισμών αυτών. Όπως παρατηρείται οι τιμές αυτών των εξασθενήσεων επιτυγχάνονται με την χρήση 6 ρελέ, δύο των 20dB, ένα των 8dB, δύο των 6dB και 1 των 4 dB.

Πίνακας 7.3: Τιμές εξασθένησης για τις επιθυμητές V_{out} , με $V_{in}=4V$.

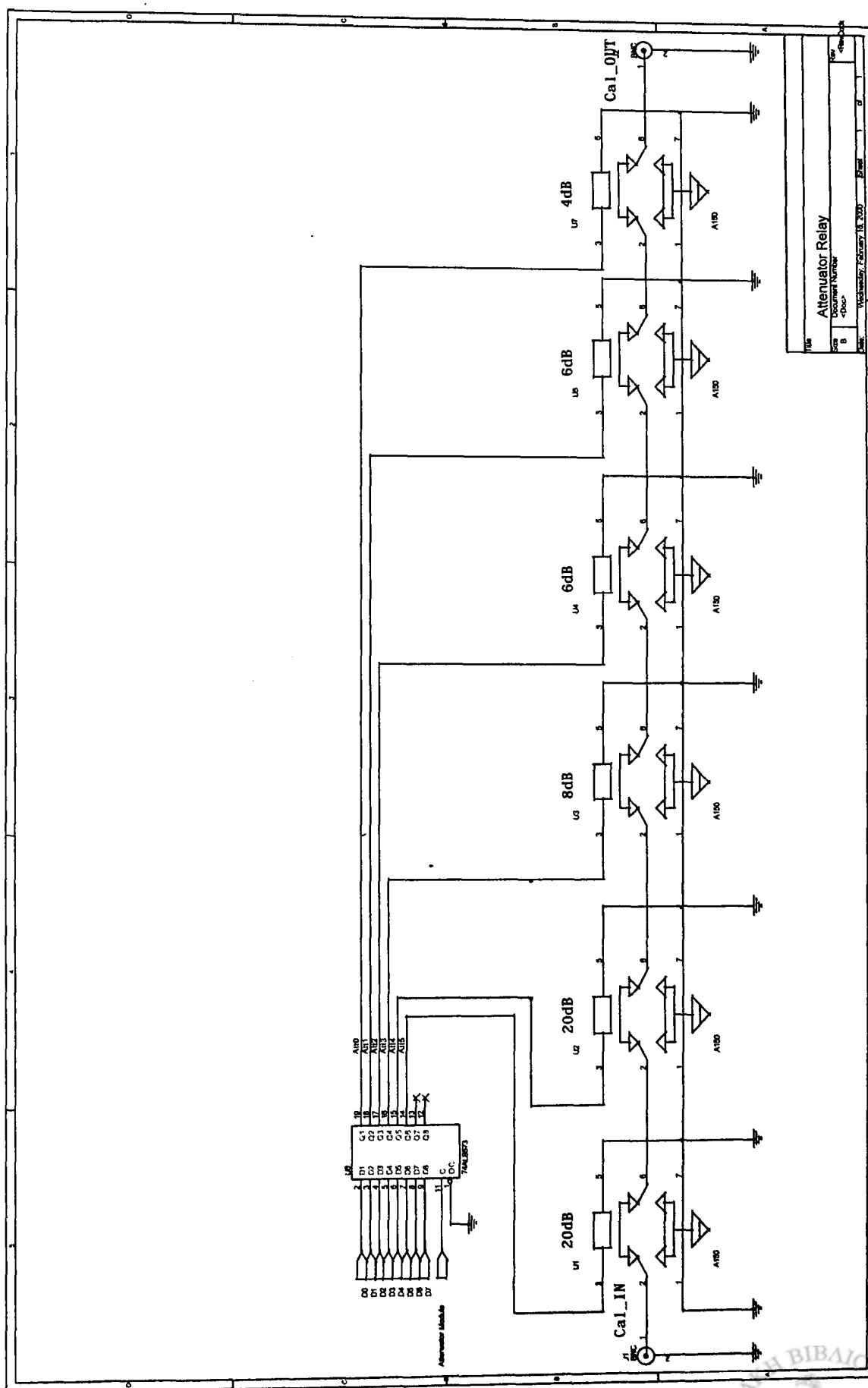
$V_{out}(mV)$	Εξασθένηση (dB)
400	20
40	40
16	48
8	54
4	60
2.5	64

Το σχηματικό της μονάδας φαίνεται στο σχήμα 7.5. Τα δεδομένα, τα οποία καθορίζουν την εξασθένηση του παλμού βαθμονόμησης, τοποθετούνται στο U6 μέσω του VMEbus μετά από την διευθυνσιοδότηση της μονάδας και την ενεργοποίηση της μέσω του σήματος Attenuator Module. Το U6 είναι μανδαλωτής και κρατάει την τιμή της επιλεγμένης εξασθένησης έως ότου επιλεγεί μια νέα τιμή. Από τα 8bit δεδομένων χρησιμοποιούνται μόνο τα έξι πρώτα D0 έως και D6, και ονομάζονται Att0 έως και Att6 αντίστοιχα. Μέσω αυτών των 6bit επιλέγεται ποια ρελέ θα είναι κλειστά ή ανοικτά, επιτυγχάνοντας διαφορές τιμές εξασθένησης. Η χρήση των 6bit επιτρέπει $2^6=64$ διαφορετικούς συνδυασμούς των ρελέ. Όμως είναι δυνατό για διαφορετικό συνδυασμό των 6bit να επιτυγχάνεται η ίδια εξασθένηση. Στον πίνακα 7.4 φαίνονται οι τιμές εξασθένησης σε dB που επιτυγχάνονται για τους 64 συνδυασμούς των 6bit δεδομένων.

Πίνακας 7.4: Τιμές εξασθένησης της μονάδας εξασθενητή.

Att0	Att1	Att2	Att3	Att4	Att5	Εξασθένηση (dB)
0	0	0	0	0	0	0
1	0	0	0	0	0	4
0	1	0	0	0	0	6
1	1	0	0	0	0	10
0	0	1	0	0	0	6
1	0	1	0	0	0	10
0	1	1	0	0	0	12
1	1	1	0	0	0	16
0	0	0	1	0	0	8
1	0	0	1	0	0	12
0	1	0	1	0	0	14
1	1	0	1	0	0	18
0	0	1	1	0	0	14
1	0	1	1	0	0	18
0	1	1	1	0	0	20
1	1	1	1	0	0	24
0	0	0	0	1	0	20
1	0	0	0	1	0	24
0	1	0	0	1	0	26
1	1	0	0	1	0	30
0	0	1	0	1	0	26
1	0	1	0	1	0	30
0	1	1	0	1	0	32
1	1	1	0	1	0	36
0	0	0	1	1	0	28
1	0	0	1	1	0	32
0	1	0	1	1	0	34
1	1	0	1	1	0	38
0	0	1	1	1	0	34
1	0	1	1	1	0	38
0	1	1	1	1	0	40

1	1	1	1	1	0	44
0	0	0	0	0	1	20
1	0	0	0	0	1	24
0	1	0	0	0	1	26
1	1	0	0	0	1	30
0	0	1	0	0	1	26
1	0	1	0	0	1	30
0	1	1	0	0	1	32
1	1	1	0	0	1	36
0	0	0	1	0	1	28
1	0	0	1	0	1	32
0	1	0	1	0	1	34
1	1	0	1	0	1	38
0	0	1	1	0	1	34
1	0	1	1	0	1	38
0	1	1	1	0	1	40
1	1	1	1	0	1	44
0	0	0	0	1	1	40
1	0	0	0	1	1	44
0	1	0	0	1	1	46
1	1	0	0	1	1	50
0	0	1	0	1	1	46
1	0	1	0	1	1	50
0	1	1	0	1	1	52
1	1	1	0	1	1	56
0	0	0	1	1	1	58
1	0	0	1	1	1	52
0	1	0	1	1	1	54
1	1	0	1	1	1	58
0	0	1	1	1	1	54
1	0	1	1	1	1	58
0	1	1	1	1	1	60
1	1	1	1	1	1	64



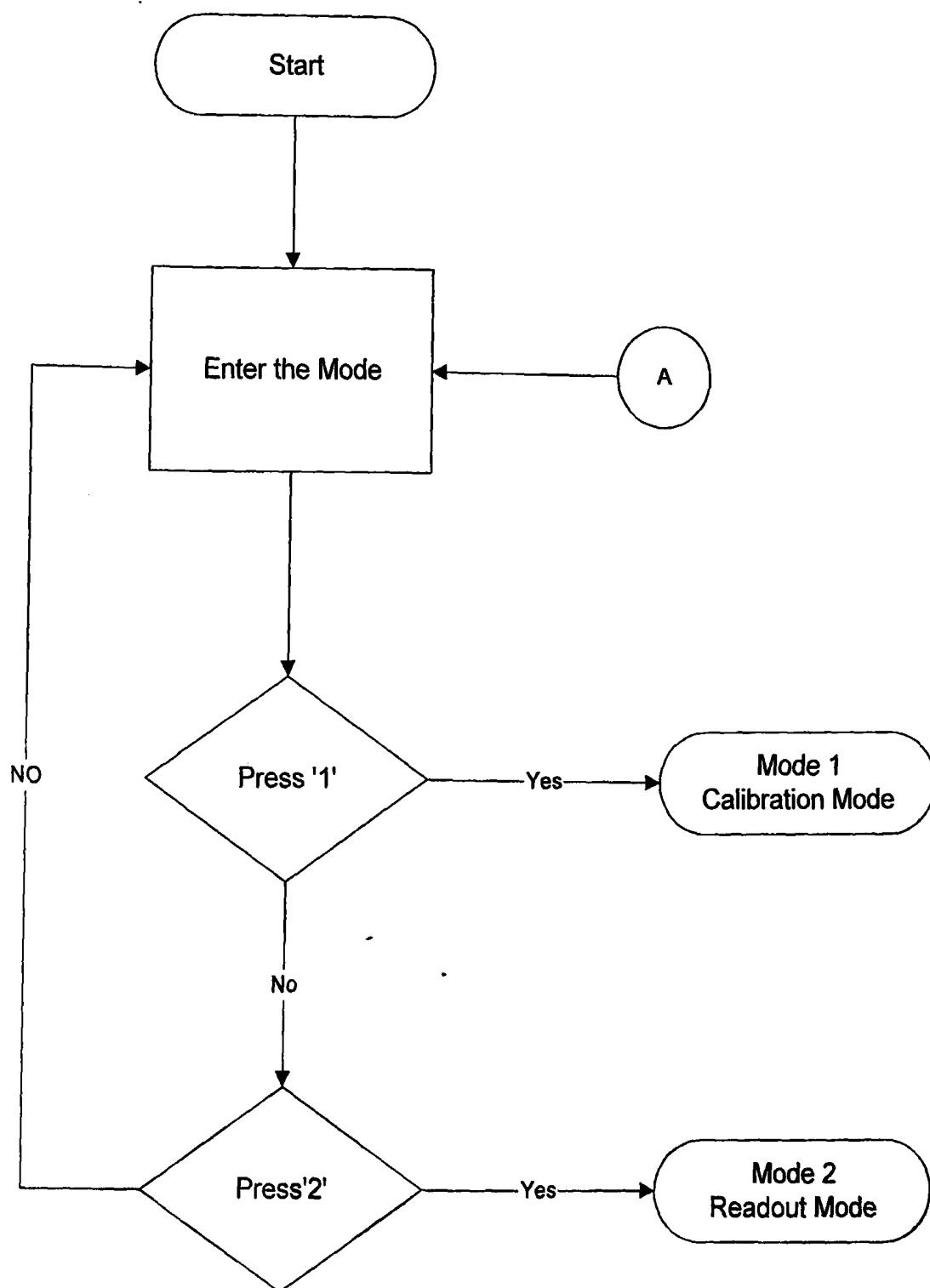
Σχήμα 7.5: Σχηματικό μονάδας εξασθενητή τάσης.

8. Προγραμματισμός της κάρτας μέσω PILS

Για την λειτουργία της ακολουθιακής κάρτας μέσω του συστήματος VALET PLUS [26] απαιτείται προγραμματισμός σε γλώσσα PILS (Portable Interactive Language System) [27], [28]. Το σύστημα VALET PLUS αποτελείται από ένα VME crate, πάνω στο οποίο βρίσκονται μία κάρτα Master, μία κάρτα RAM και μία κάρτα ROM, και ένα PC. Η κάρτα Master αποτελεί μία MPU (Master Processing Unit) και η καρδιά της είναι ένας επεξεργαστής της οικογένειας MC68000 της Motorola. Στο παράρτημα Α υπάρχει εκτενής περιγραφή τόσο του συστήματος VALET PLUS όσο και της γλώσσας προγραμματισμού PILS. Στόχος του προγράμματος αυτού είναι ο έλεγχος των δύο τρόπων λειτουργίας της ακολουθιακής κάρτας του VME, δηλαδή της βαθμονόμησης και της συνεχούς δειγματοληψίας.

Το πρόγραμμα χωρίζεται σε τρία μέρη. Στο πρώτο μέρος γίνεται από τον χρήστη η επιλογή του τρόπου λειτουργίας της κάρτας VME, δηλαδή αν πρόκειται να λειτουργήσει για βαθμονόμηση του PreMux ή για συνεχή δειγματοληψία. Από το flow chart του σχήματος 8.1 φαίνεται η ροή αυτού του μέρους του προγράμματος. Το πρόγραμμα ξεκινά με το Start. Στην συνέχεια ρωτάται ο χρήστης ποιος είναι ο τρόπος λειτουργίας στον οποίο θέλει να θέσει την κάρτα VME. Αν πατήσει το '1' τότε η ακολουθιακή κάρτα μπαίνει στην λειτουργία βαθμονόμησης του PreMux. Αν ο χρήστης πατήσει το '2' Τότε ξεκινά το συνεχές διάβασμα της αναλογικής εξόδου του PreMux. Στην περίπτωση που δεν πατηθεί κανένα από τα δύο πλήκτρα τότε το πρόγραμμα επαναφέρει τον χρήστη στο σημείο επιλογής της λειτουργίας της κάρτας υπενθυμίζοντας τις δύο δυνατότητες και τον τρόπο επιλογής τους.





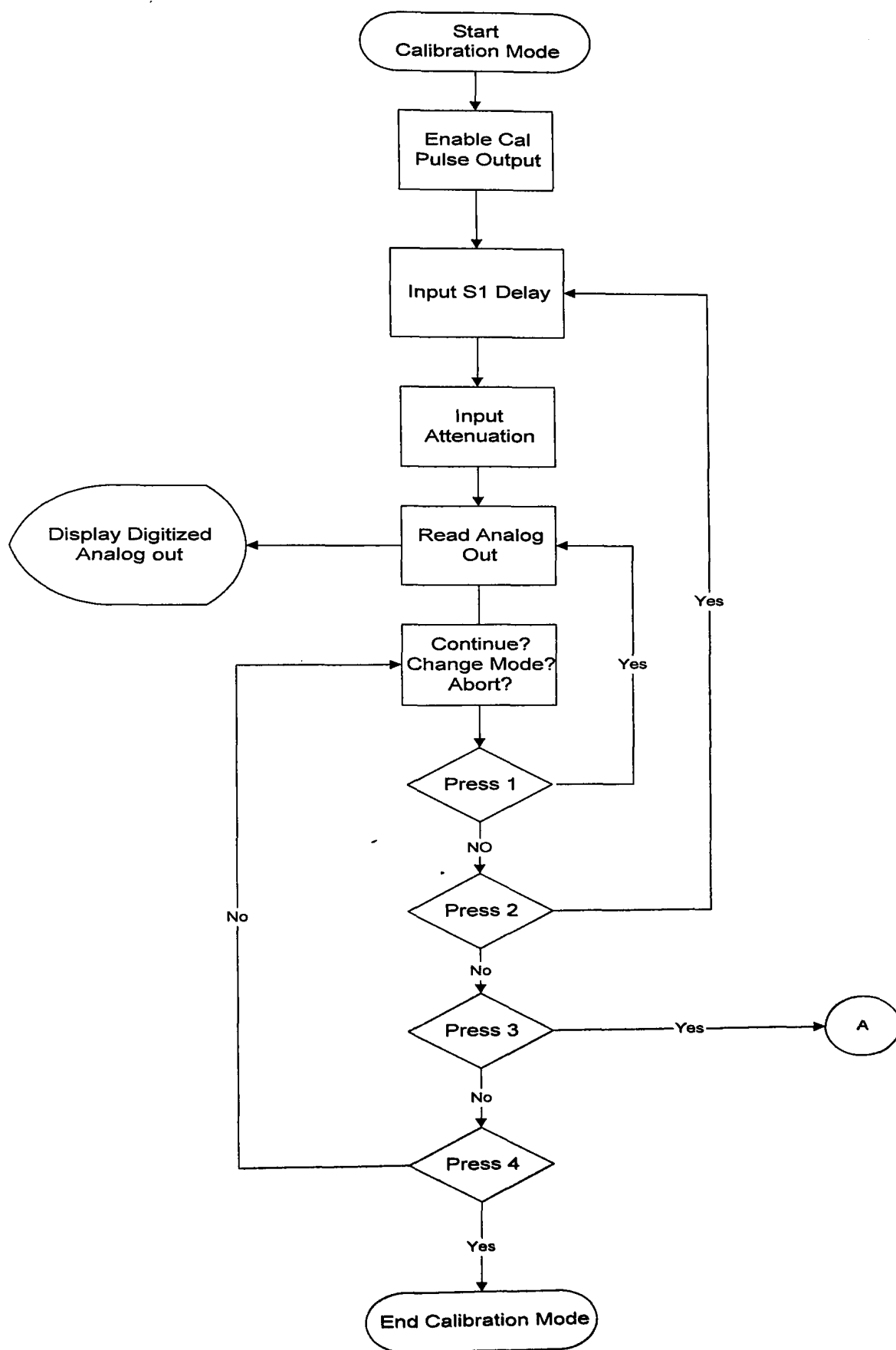
Σχήμα 8.1: Flow chart της επιλογής του τρόπου λειτουργίας της κάρτας VME.

Το δεύτερο μέρος του προγράμματος ελέγχει την βαθμονόμηση του PreMux. Όπως φαίνεται από το αντίστοιχο flow chart του σχήματος 8.2, αρχικά ενεργοποιείται η έξοδος του παλμού βαθμονόμησης και ζητείται από

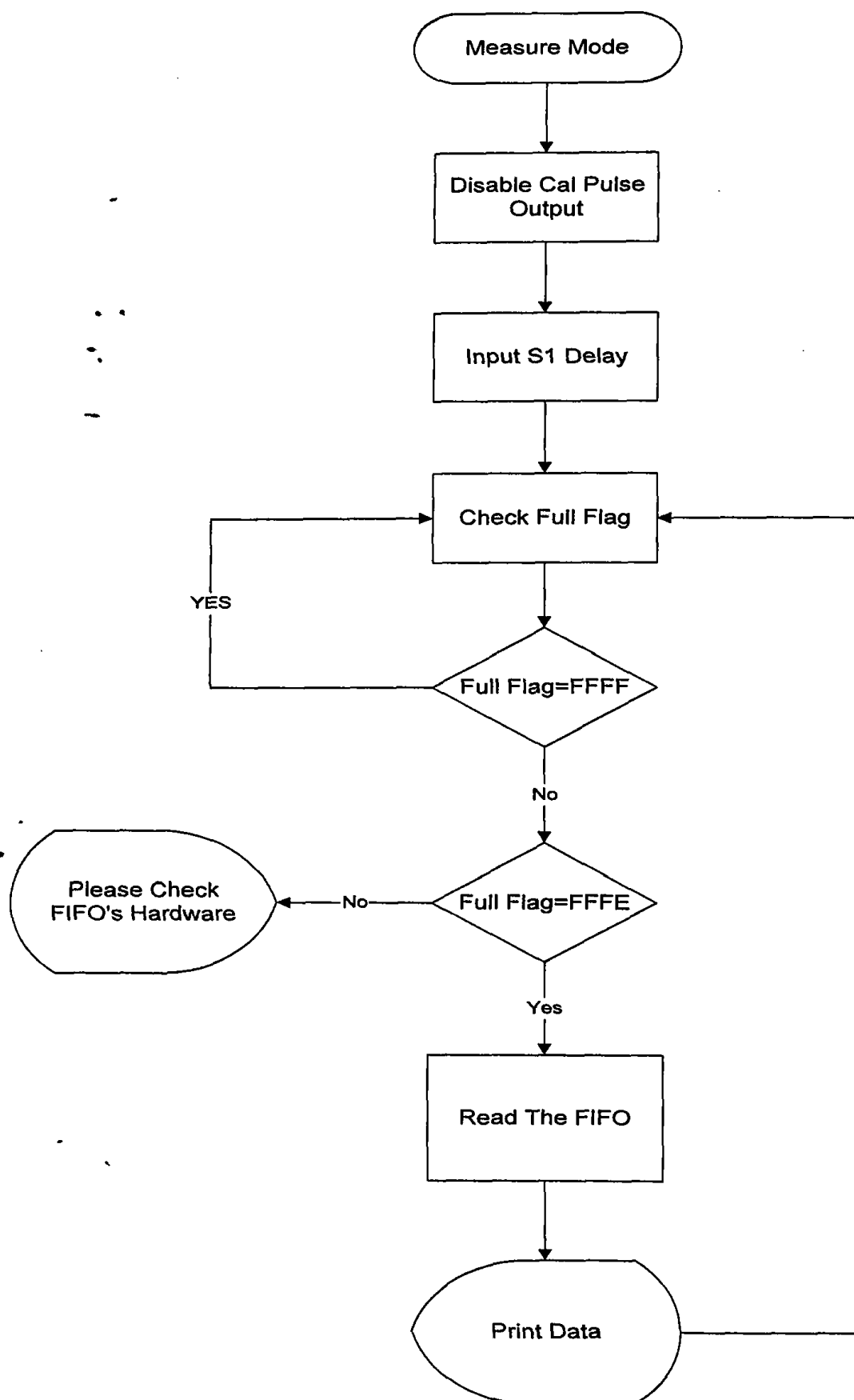
τον χρήστη να δώσει τις τιμές για την καθυστέρηση του S1 και της εξασθένησης του παλμού βαθμονόμησης που επιθυμεί να πετύχει. Στη συνέχεια διαβάζεται μια φορά η μνήμη FIFO και εμφανίζονται οι τιμές της στην οθόνη του PC. Ο χρήστης καλείται να επιλέξει αν επιθυμεί να στείλει τον ίδιο παλμό βαθμονόμησης, διαφορετικό, αν θέλει να αλλάξει τον τρόπο λειτουργίας της ακολουθιακής κάρτας ή να τερματίσει το πρόγραμμα. Η διαδικασία αυτή γίνεται μέσω του ελέγχου του πλήκτρου που πατά ο χρήστης. Το πάτημα του '1' υποδηλώνει την επανάληψη της βαθμονόμησης με τον ίδιο παλμό, ενώ το πάτημα του '2' επιτρέπει στον χρήστη να αλλάξει το ύψος του παλμού βαθμονόμησης και της καθυστέρησης του παλμού S1. Αν ο χρήστης θέλει να αλλάξει τον τρόπο λειτουργίας της κάρτας VME πρέπει να πατήσει το '3' και τέλος αν επιθυμεί να τερματίσει το πρόγραμμα πρέπει να πατήσει το '4'.

Το τρίτο μέρος του προγράμματος ελέγχει το διάστημα των δεδομένων της FIFO, τα οποία αποτελούν την ψηφιοποιημένη μορφή των αναλογικών εξόδων του PreMux. Στο flow chart του σχήματος 8.3 φαίνεται η λογική συνέχεια της παραπάνω λειτουργίας. Το πρώτο βήμα είναι η απενεργοποίηση της εξόδου του παλμού βαθμονόμησης. Στην συνέχεια εισάγεται η επιθυμητή καθυστέρηση για τον παλμό S1 και ξεκινά ένας συνεχής έλεγχος του ακροδέκτη Full Flag της FIFO. Ο ακροδέκτης αυτός είναι High και γίνεται Low μόνο όταν η FIFO γεμίσει. Έτσι μόλις το Full Flag γίνει Low τότε διαβάζονται οι 512 θέσεις μνήμης που περιέχει, τα οποία εμφανίζονται στην οθόνη του PC. Τότε το Full Flag γίνεται High μέχρι να γεμίσει ξανά η FIFO. Έτσι αρχίζει πάλι ο έλεγχος του Full Flag και επαναλαμβάνεται η παραπάνω διαδικασία.





Σχήμα 8.2: Flow chart του προγράμματος για την λειτουργία βαθμονόμησης της κάρτας.



Σχήμα 8.3: Flow chart του προγράμματος για την λειτουργία διαβάσματος της αναλογικής εξόδου του PreMux.

Παρακάτω φαίνεται το πρόγραμμα που περιγράφηκε παραπάνω με την μορφή Flow Chart. Πρέπει να σημειωθεί ότι το πρόγραμμα Αυτό δεν έχει ελεγχθεί καθώς το hardware που το συνοδεύει, δηλαδή οι μονάδες ADC και FIFO, δεν ολοκληρώθηκε.

```

10    INT32 mode, calmode !status
20    INT32 daqaddr, attenaddr, calenaddr, memaddr, ffaddr      !address
30    INT32 daqdata, attendata, calendata, memdata, ffdata      !data
31    daqaddr=16%5.....
32    calenaddr=16%5.....
33    attenaddr=16%...
34    ffaddr=16%...
40    memaddr=16%...
41    memdata=16%...

49    ! Enter the mode

50    PRINT "VME board Master Sequencer for the Readout of a PreMux128 FE chip"
60    PRINT "High Energy Physics Laboratory"
70    PRINT "University of Ioannina"
80    PRINT "For calibration mode press '1'"
90    PRINT "For readout mode press '2'"
100   INPUT mode
110   IF mode=1 THEN
120   GOTO 170
130   ELSE IF mode=2 THEN
131   GOTO 430
132   ELSE
140   PRINT "Please enter the correct number"
150   GOTO 80
160   ENDIF
169
170   ! This part of the program controls the calibration of the Premux chip
171
180   PRINT "Calibration Mode"
190   calendata=16%1...
200   PUT32(calenaddr, calendata)
210   PRINT "Give the delay for signal S1"
220
230   INPUT daqdata
240   PUT32(daqaddr, daqdata)
250   PRINT "Give the value of the attenuation"
260
270   INPUT attendata
280   PUT32(attenaddr, attendata)
281   GET32(ffaddr, ffdata)
282   IF ffdata=16%FF01 THEN
283   GOTO 281
284   ELSE IF ffdata=16%FF00 THEN
285       FOR i=1 TO 512
286       GET32(memaddr, memdata)

```



```

287         NEXT i
288     ELSE
289     PRINT "Check the FIFO's hardware"
290     ENDIF
291     PRINT "If you wish to continue press 1"
292     PRINT "If you wish to change the values press 2"
300     PRINT "If you wish to change mode press 3"
310     PRINT "If you wish to exit program press 4"
320     INPUT calmode
330     IF calmode=1 THEN
340     GOTO 170
350     ELSE IF calmode=2 THEN
360     GOTO 170
370     ELSE IF calmode=3 THEN
380     GOTO 80
390     ELSE IF calmode=4
400     GOTO 590
401     ELSE
402     PRINT "Please enter the correct number"
410     GOTO 291
420     ENDIF
429
430     ! This part of the program controls the readout of the Premux chip
431
440     PRINT "Readout Mode"
450     daqdata=16%....
460     PUT32(daqaddr, daqdata)
470     GET32(ffaddr,ffdata)
480     IF ffdata=16%FF01 THEN
490     GOTO 470
500     ELSE IF ffdata=16%FF00 THEN
510         FOR i=1 TO 512
520             GET32(memaddr,memdata)
530         NEXT i
540     PRINT "DAQ Data", i, "=", memdata
550     GOTO 470
560     ELSE
570     PRINT "Check the FIFO's hardware"
580     ENDIF
590     END

```

9. Συμπεράσματα -Αποτελέσματα

9.1 Εισαγωγή

Σε αυτό το κεφάλαιο αυτό παρουσιάζονται τα αποτελέσματα και τα συμπεράσματα από την λειτουργία της μονάδας διεπαφής του VME και της μονάδας DAQ State Machine. Αρχικά δίνονται τα αποτελέσματα από τις δύο διαφορετικές μονάδες διεπαφής που κατασκευάστηκαν, με διάκριτα ολοκληρωμένα και με τα CPLDs. Στη συνέχεια παρουσιάζονται τα αποτελέσματα της μονάδας DAQ State Machine και η χρονική ακολουθία των σημάτων που παράγονται από αυτή. Τέλος παρουσιάζονται τα αποτελέσματα της αναλογικής εξόδου της μητρικής πλακέτας του PreMux.

9.2 Αποτελέσματα της μονάδας διεπαφής του VME

9.2.1 Μονάδα διεπαφής με διάκριτα ολοκληρωμένα

Η μονάδα διεπαφής του VME με διάκριτα ολοκληρωμένα είναι κατασκευασμένη με την τεχνική wire wrap πάνω σε διάτρητη πλακέτα για το VMEbus. Στην εικόνα E.1 του παραρτήματος E φαίνεται η δοκιμαστική πλακέτα με την μονάδα διεπαφής του VME που κατασκευάστηκε με διάκριτα ολοκληρωμένα.



Η κάρτα τοποθετείται πάνω στο VMEbus και ελέγχεται μέσω της μονάδας Master MVME101. Ο έλεγχος γίνεται με την βοήθεια δύο προγραμμάτων σε γλώσσα PILS, τα οποία παρατίθενται παρακάτω. Με το πρώτο πρόγραμμα, *Write to a VME Module*, ελέγχεται η γραφή σε μια διεύθυνση της δοκιμαστικής κάρτας ενώ με το δεύτερο πρόγραμμα, *Read from a VME Module*, πραγματοποιείται κύκλος ανάγνωσης από μια διεύθυνση της δοκιμαστικής κάρτας.

Πρόγραμμα 1 : Write to a VME Module

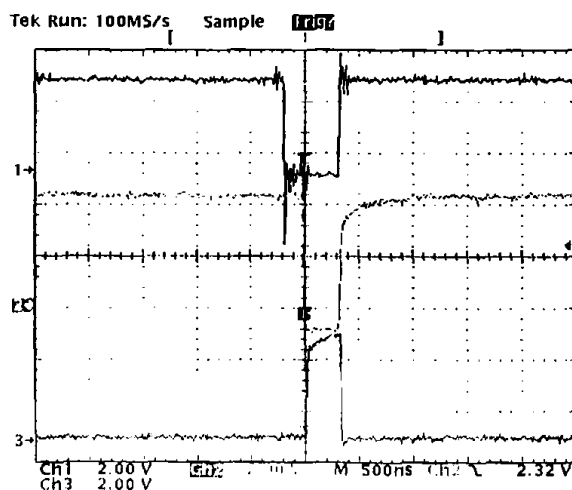
```
10 ! test of vme interface decoder
20 !writing to a VME module
30 INT32 physadd, value
40 PRINT "Give an address"
50 INPUT physadd
60 PRINT "Give the data"
70 INPUT value
80 put16(physadd, value)
90 END
```

Πρόγραμμα 2 : Read from a VME Module

```
10 ! test of vme interface decoder
20 !reading from a VME module
30 INT32 physadd, value
40 PRINT "Give an address"
50 INPUT physadd
60 !PRINT "Give the data"
70 !INPUT value
75 !FOR i = 1 TO 100
80 get16(physadd, value)
85 PRINT value
86 !NEXT i
90 END
```

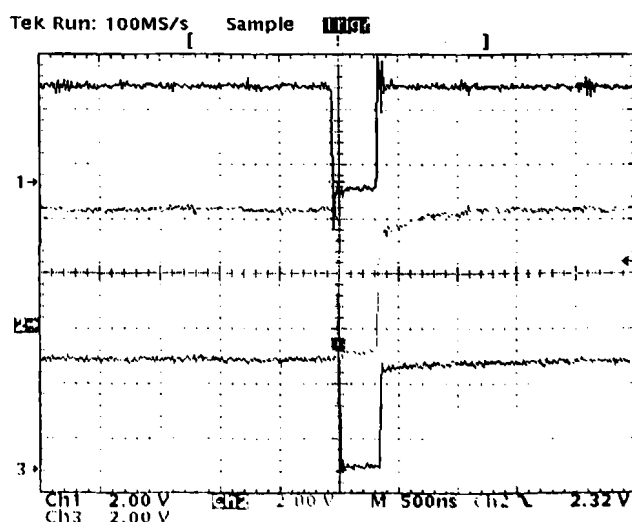


Με το πρώτο πρόγραμμα γράφεται στην θέση μνήμης της μονάδας με διεύθυνση *physadd* η τιμή *value* των δεδομένων. Η παραπάνω διαδικασία γίνεται αντιληπτή παρακολουθώντας το σήμα AS* του VMEbus, τον ακροδέκτη 8 του ολοκληρωμένου U9 και τον ακροδέκτη 1 του ολοκληρωμένου U19A του σχηματικού της μονάδας διεπαφής του VME με διάκριτα ολοκληρωμένα του σχήματος 4.2. Η ενεργοποίηση των γραμμών διεύθυνσης σηματοδοτείται από την ακμή καθόδου του σήματος AS*. Εκείνη την στιγμή ενεργοποιούνται τα ολοκληρωμένα 74ALS521 και συγκρίνουν την ενεργοποιημένη διεύθυνση με εκείνη της κάρτας που έχει προεπιλεγεί μέσω διακοπών DIP-SWITCH. Η επιτυχημένη σύγκριση τους σηματοδοτείται με Low στον ακροδέκτη 19 των παραπάνω ολοκληρωμένων. Ο ακροδέκτης 8 του ολοκληρωμένου U9 γίνεται Low όταν όλες οι έξοδοι των 74ALS521 γίνουν Low, το IACK είναι High, το A1 είναι Low και τα DS0* και DS1* είναι Low και Low αντίστοιχα. Το Low στον ακροδέκτη 8 του ολοκληρωμένου U9 σηματοδοτεί την επιτυχημένη αποκωδικοποίηση των γραμμών διεύθυνσης. Τότε ο ακροδέκτης 1 του ολοκληρωμένου U19A γίνεται High μεταφέροντας τα δεδομένα από το VMEbus στα ολοκληρωμένα U17 και U22 (βλέπε σχήμα 4.2). Στο σχήμα 9.1 φαίνονται τα παραπάνω σήματα όπως λαμβάνονται στον παλμογράφο για την γραφή στην διεύθυνση 500000HEX της δοκιμαστικής κάρτας. Τα σήματα AS*, του ακροδέκτη 8 του U9 και του ακροδέκτη 1 του U19A φαίνονται στα κανάλια 1, 2 και 3 αντίστοιχα.



Σχήμα 9.1: Ακολουθία των σημάτων AS*, του ακροδέκτη 8 του U9 και του ακροδέκτη 1 του U19A κατά την γραφή σε μια διεύθυνση της δοκιμαστικής κάρτας.

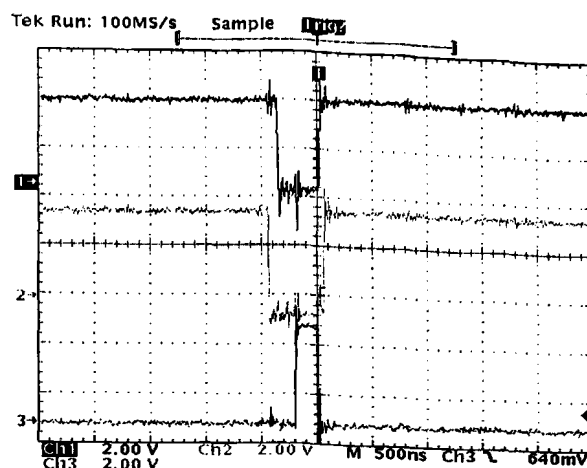
Το δεύτερο πρόγραμμα χρησιμοποιείται για την ανάγνωση της τιμής *value* των δεδομένων από τη μονάδα με διεύθυνση *physadd*. Παρακολουθώντας τα σήματα AS*, τον ακροδέκτη 8 του ολοκληρωμένου U9 και τον ακροδέκτη 7 του ολοκληρωμένου U12A του σχηματικού της μονάδας διεπαφής του VME με διάκριτα ολοκληρωμένα του σχήματος 4.2, φαίνεται η διαδικασία που ακολουθείται για την τοποθέτηση των δεδομένων. Όπως και στην περίπτωση γραφής σε μια διεύθυνση έτσι και στην περίπτωση ανάγνωσης ο ακροδέκτης 8 του ολοκληρωμένου U9 γίνεται Low την στιγμή που οι έξοδοι των 74ALS521 γίνουν Low, το IACK είναι High, το A1 είναι Low και τα DS0* και DS1* είναι Low και Low αντίστοιχα, οπότε σηματοδοτείται η επιτυχημένη αποκωδικοποίηση των γραμμών διεύθυνσης. Η ενεργοποίηση της μονάδας από την οποία πρόκειται να διαβαστούν τα δεδομένα γίνεται μέσω του ακροδέκτη 7 του ολοκληρωμένου U12A. Έτσι για το διάβασμα μιας τιμής από την μονάδα μνήμης (FIFO) ο παραπάνω ακροδέκτης του U12A γίνεται Low, μεταφέροντας τα δεδομένα από την μονάδα της δοκιμαστικής κάρτας που διευθυνσιοδοτείται στο εσωτερικό δίαυλο δεδομένων της κάρτας και από εκεί στο δίαυλο του VME μέσω των U13 και U14. Στο σχήμα 9.2 φαίνονται τα παραπάνω σήματα όπως λαμβάνονται στον παλμογράφο για την γραφή στην διεύθυνση 500000HEX της δοκιμαστικής κάρτας. Τα σήματα AS*, του ακροδέκτη 8 του U9 και του ακροδέκτη 7 του U12A φαίνονται στα κανάλια 1, 2 και 3 αντίστοιχα.



Σχήμα 9.2: Ακολουθία των σημάτων AS*, του ακροδέκτη 8 του U9 και του ακροδέκτη 7 του U12A κατά την γραφή σε μια διεύθυνση της δοκιμαστικής κάρτας.

9.2.2 Μονάδα διεπαφής με CPLDs

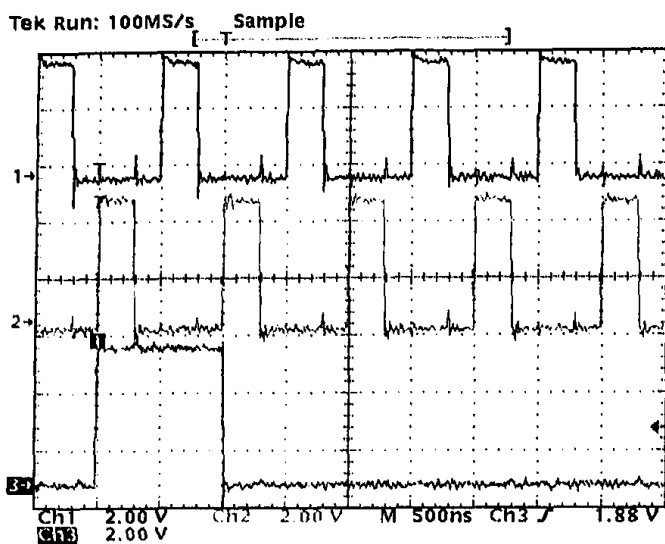
Η μονάδα διεπαφής που κατασκευάζεται με CPLDs χρησιμοποιείται στην ακολουθιακή κάρτα και φαίνεται στην εικόνα Ε.1 του παραρτήματος Ε. Επειδή για την ακολουθιακή κάρτα δεν έχουν κατασκευαστεί η μονάδες ADC και FIFO, η μονάδα της ακολουθιακής κάρτας δεν πραγματοποιεί κύκλους ανάγνωσης. Συνεπώς το πρόγραμμα *Write to a VME Module* είναι το μόνο που χρησιμοποιείται για τον έλεγχο της ακολουθιακής κάρτας. Με το πρόγραμμα αυτό γράφονται δεδομένα στην διεύθυνση 500000HEX για τον έλεγχο της καθυστέρησης μεταξύ των σημάτων S1 και S2 της μονάδας DAQ State Machine. Αυτό που μπορεί να παρατηρηθεί με την βοήθεια του παλμογράφου είναι η ακολουθία των σημάτων AS*, WRITE* και του ακροδέκτη DAQ Module (pin 27) του σχηματικού του αποκωδικοποιητή Decoder 2 του σχήματος 4.5. Στην ακμή καθόδου του AS* ενεργοποιούνται οι γραμμές διεύθυνσης και ξεκινά η αποκωδικοποίηση. Στην περίπτωση που η διεύθυνση αντιστοιχεί στην μονάδα DAQ State Machine τότε ο ακροδέκτης DAQ Module (pin27) γίνεται High. Έτσι ενεργοποιούνται τα ολοκληρωμένα 74ALS573, U12 και U13 (βλέπε σχήμα 4.6), ώστε να αποθηκευτούν σε αυτά τα δεδομένα για την μονάδα DAQ State Machine. Επίσης κατά την γραφή στην μονάδα DAQ State Machine το WRITE* είναι Low προκειμένου να υποδηλωθεί ότι ο συγκεκριμένος κύκλος του DTB είναι κύκλος γραφής. Στο σχήμα 9.3 φαίνεται η ακολουθία των σημάτων που περιγράφηκαν παραπάνω. Τα σήματα του AS* και του ακροδέκτη DAQ Module φαίνονται στα κανάλια 1, 2 και 3 αντίστοιχα.



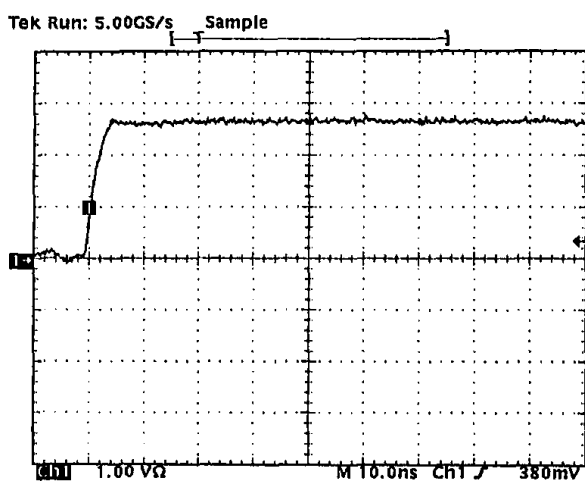
Σχήμα 9.3: Ακολουθία των σημάτων AS* και του ακροδέκτη DAQ Module κατά την γραφή στη διεύθυνση 50000HEX της μονάδας DAQ State Machine της ακολουθιακής κάρτας.

9.3 Αποτελέσματα της μονάδας DAQ State Machine

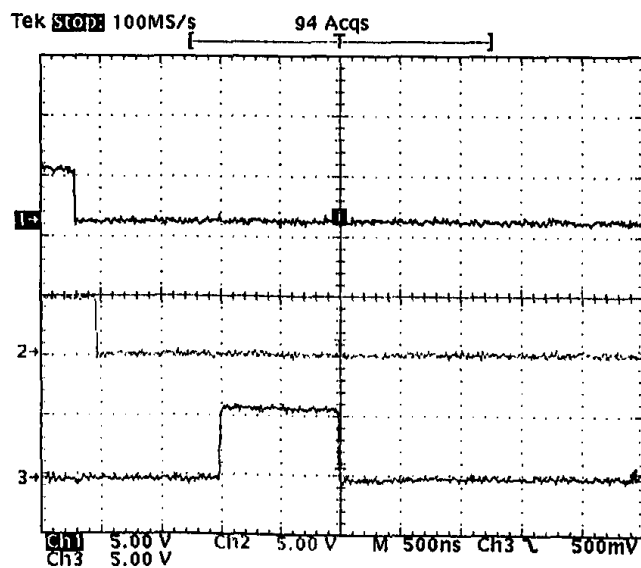
Τα σήματα που παράγονται από τη μονάδα DAQ State Machine PHI_1, PHI_2 και TOK_IN φαίνονται στο σχήμα 9.4, και φαίνονται στα κανάλια του παλμογράφου 1, 2 και 3 αντίστοιχα. Όπως φαίνεται η ακολουθία των παραπάνω σημάτων είναι ίδια με εκείνη του σχήματος 5.1. Επίσης στο σχήμα 9.5 φαίνεται ο παλμός βαθμονόμησης όπως παράγεται από την μονάδα DAQ State Machine. Τέλος στο σχήμα 9.6 φαίνεται η ακολουθία των σημάτων S1, S2 και TOK_IN όπως παράγονται από την μονάδα DAQ State Machine της ακολουθιακής κάρτας και λαμβάνονται στον παλμογράφο από τα κανάλια 1, 2 και 3 αντίστοιχα.



Σχήμα 9.4: Ακολουθία των σημάτων PHI_1, PHI_2 και TOK_IN.

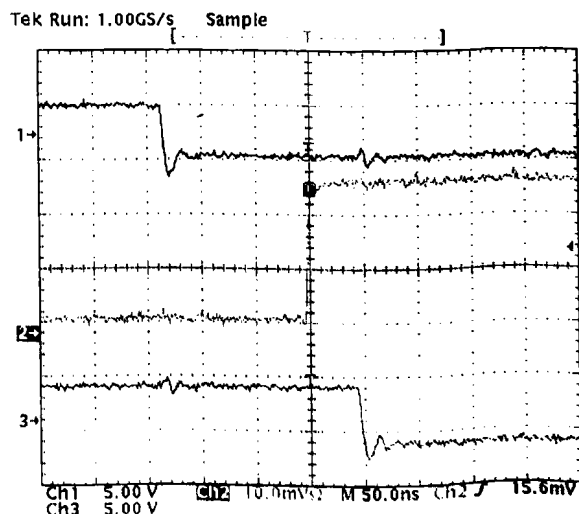


Σχήμα 9.5: Παλμός βαθμονόμησης.



Σχήμα 9.6: Ακολουθία των σημάτων S1, S2 και TOK_IN.

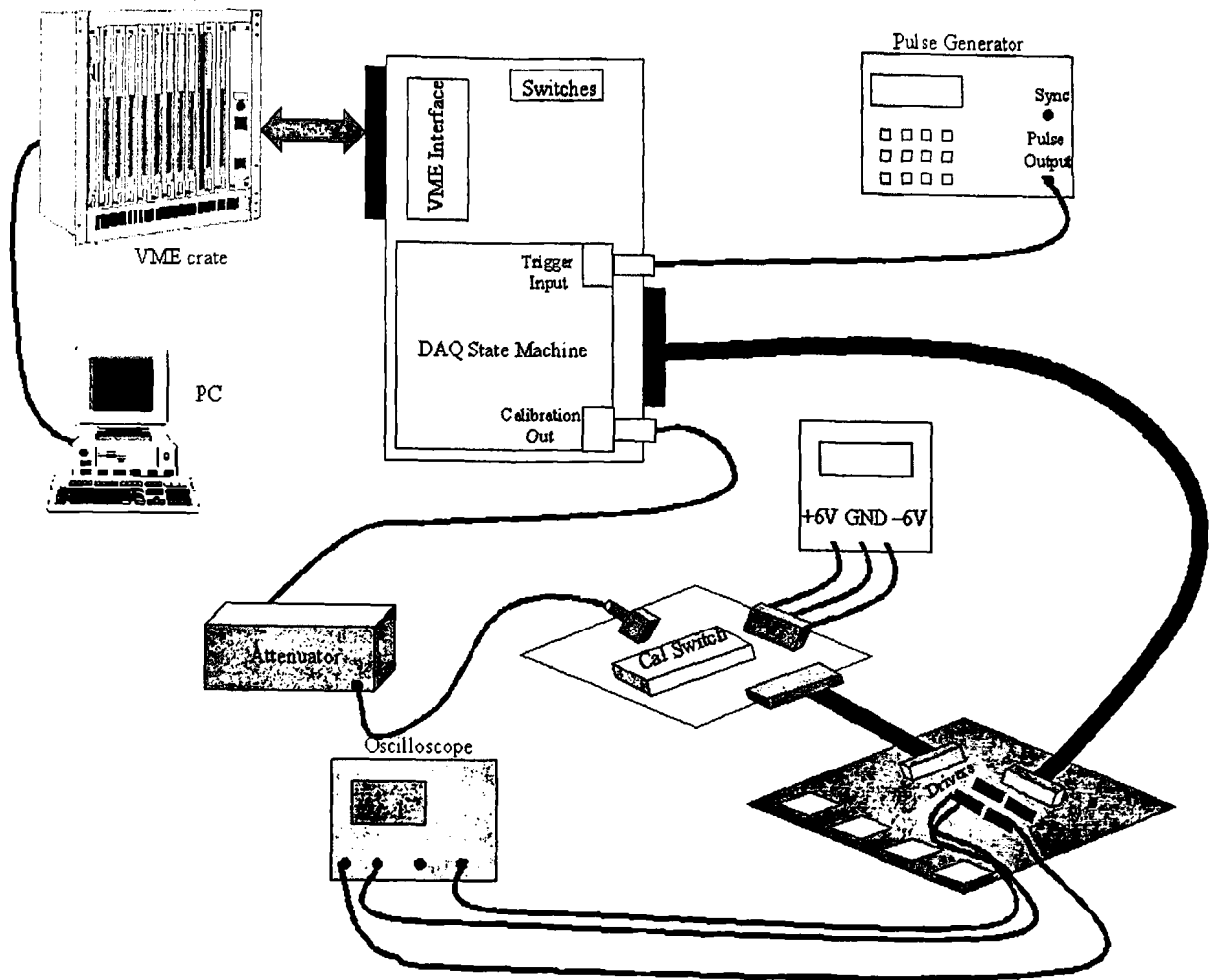
Στην συνέχεια προγραμματίζεται η καθυστέρηση μεταξύ των S1 και S2. Ανάμεσα σε αυτά τα σήματα υπεισέρχεται ο παλμός βαθμονόμησης. Η ακμή καθόδου του σήματος S1 πρέπει να προηγείται τουλάχιστον 100ns του παλμού βαθμονόμησης ώστε να δειγματοληπτεί τα κανάλια του PreMux χωρίς φορτίο στις εισόδους τους. Η ακμή καθόδου του σήματος S2 πρέπει να παράγεται 50ns μετά την ακμή ανόδου του παλμού βαθμονόμησης. Σύμφωνα με την περιγραφή της λειτουργίας του PreMux στο κεφάλαιο 2 και της μονάδας DAQ State Machine του κεφαλαίου 5, το μέγιστο του παλμού του φορτίου στα κανάλια του PreMux βρίσκεται 50ns μετά την είσοδό του. Η χρονική σχέση μεταξύ των παραπάνω σημάτων πρέπει να εξεταστεί πάνω στην μητρική κάρτα του PreMux, πριν τα σήματα εισέλθουν στα ολοκληρωμένα PreMux. Στο σχήμα 9.7 φαίνεται η χρονική εξάρτηση των παραπάνω σημάτων που περιγράφηκε προηγουμένως και λαμβάνεται μέσω του παλμογράφου. Τα σήματα S1, Cal και S2 φαίνονται στα κανάλια 1, 2 και 3 αντίστοιχα.



Σχήμα 9.7: Ακολουθία των σημάτων S1, Cal και S2.

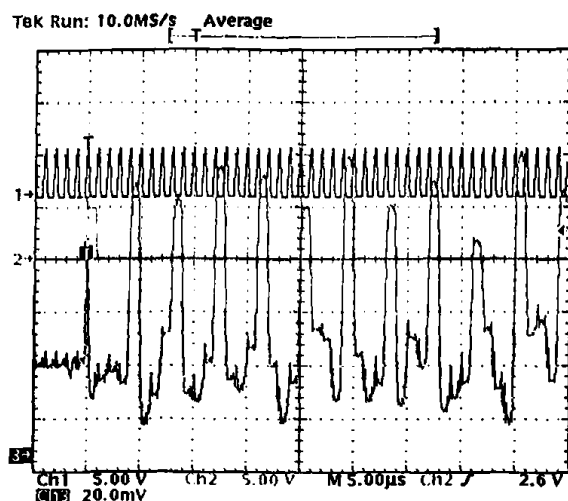
9.4 Ολοκλήρωση της πειραματικής διάταξης της ακολουθιακής κάρτας με το FE ολοκληρωμένο PreMux

Η ολοκλήρωση της πειραματικής διάταξης της ακολουθιακής κάρτας με το FE ολοκληρωμένο PreMux πραγματοποιείται με σκοπό την λήψη της αναλογικής εξόδου του PreMux με την βοήθεια ενός παλμογράφου. Το δομικό διάγραμμα της πειραματικής διάταξης φαίνεται στο σχήμα 9.8. Επίσης στην εικόνα E.2 του παραρτήματος E φαίνεται η πειραματική διάταξη που χρησιμοποιήθηκε. Όπως φαίνεται στο σχήμα 9.8 η πειραματική διάταξη περιέχει ένα VME crate, την ακολουθιακή κάρτα, ένα εξασθενητή τάσης τύπου 355D VHF ATTENUATOR 0.5WATT 50Ω DC-1000MC της HP, μία παλμογεννήτρια τύπου 33120A 15MHz FUNCTION/ARBITRARY WAVEFORM GENERATOR της HP, ένα τροφοδοτικό NIM, ένα ψηφιακό παλμογράφο τύπου TDS 684B COLOR FOUR CHANNEL DIGITAL REAL-TIME OSCILLOSCOPE 1GHz-5GS/s της TEXTRONIX και μία πλακέτα μέσω της οποίας παρέχονται στην μητρική κάρτα του PreMux οι τροφοδοσίες και ο παλμός βαθμονόμησης. Με τον εξασθενητή παλμών επιλέγονται μέσω ενός διακόπτη οι τιμές εξασθένησης μεταξύ 0dB και 120dB, με βήμα 10dB. Η παλμογεννήτρια χρησιμοποιείται για την παραγωγή των παλμών Trigger των οποίων η συχνότητα μπορεί να κυμαίνεται μεταξύ 1Hz και 500KHz. Το τροφοδοτικό NIM χρησιμοποιείται για την παροχή της τροφοδοσίας των $\pm 6V$ και ο παλμογράφος για την λήψη των αναλογικών σημάτων της εξόδου του PreMux. Τέλος το τυπωμένο κύκλωμα της πλακέτας που χρησιμοποιείται για την παροχή μέσω επίπεδου καλωδίου (flat cable) της τροφοδοσίας του PreMux και του παλμού βαθμονόμησης φαίνεται στα σχήματα E.4 έως E.5 του παραρτήματος E.

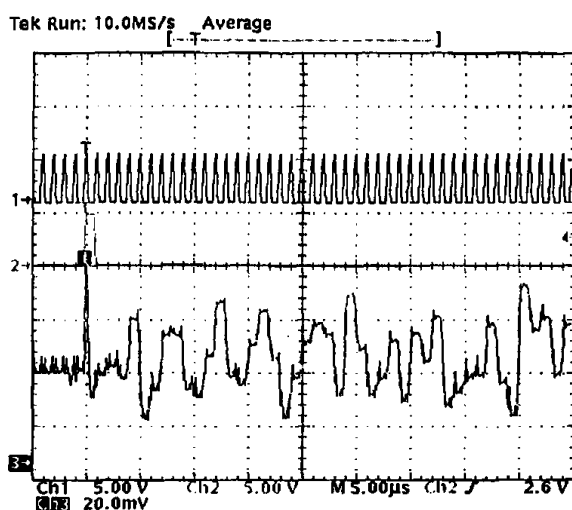


Σχήμα 9.8: Πειραματική διάταξη της ακολουθιακής κάρτας με το FE ολοκληρωμένο PreMux.

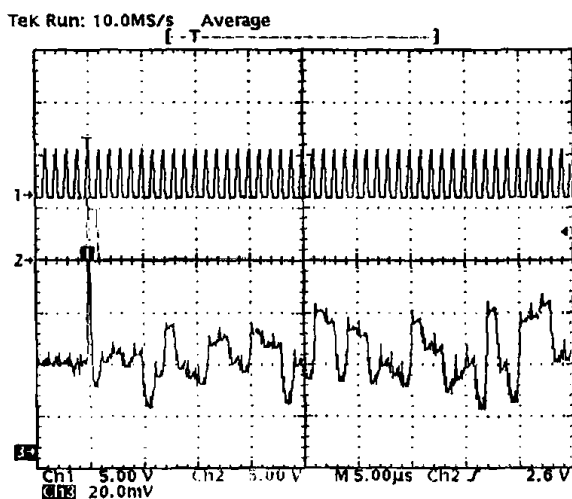
Στα σχήματα 9.9 έως 9.13 φαίνεται η αναλογική έξοδος της μητρικής πλακέτας του PreMux για παλμό βαθμονόμησης στην γραμμή Cal0 του PreMux. Ο παλμός βαθμονόμησης όπως παράγεται από την μονάδα του DAQ State Machine έχει ύψος 2.7V, και εξασθενείται κατά 10dB, 20dB, 30dB, 40dB και 50dB. Στα σχήματα 9.14 έως 9.18 φαίνεται η αναλογική έξοδος της μητρικής πλακέτας του PreMux για παλμό βαθμονόμησης στην γραμμή Cal2 του PreMux. Ο παλμός βαθμονόμησης εξασθενείται πάλι κατά 10dB, 20dB, 30dB, 40dB και 50dB. Σε όλα τα παρακάτω σχήματα φαίνονται τα σήματα PHI_2, TOK_IN και η αναλογική έξοδος στα κανάλια 1, 2 και 3 αντίστοιχα. Τέλος στο σχήμα 9.19 φαίνεται η αναλογική έξοδος της μητρικής κάρτας του PreMux όταν δεν δίνεται παλμός βαθμονόμησης στο κύκλωμα βαθμονόμησης του.



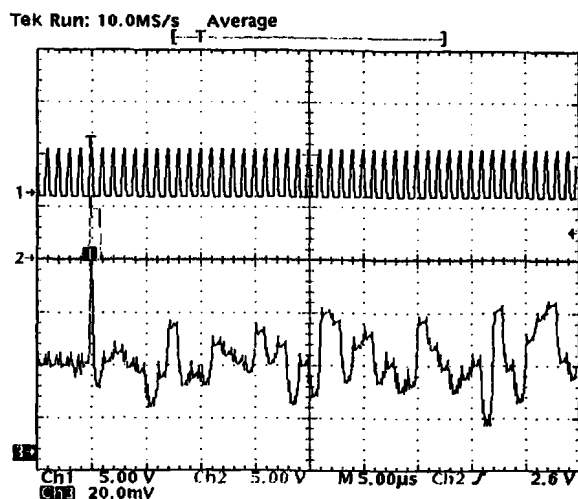
Σχήμα 9.9: Αναλογική έξοδος του PreMux για Cal0 και 10dB εξασθένηση του παλμού βαθμονόμησης.



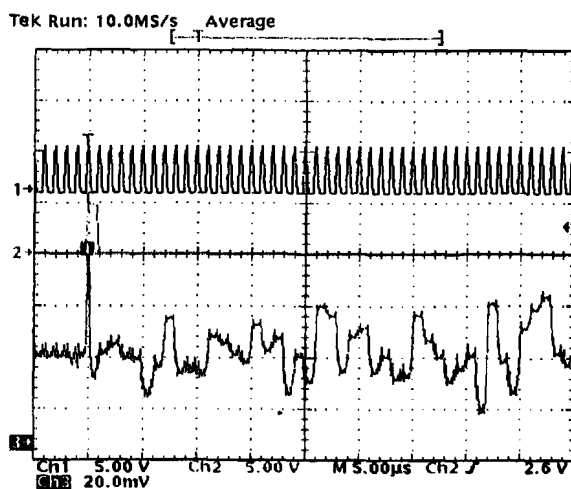
Σχήμα 9.10: Αναλογική έξοδος του PreMux για Cal0 και 20dB εξασθένηση του παλμού βαθμονόμησης.



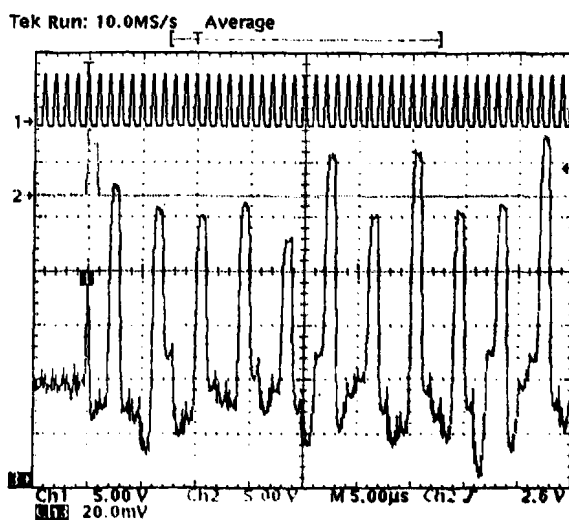
Σχήμα 9.11: Αναλογική έξοδος του PreMux για Cal0 και 30dB εξασθένηση του παλμού βαθμονόμησης.



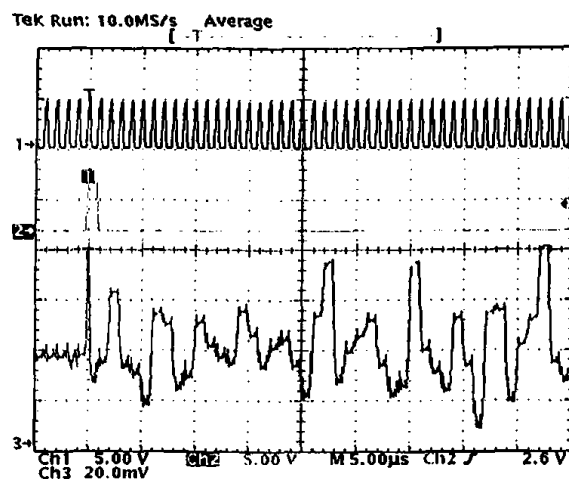
Σχήμα 9.12: Αναλογική έξοδος του PreMux για Cal0 και 40dB εξασθένηση του παλμού βαθμονόμησης.



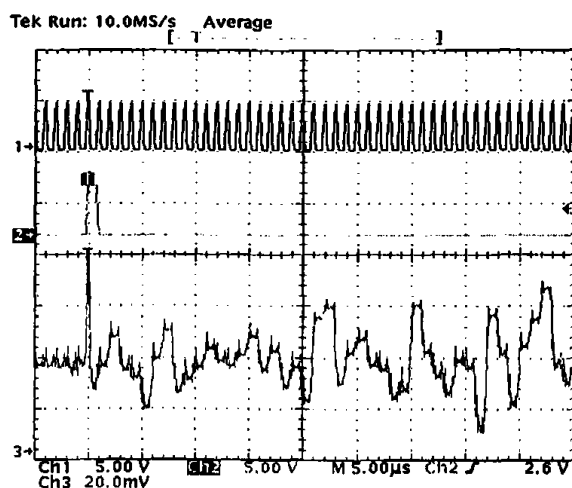
Σχήμα 9.13: Αναλογική έξοδος του PreMux για Cal0 και 50dB εξασθένηση του παλμού βαθμονόμησης.



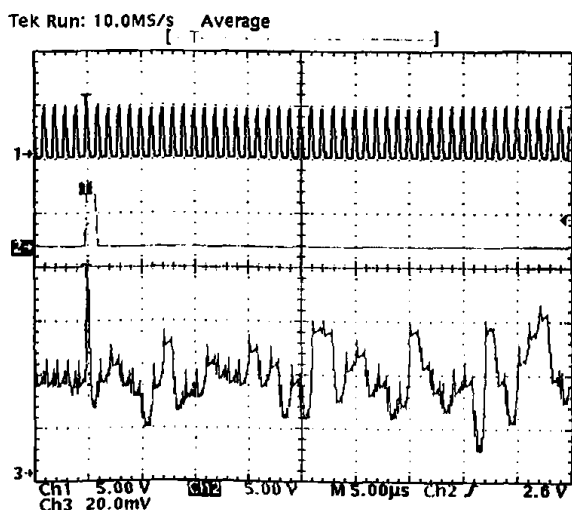
Σχήμα 9.14: Αναλογική έξοδος του PreMux για Cal2 και 10dB εξασθένηση του παλμού βαθμονόμησης.



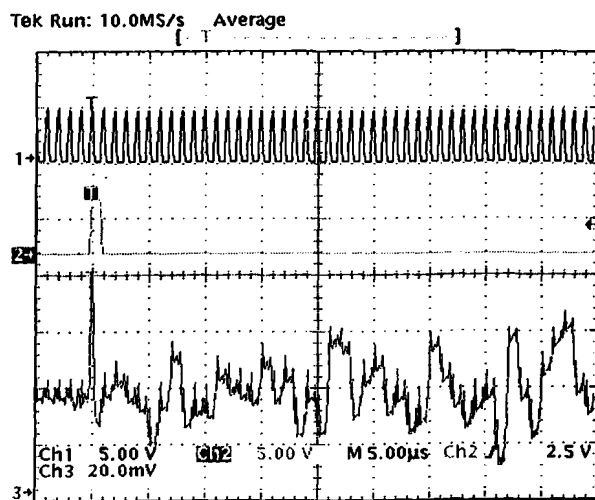
Σχήμα 9.15: Αναλογική έξοδος του PreMux για Cal2 και 20dB εξασθένηση του παλμού βαθμονόμησης.



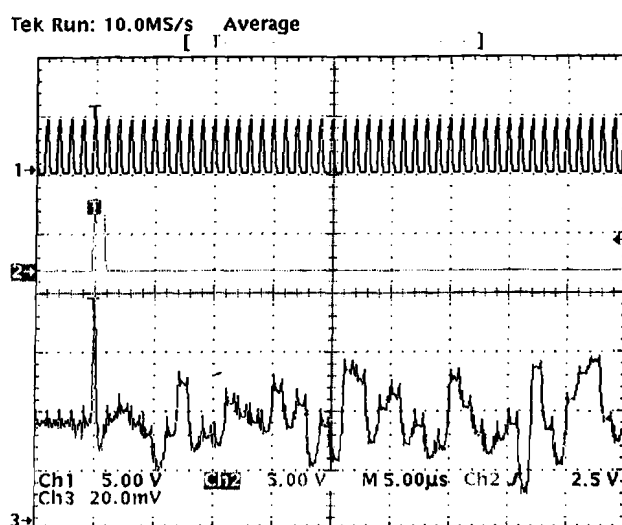
Σχήμα 9.16: Αναλογική έξοδος του PreMux για Cal2 και 30dB εξασθένηση του παλμού βαθμονόμησης.



Σχήμα 9.17: Αναλογική έξοδος του PreMux για Cal2 και 40dB εξασθένηση του παλμού βαθμονόμησης.



Σχήμα 9.18: Αναλογική έξοδος του PreMux για Cal2 και 50dB εξασθένηση του παλμού βαθμονόμησης.



Σχήμα 9.19: Αναλογική έξοδος του PreMux όταν δεν δίνεται παλμός βαθμονόμησης στο κύκλωμα βαθμονόμησης του PreMux.

Όπως φαίνεται από τα παραπάνω σχήματα η αναλογική έξοδος του PreMux ανταποκρίνεται σε παλμούς βαθμονόμησης εξασθενημένους μέχρι και 30dB. Για εξασθένηση 40dB και υψηλότερη η αναλογική έξοδος δεν αλλάζει. Επίσης στο σχήμα 9.19, όπου απεικονίζεται η αναλογική έξοδος του PreMux όταν δεν υπάρχει παλμός βαθμονόμησης, φαίνεται ότι υπάρχει σήμα στην έξοδο του PreMux. Το γεγονός ότι ενώ δεν δίνεται παλμός βαθμονόμησης, επομένως δεν φορτίζονται οι πυκνωτές της διάταξης βαθμονόμησης του PreMux, η αναλογική έξοδος δίνει σήμα, οφείλεται στο υπόβαθρο των καναλιών. Συγκρίνοντας τα σχήματα 9.12, 9.13, 9.17 και 9.18

με το σχήμα 9.17 φαίνεται ότι οι έξοδοι είναι σχεδόν ίδιες. Φαίνεται λοιπόν ότι το ολοκληρωμένο PreMux για παλμούς μικρότερους από 20mV, που αντιστοιχεί σε 6250e- ή 0.26 MIPS, δεν ανταποκρίνεται.

Επίσης πρέπει να σημειωθεί ότι ο εξασθενητής παλμών που χρησιμοποιήθηκε είχε βήμα 10dB. Αυτό έχει ως αποτέλεσμα τον περιορισμό της διακριτικής ικανότητας της πειραματικής διάταξης. Έτσι δεν μπορεί να προσδιοριστεί με ακρίβεια η κρίσιμη τιμή εξασθένησης, μέσα στην περιοχή εξασθενήσεων μεταξύ 30 και 40dB, για την οποία το ολοκληρωμένο PreMux σταματά να ανταποκρίνεται.

ΒΙΒΛΙΟΓΡΑΦΙΑ

- [1]. "Instrumentation in High Energy Physics – Silicon Microstrip Detectors", Anna Peisert, Istituto Nazionale di Fisica Nucleare, Sezione di Padova, January 27, 1992.
- [2]. "Πυρηνική Φυσική", Τόμος II, Παναγιώτη Α. Ασημακόπουλου, Ιωάννινα 1984.
- [3]. "Σημειώσεις στα πλαίσια του μαθήματος Πειραματικές Μέθοδοι Φυσικής", Ι.Ευαγγέλου, Ιωάννινα 1997.
- [4]. "Radiation Detection and Measurements" Glenn F, Knoll, WINLEY, Second Edition, 1989.
- [5]. "PreMux128 Specification Manual version 2.3", L. L. Jones, 23rd January 1995.
- [6]. "VMEbus Specification Manual", IEEE Standard Boards, Revision C.1, Printex Publishing Inc., October 1985.
- [7]. "Information technologies and Sciences. Guide to internationally recognized hardware interfaces with tutorial", European Camac Association, Published by the Commission of the European Communities, 1988.
- [8]. "Digital Electronics, Logic and Systems", John D. Kershaw, Third Edition, Delmar Publishers Inc., 1988.
- [9]. "Digital Design", M. Moris Mano, Second Edition, Prentice-Hall International Inc., 1992.
- [10]. "Logic Databook Volume I", National Semiconductors, 1984.
- [11]. "ALS/AS Logic. Advanced Low-Power Schottky and Advanced Schottky Logic", Texas Instruments, 1995.
- [12]. "MVME101 MC68000 MONOBOARD COMPUTER USER'S MANUAL", Motorola, Second Edition, July 1983.
- [13]. "Architecture of FPGAs and CPLDs: A Tutorial", Stephen Brown and Jonathan Rose, Department of Electrical and Computer Engineering, University of Toronto.
- [14]. "The Programmable Logic Data Book", XILINX, 1994.



- [15]. "Foundation Series User Guide", Foundation Series 1.5i Software Manuals, http://toolbox.xilinx.com/docsan/1_5i/.
- [16]. "JTAG Programmer Guide", Foundation Series 1.5i Software Manuals, http://toolbox.xilinx.com/docsan/1_5i/.
- [17]. "Hardware Debugger Reference/User Guide", Foundation Series 1.5i Software Manuals, http://toolbox.xilinx.com/docsan/1_5i/.
- [18]. "Libraries Guide", Foundation Series 1.5i Software Manuals, http://toolbox.xilinx.com/docsan/1_5i/.
- [19]. "National Interface Databook", National Semiconductors, Edition 1999.
- [20]. "Το Hardware της Πληροφορικής", Ι. Καρράς, Ε. Δράκου, Αθήνα 1988.
- [21]. "THE ART OF ELECTRONICS", Paul Horowitz – Winfield Hill, Second Edition, Cambridge, 1989.
- [22]. "Electronic Devices and Circuit Theory", Robert Boylestad, Louis Nashelsky, Sixth Edition, Prentice-Hall International Inc., 1996.
- [23]. "Solid State Electronic Devices", Ben G. Streetman, Fourth Edition, Prentice-Hall International Inc., 1995.
- [24]. "Theory and Problems of Electric Circuits", Joseph A. Edminister, Shaum's Outline Series, First Edition, Mc Graw – Hill Book Company, 1972.
- [25]. "Teledyne Relays Applications: Attenuator & Bypass Circuits", Online Application Notes, <http://www.teledynereleys.com/appnotes/bypas-Ap.html>.
- [26]. "VALET PLUS OVERVIEW", CERN EUROPEAN ORGANISATION FOR NUCLEAR RESEARCH, April 1985.
- [27]. "PILS REFERENCE MANUAL", Robert D. Russel, Louis Trmplet, David O. Williams, Version 3, March 1987, CERN.
- [28]. "VALET PLUS SPECIFIC LIBRARIES: Magnetic Tape (MT), Quarter Inch Cartridge (QIC), SCSI Driver Library, VMEbus, GPIB, Timer, Exception, Monica I/O", CERN DD DIVISION OC GROUP, Version 3, September 1987, CERN.



Παραρτήματα

Παράρτημα Α

Το VALET PLUS

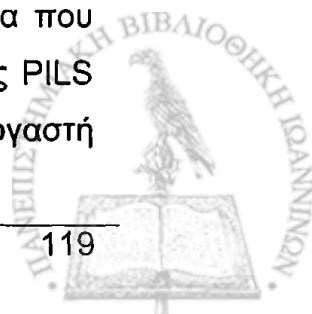
A.1 Εισαγωγή

Η χρήση του PC με το VMEbus συνδυάζουν με τον καλύτερο δυνατό τρόπο τις δυνατότητες τους στον εργαστηριακό χώρο. Τα PC παρέχουν με χαμηλό κόστος περιφερειακές συσκευές και προγράμματα. Η ικανότητα και η λειτουργία σε πραγματικό χρόνο των συστημάτων με επεξεργαστές της οικογένειας MC68000 του VMEbus, διασυνδέουν με τον καλύτερο τρόπο το VMEbus με άλλα ευρέως καθιερωμένα πρότυπα επικοινωνίας που χρησιμοποιούνται στη Φυσική Υψηλών Ενεργειών όπως τα CAMAC, FASTBUS και GPIB.

Ο συνδυασμός του VMEbus, πάνω στο οποίο υπάρχουν μία κάρτα Master, μία κάρτα ROM και μία κάρτα RAM, με τον εργαστηριακό εξοπλισμό και την χρήση ενός PC για τον έλεγχο της κάρτας Master συνθέτουν το σύστημα VALET PLUS. Η επιλογή του ονόματος VALET PLUS είναι το ακρονύμιο του VMEbus Applied to Laboratory Equipment Test Plus a PC. Η ύπαρξη του PC κάνει το VALET PLUS πολύ ευέλικτο στην χρήση και στην λειτουργία του.

Σκοπός του συστήματος είναι η επικοινωνία των προγραμμάτων που χρησιμοποιούνται από τα PC στα πειράματα και στα συστήματα μετρήσεων. Για τον λόγο αυτό υλοποιήθηκε η γλώσσα προγραμματισμού PILS (Portable Interactive Language System).

Η PILS περιέχει βιβλιοθήκες με ρουτίνες για όλα τα συστήματα που χρησιμοποιούνται από το VALET PLUS. Η εκτέλεση των εντολών της PILS καθώς και των ρουτινών της πραγματοποιείται από ένα επεξεργαστή



MC68000, ο οποίος ελέγχει το VMEbus και όλους τους δίαυλους που διασυνδέονται με αυτό και χρησιμοποιούνται στα πειράματα Φυσικής Υψηλών Ενεργειών.

A.2 Χρήση του VALET PLUS

Η διεπαφή του PC με το VMEbus πραγματοποιείται μέσω του πρωτοκόλλου σειριακής επικοινωνίας RS-232-C. Ο χρήστης ελέγχει το VMEbus και όλους τους δίαυλους που διασυνδέονται με αυτό μέσω της κονσόλας του PC. Για την καλύτερη απόδοση του συστήματος το πρόγραμμα της εφαρμογής εκτελείται από τον επεξεργαστή του συστήματος MC68000 που ελέγχει το VMEbus.

Η επικοινωνία μεταξύ του PC και του MC68000 στο VMEbus επιτυγχάνεται πολύ εύκολα με την εκτέλεση ενός γενικής χρήσης προγράμματος, του BRIDGE. Η PILS και οι βιβλιοθήκες της αρχικά φορτώνονται στην κάρτα του VMEbus που περιέχει την μνήμη ROM και μπορούν να χρησιμοποιηθούν αμέσως μετά την εκτέλεση του BRIDGE.

Τα προγράμματα που εκτελούνται στο VMEbus επιτυγχάνουν πρόσβαση σε όλα τα περιφερειακά του PC. Το πληκτρολόγιο και η οθόνη του PC, για παράδειγμα, θεωρούνται I/O συσκευές του VMEbus ενώ οι εντολές PRINT της PILS γραφούν σε εκτυπωτή που είναι συνδεδεμένος με το PC. Οι εντολές USE και SAVE της PILS μεταφέρουν προγράμματα PILS από και προς τον σκληρό δίσκο του PC.

Στον χρήστη η εφαρμογή φαίνεται να εκτελείται στο PC και τα αρχεία που δημιουργούνται από αυτή είναι δυνατό να χρησιμοποιηθούν αργότερα από αλλά γενικής χρήσης προγράμματα του PC. Στην πραγματικότητα ο έλεγχος των συσκευών Φυσικής Υψηλών Ενεργειών, των οποίων ο απόλυτος χρονισμός είναι απαραίτητος, εκτελείται στο VMEbus. Από το PC ελέγχονται τα I/O των οποίων ο χρονισμός δεν είναι κρίσιμος για την εφαρμογή.



A.3 Προγραμματισμός με PILS

Όπως αναφέρθηκε και προηγούμενα το VALET PLUS είναι σχεδιασμένο να προγραμματίζεται μέσω της γλώσσας PILS (Portable Interactive Language System). Η PILS αναπτύχθηκε με σκοπό την ανάπτυξη προγραμμάτων για τον έλεγχο συστημάτων μέσω του επεξεργαστή MC68000.

Η PILS περιέχει:

- ◆ Ονόματα μεταβλητών διαφόρων μεγεθών και συμβολισμών
- ◆ Έξι διαφορετικούς τύπους δεδομένων εκφραζόμενα σε δυαδική, σε οκταδική, σε δεκαδική και σε δεκαεξαδική μορφή
- ◆ Δομές έλεγχου όπως IF-THEN-ELSE
- ◆ Πολυδιάστατους πίνακες
- ◆ Μεγάλη ποικιλία συναρτήσεων
- ◆ Δυνατότητα χρήσης και άλλων βιβλιοθηκών που δεν ανήκουν στην PILS.

Στο VALET PLUS η PILS περιέχεται σε μνήμη EPROM. Η χρήση της μέσω της κονσόλας του PC είναι δυνατή μετά την εκτέλεση του προγράμματος BRIDGE.

Οι βιβλιοθήκες που περιέχει η PILS είναι απαραίτητες για ένα περιβάλλον εργαστηρίου και περιέχουν:

- ◆ Ρουτίνες ENSONE/IEEE/NIM CAMAC
- ◆ Ρουτίνες FASTBUS
- ◆ Πακέτα ιστογράμματος HMINI
- ◆ Ρουτίνες μαθηματικών και τριγωνομετρίας
- ◆ Ρουτίνες χειρισμού ISA
- ◆ Ειδικές ρουτίνες του VMEbus.

Οι ρουτίνες της PILS για το VMEbus χρησιμοποιούνται για την ανταλλαγή δεδομένων μέσω διευθύνσεων του VMEbus. Οι ρουτίνες διαχειρίζονται 8, 16 ή 32 bit δεδομένων. Έτσι αν πρόκειται να γίνει γραφή 16 bit δεδομένων σε κάποια θέση στο VMEbus τότε η αντίστοιχη εντολή είναι:

PUT16(PHYSADD,VAL)



όπου οι μεταβλητές PHYSADD και VAL είναι ακέραιοι.

Η λειτουργία της εντολής αυτής είναι η τοποθέτηση στην διεύθυνση PHYSADD του VMEbus των 16 bit δεδομένων της μεταβλητής VAL. Έτσι εκτελώντας αυτή την εντολή της PILS ο επεξεργαστής της κάρτας Master καταλαβαίνει ότι πρέπει να ξεκινήσει ένα κύκλο μεταφοράς δεδομένων 16 bit με το VMEbus. Αυτό επιτυγχάνεται με την τοποθέτηση αρχικά της διεύθυνσης PHYSADD στις γραμμές διευθύνσεων του VMEbus και στην συνέχεια με την ελευθέρωση του AS*. Στην συνέχεια τίθεται το WRITE* σε Low και τα DS0* και DS1* Low ώστε να δηλώνουν την 16 bit μεταφορά δεδομένων. Αμέσως μετά ενεργοποιούνται οι γραμμές δεδομένων. Ο κύκλος τερματίζεται με την παραγωγή του DACK* από την μονάδα που δέχθηκε τα δεδομένα, το οποίο επιβεβαιώνει την επιτυχημένη λήψη τους.

Στην περίπτωση που πρόκειται να διαβαστεί μια 16 bit λέξη από κάποια μονάδα στο VMEbus τότε η εντολή της PILS που εκτελείται είναι:

GET16(PHYSADD,VAL)

όπου οι μεταβλητές PHYSADD και VAL είναι ακέραιοι.

Με την εντολή αυτή γίνεται ανάγνωση μιας 16 bit λέξης από μια μονάδα με διεύθυνση PHYSADD. Η PILS εκτελώντας την εντολή αυτή αρχικά ενεργοποιεί τις γραμμές διευθύνσεων, ρίχνει το AS* σε Low και θέτει το WRITE* σε High. Στην συνέχεια θέτει τα DS0* και DS1* Low, σηματοδοτώντας τον 16 bit κύκλο μεταφοράς δεδομένων, και διαβάζει τα δεδομένα στις γραμμές D00-D16. Ο κύκλος τερματίζεται με την παραγωγή του DACK* από την μονάδα που έστειλε τα δεδομένα.



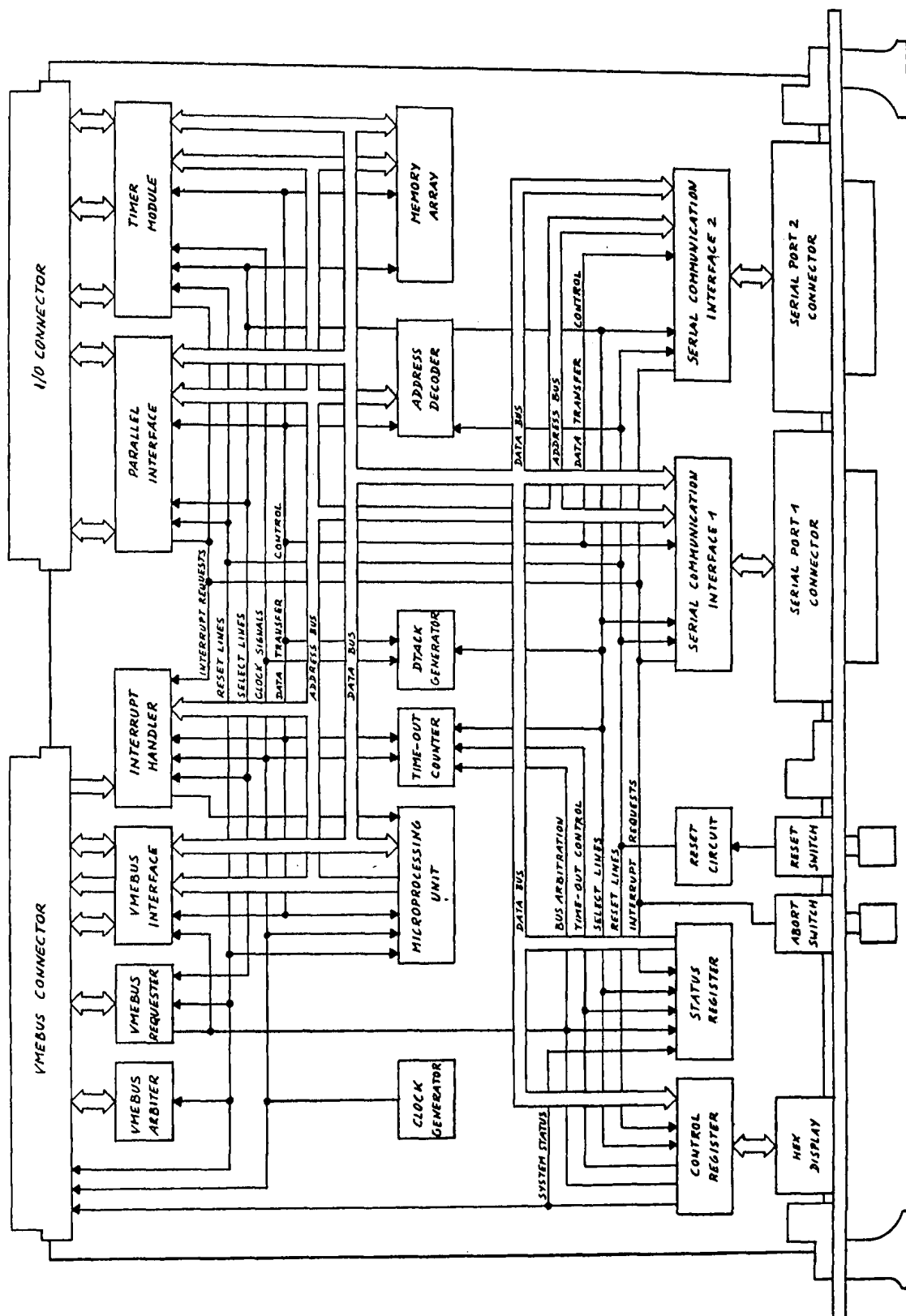
Μονάδες VME

B.1 MVME101

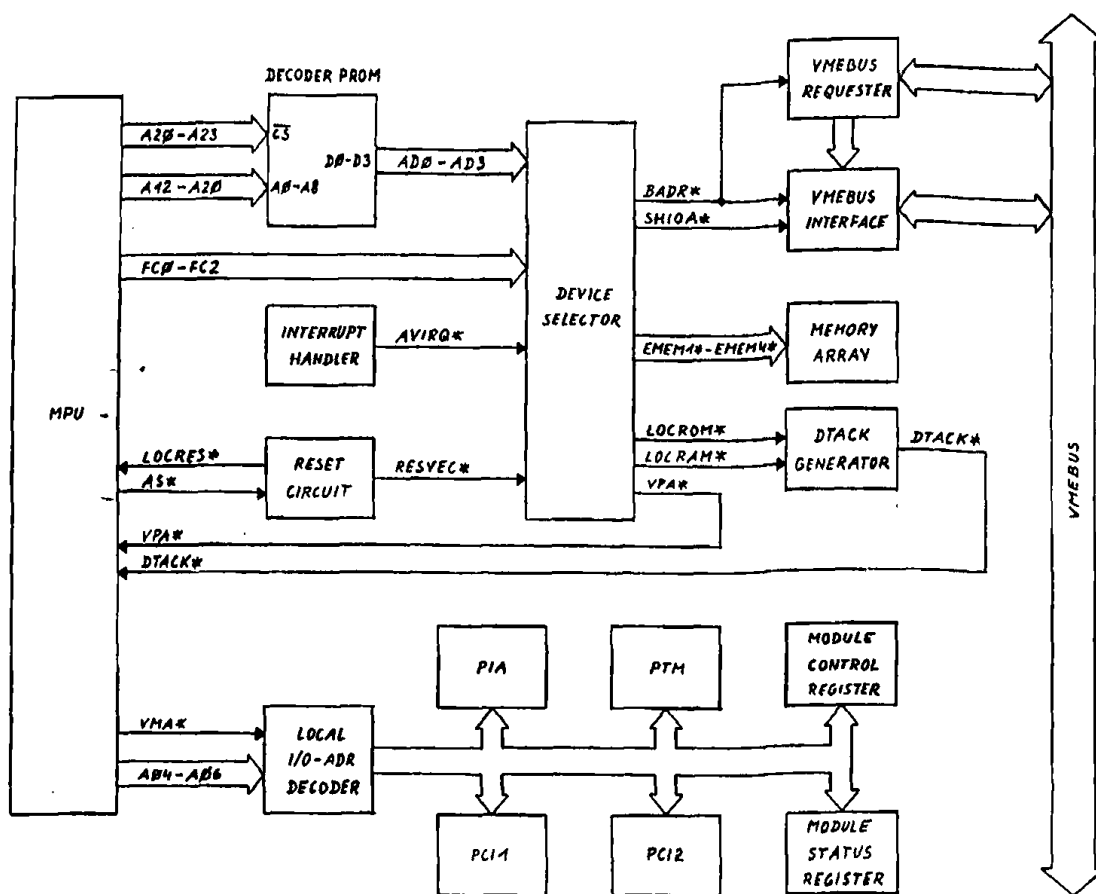
Η μονάδα MVME101 είναι ένας ελεγκτής MPU (Master Processing Unit) είτε αυτόνομα είτε ως μέρος μιας σύνθεσης πολλών επεξεργαστών. Η καρδιά του συστήματος είναι ο επεξεργαστής MC68000 της Motorola, μέσω του οποίου ελέγχονται τα λειτουργικά του κομμάτια. Το δομικό του διάγραμμα φαίνεται στο σχήμα B.1.

Τα 16bit δεδομένων του MC68000 χωρίζονται σε δύο bytes, στο χαμηλότερο D00-D07 και στο υψηλότερο D08-D15. Η ενεργοποίηση τους γίνεται μέσω των σημάτων LDS* (Lower Data Strobe) και UDS* (Upper Data Strobe) για τα D00-D07 και D08-D15 αντίστοιχα. Η διευθυνσιοδότηση των δεδομένων γίνεται μέσω των γραμμών διεύθυνσης A01-A23. Η γραμμή A00 υπάρχει εσωτερικά στον επεξεργαστή ενώ εξωτερικά αντικαθίσταται από τα LDS* και UDS*.

Στο σχήμα B.2 φαίνεται η συνδεσμολογία του αποκωδικοποιητή διευθύνσεων με τις διαφορές λειτουργικές μονάδες της MVME101. Μέσω των δεδομένων που περιέχει το DECODER PROM καθορίζεται ο χάρτης διευθύνσεων που αντιστοιχούν στις μονάδες πάνω στην κάρτα και εκείνων που διατίθενται στο VMEbus. Το DEVICE SELECTOR δέχεται σήματα από το DECODER PROM, MPU, INTERRUPT HANDLER και RESET CIRCUIT και αποφασίζει αν ο τρέχον κύκλος λειτουργίας αντιστοιχεί σε μεταφορά δεδομένων μέσω του VMEbus, σε μεταφορά δεδομένων μεταξύ της ROM ή της RAM της κάρτας MVME101, σε επαφή με κάποια I/O μονάδα της κάρτας MVME101, σε κύκλο Interrupt Acknowledge του VMEbus ή σε παραγωγή σήματος RESET.

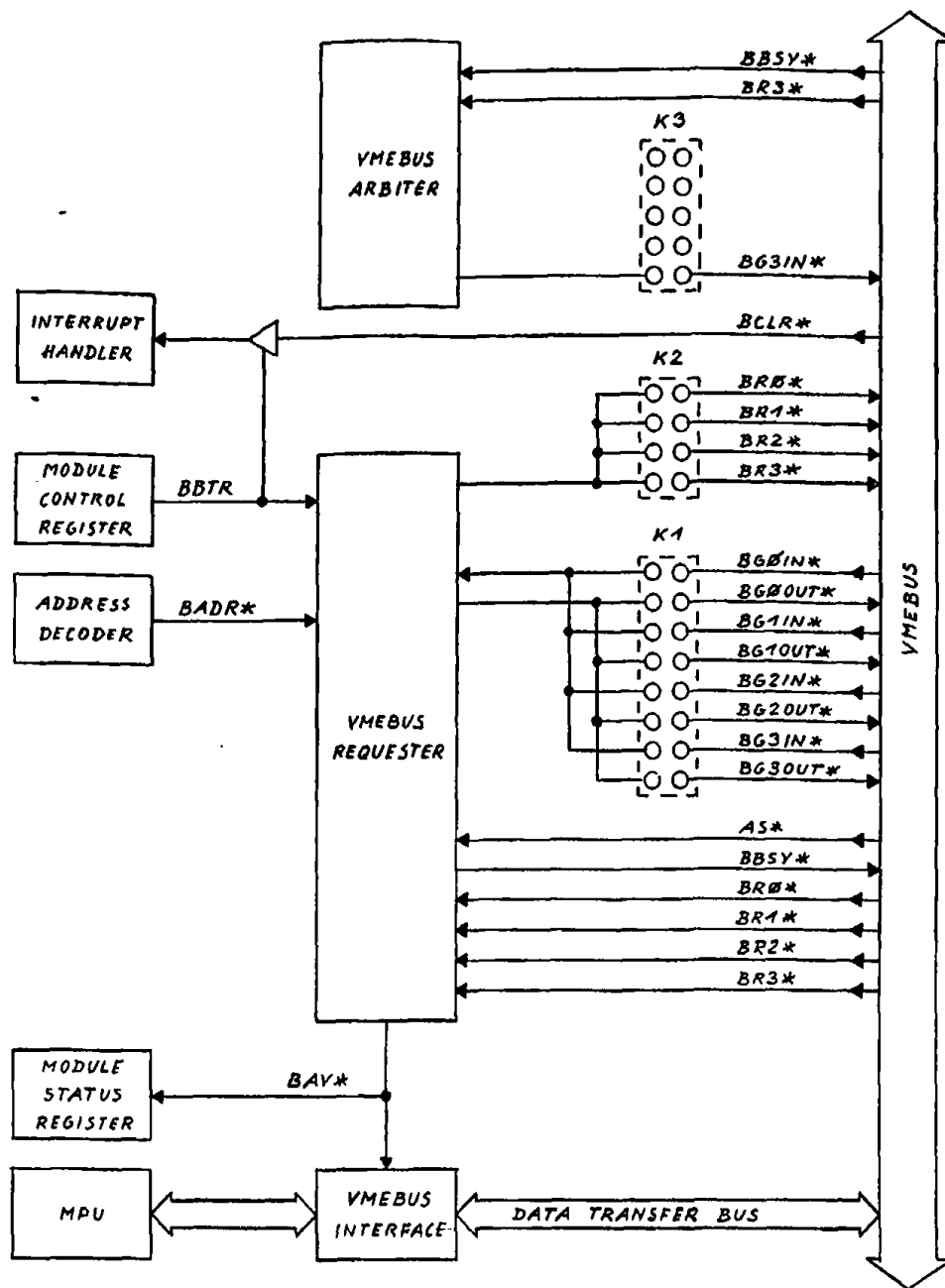


Σχήμα Β.1: Δομικό διάγραμμα της μονάδας MVME101.



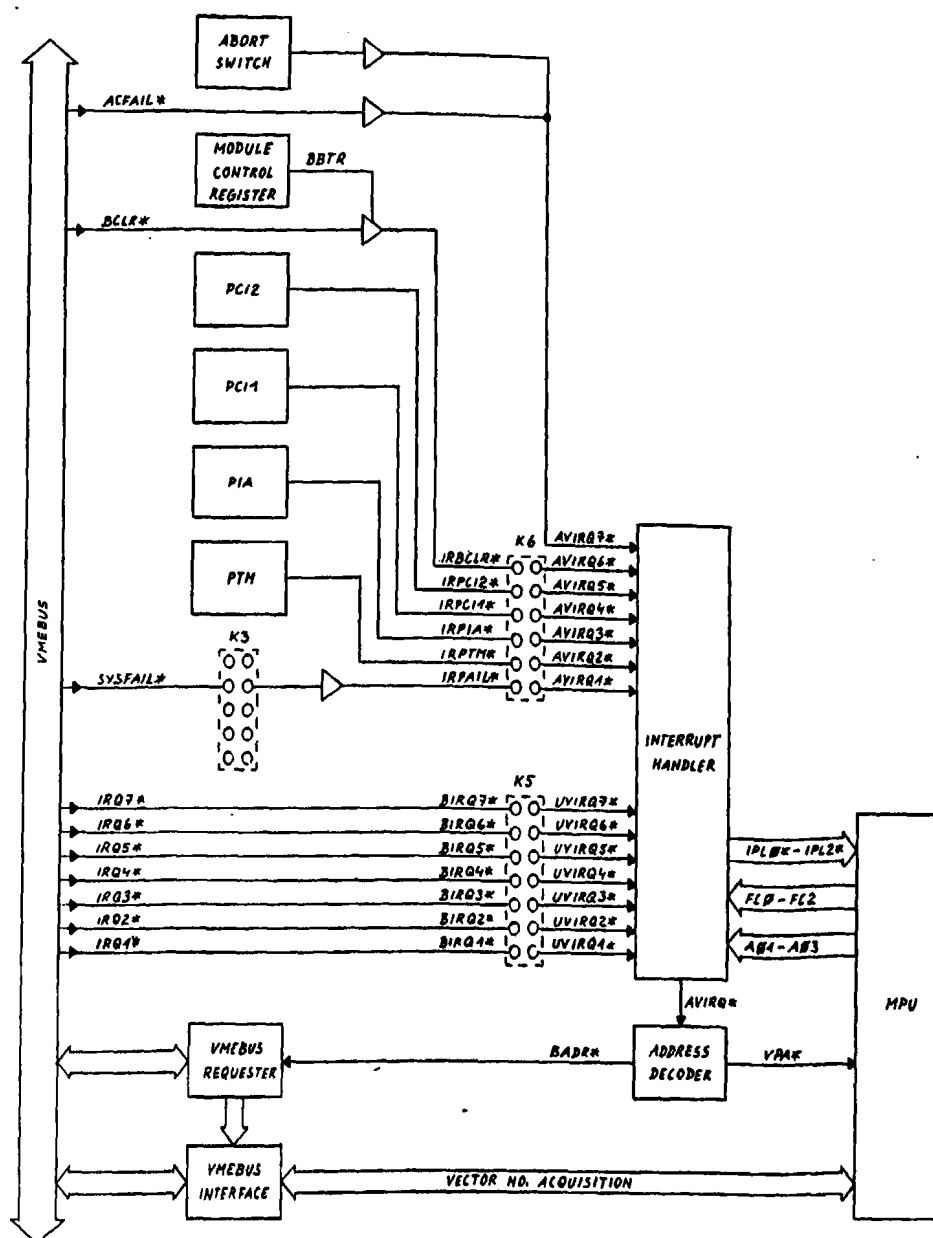
Σχήμα Β.2: Αποκωδικοποιητής διευθύνσεων.

Η λογική του αποκωδικοποιητή χωρίζει τα 16M byte του χάρτη διευθύνσεων σε τρία κομμάτια, όπως φαίνεται στο σχήμα Β.3. Το Lo Block καλύπτει το χαμηλότερο κομμάτι διευθύνσεων, μεγέθους 1M byte (000000-0FFFFFF), το Mid Block περιέχει τα επόμενα 14M byte διευθύνσεων (100000-EFFFFFF) και το Hi Block καλύπτει το υψηλότερο κομμάτι διευθύνσεων μεγέθους 1M byte (F00000-FFFFFFF). Όλες οι διευθύνσεις στο Mid Block θεωρούνται ότι βρίσκονται εκτός της κάρτας MVME101. Έτσι όταν η MPU ενεργοποιήσει μια διεύθυνση σε αυτή την περιοχή, το DEVICE SELECTOR ξεκινά ένα κύκλο μεταφοράς δεδομένων μέσω του VME ενεργοποιώντας το VMEbus Requester και το VMEbus Interface.



Σχήμα Β.4: VMEbus Arbiter και Requester.

Για τον έλεγχο των Interrupts που προέρχονται είτε από μονάδες εντός της κάρτας MVME101 είτε από το VMEbus, η κάρτα MVME101 περιέχει μια μονάδα Interrupt Handler. Στο σχήμα Β.5 φαίνεται το δομικό διάγραμμα της διασύνδεσης του Interrupt Handler με το VMEbus και τις μονάδες πάνω στην κάρτα.



Σχήμα Β.5: Δομικό διάγραμμα Interrupt Handler.

B.2 TEKMIŠ TSVME202-3

Η TSVME202-3 είναι μια μονάδα DRAM των 2Mbyte με χρόνο προσπέλασης 230ns σε κάρτα VME A24 με δυνατότητα μεταφοράς D16, D08 δεδομένων. Η περιοχή διευθύνσεων λειτουργίας της με το VALET PLUS είναι \$200000-\$3FFFFFF HEX. Η κάρτα αυτή χρησιμοποιείται κυρίως για την

φόρτωση μεγάλων προγραμμάτων σε γλώσσα PILS, που έχουν μέγεθος πάνω από 512 kbytes και πρέπει να μεταφραστούν.

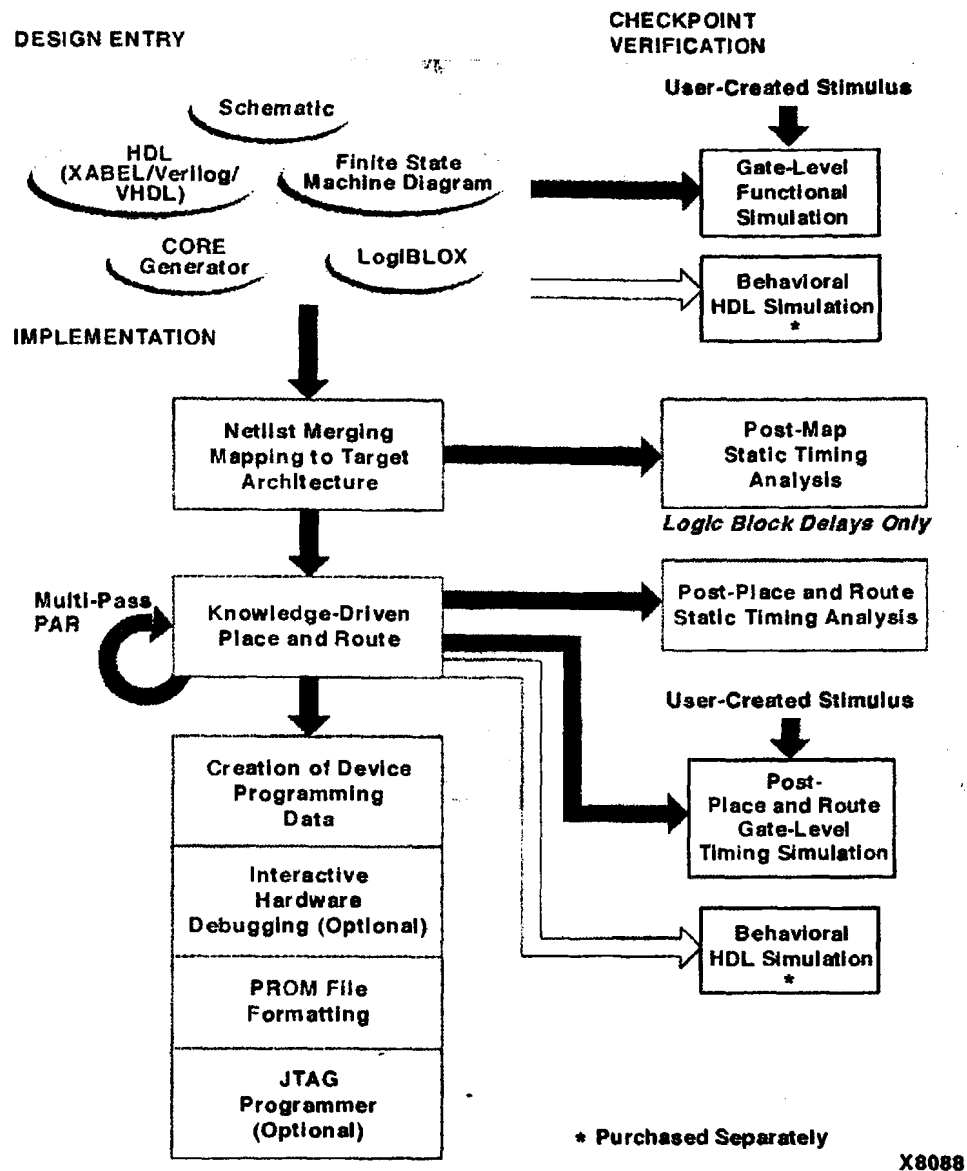
B.3 TEMKIS TSVME204

Το VALET PLUS χρειάζεται τουλάχιστον 704 kbytes μνήμης ROM για να φορτώσει τη γλώσσα PILS και τις βιβλιοθήκες της. Η TSVMS204 της Temkis περιέχει 24 βάσεις των 28 ακροδεκτών συμβατές με ολοκληρωμένα μνημών τύπου: SRAM, ROM και EPROM. Είναι μια VME κάρτα A24, D16 ή D08 με περιοχή διευθύνσεων \$100000-\$1BFFFF HEX και υποστηρίζει 512kbit EPROMs.

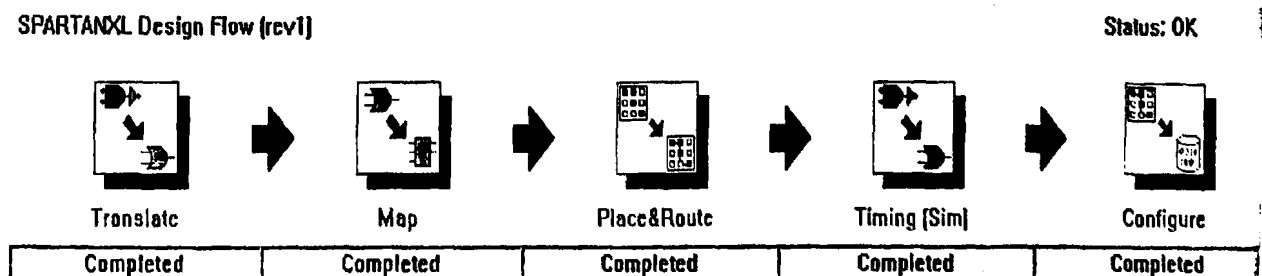
Προγραμματισμός FPGA και CPLD.

Γ.1 Περιγραφή του σχεδιαστικού πακέτου της XILINX Foundation Series v1.5

Η XILINX έχει αναπτύξει πρόγραμμα CAD (Computer Aided Design) για τον προγραμματισμό των ολοκληρωμένων CPLDs και FPGAs που παράγει. Για κάθε μια από τις παραπάνω οικογένειες χρησιμοποιείται διαφορετική ροή προγραμματισμού, κάτι που οφείλεται στην διαφορετική εσωτερική δομή τους. Στο σχήμα Γ1 φαίνεται η ροή προγραμματισμού για FPGA. Το σχέδιο εισάγεται είτε με την μορφή σχηματικού είτε μέσω γλώσσας VHDL είτε μέσω σχεδίων State Machines. Στην συνέχεια πραγματοποιείται προσομοίωση του σχεδίου σε επίπεδο λογικής. Το επόμενο βήμα είναι η υλοποίηση (Implementation) του σχεδίου, δηλαδή η μετατροπή του σχεδίου σε κώδικα προγραμματισμού με το οποίο θα προγραμματιστεί το FPGA. Αυτό γίνεται αφού πρώτα γίνει μετάφραση της netlist, αντιστοιχηθεί η λογική του σχεδίου με τους ακροδέκτες του FPGA, παραχθεί το σχέδιο διασύνδεσης εσωτερικά του FPGA και παραχθούν οι χρονικές καθυστερήσεις που υπεισέρχονται. Η παραπάνω διαδικασία φαίνεται στο σχήμα Γ2 στο οποίο απεικονίζεται το παράθυρο που εμφανίζεται κατά την διάρκεια της υλοποίησης του σχεδίου. Στη συνέχεια πραγματοποιείται χρονική προσομοίωση του σχεδίου. Σε αυτό το σημείο πέρα από τον έλεγχο της λειτουργίας του FPGA ελέγχονται και οι χρονικές καθυστερήσεις των σημάτων εισόδου και εξόδου. Το τελευταίο βήμα είναι ο προγραμματισμός του FPGA, ο οποίος πραγματοποιείται μεταφέροντας το πρόγραμμα, που παράχθηκε από την εκτέλεση της υλοποίησης (Implementation), στο FPGA.



Σχήμα Γ1: Ροή προγραμματισμού FPGA μέσω Foundation Series v1.5

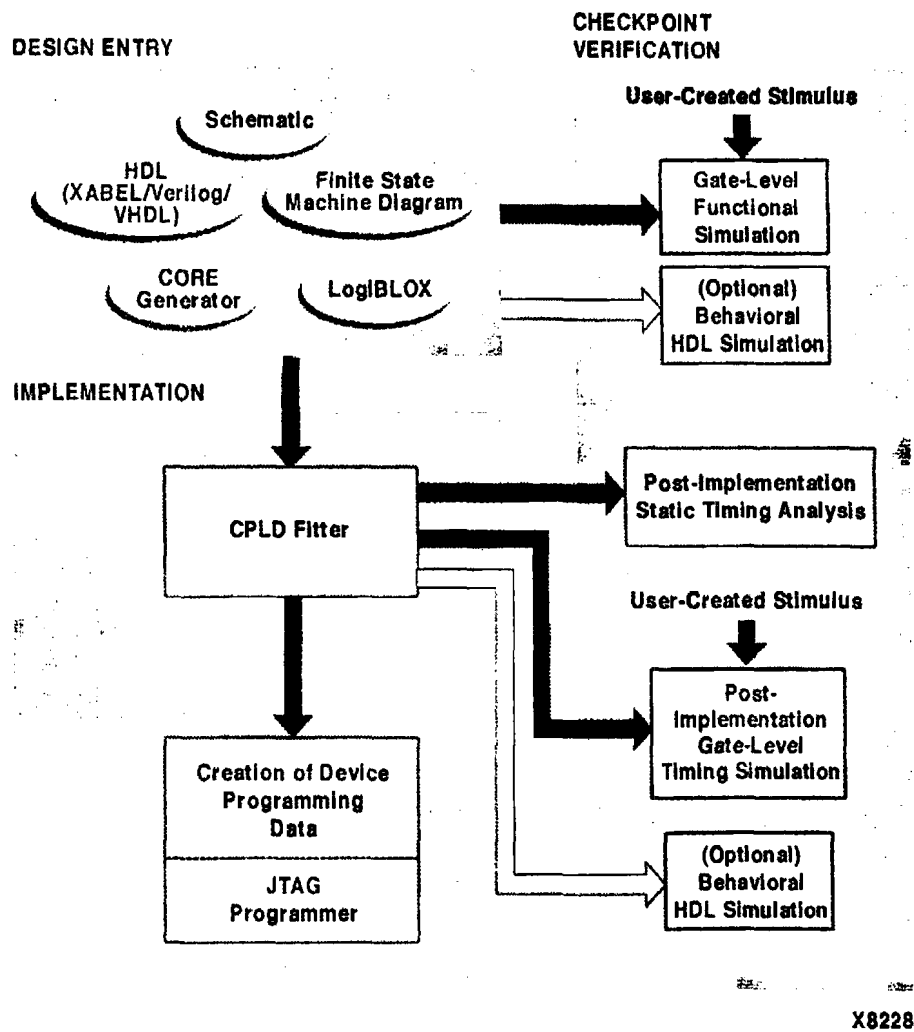


Σχήμα Γ2: Διαδικασία Implementation για FPGA.

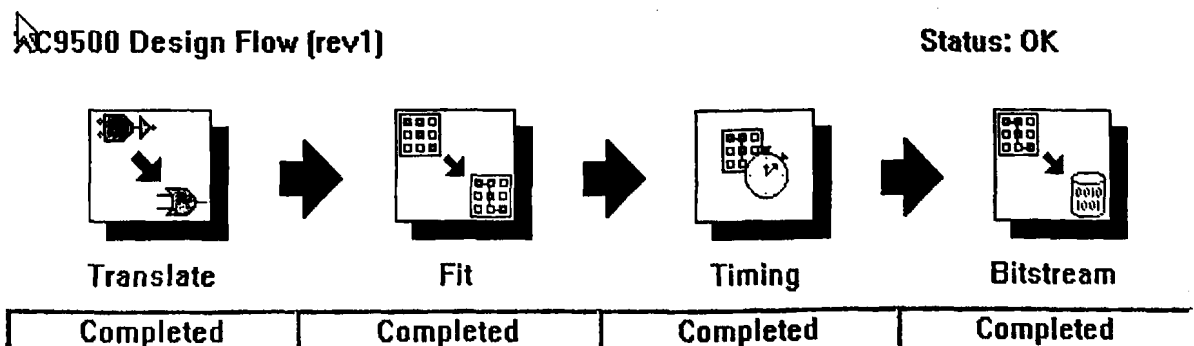
Η ροή για τον προγραμματισμό ενός CPLD είναι σε γενικές γραμμές παρόμοια με εκείνη για τον προγραμματισμό ενός FPGA. Όπως φαίνεται από

το σχήμα Γ3 η εισαγωγή του σχεδίου γίνεται μέσω σχηματικού ή μέσω State Machine σχήματος ή μέσω VHDL. Στην συνέχεια πραγματοποιείται η προσομοίωση του σχεδίου σε επίπεδο πυλών μέσω της οποίας επιβεβαιώνεται η σωστή λειτουργία του σχεδίου. Η διαδικασία Implementation είναι το επόμενο βήμα. Εδώ είναι το σημείο στο οποίο διαφοροποιείται η διαδικασία προγραμματισμού ενός CPLD από ένα FPGA. Αυτό είναι λογικό αφού σε αυτό το σημείο παράγεται το πρόγραμμα με το οποίο προγραμματίζονται τα ολοκληρωμένα, των οποίων η εσωτερική δομή είναι τελείως διαφορετική. Έτσι για το CPLD κατά την διαδικασία αυτή γίνεται μετάφραση της netlist, εφαρμογή του σχεδίου στο CPLD, παραγωγή των χρονικών καθυστερήσεων μεταξύ σημάτων εισόδου και εξόδου και παραγωγή του προγράμματος (Bitstream) με το οποίο πρόκειται να προγραμματιστεί το CPLD. Στο σχήμα Γ4 απεικονίζονται οι εσωτερικές διαδικασίες του Implementation, οι οποίες όπως σημειώνεται έχουν εκτελεστεί. Το επόμενο βήμα είναι η χρονική προσομοίωση με την οποία πέρα από την λειτουργία του σχεδίου φαίνονται και οι χρονικές καθυστερήσεις μεταξύ σημάτων εισόδου και εξόδου. Το τελευταίο βήμα είναι ο προγραμματισμός του CPLD με το πρόγραμμα που δημιουργήθηκε κατά την διαδικασία της υλοποίησης (Implementation).

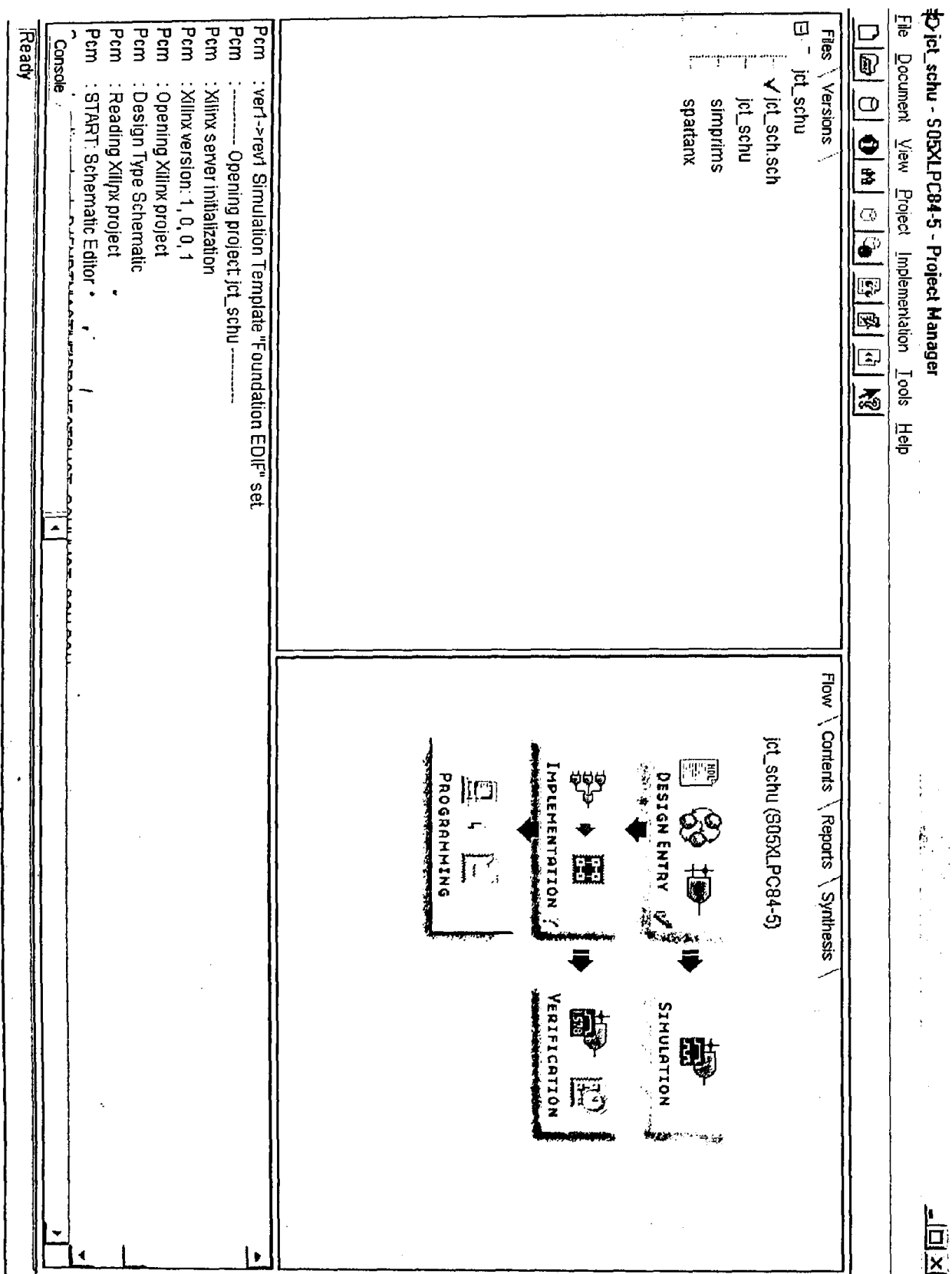
Η επιλογή των παραπάνω διαδικασιών γίνεται εύκολα μέσω του γραφικού περιβάλλοντος του Project Manager όπως φαίνεται στο σχήμα Γ5.



Σχήμα Γ3: Ροή προγραμματισμού CPLD μέσω Foundation Series v1.5.



Σχήμα Γ4: Διαδικασία Implementation για CPLD.



Σχήμα Γ5: Project Manager.

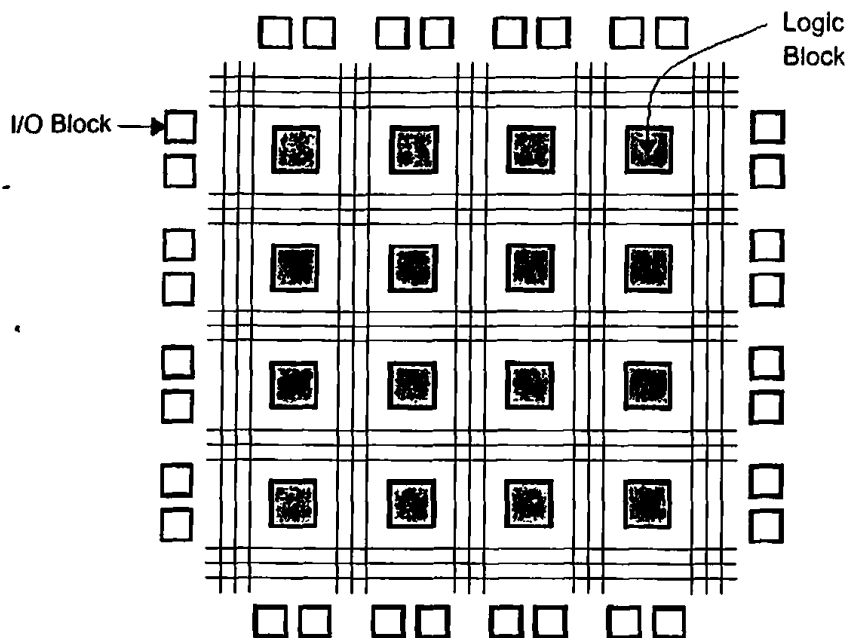
Γ.2 Αρχιτεκτονική ολοκληρωμένων προγραμματιζόμενης λογικής

Γ.2.1 Αρχιτεκτονική των FPGAs.

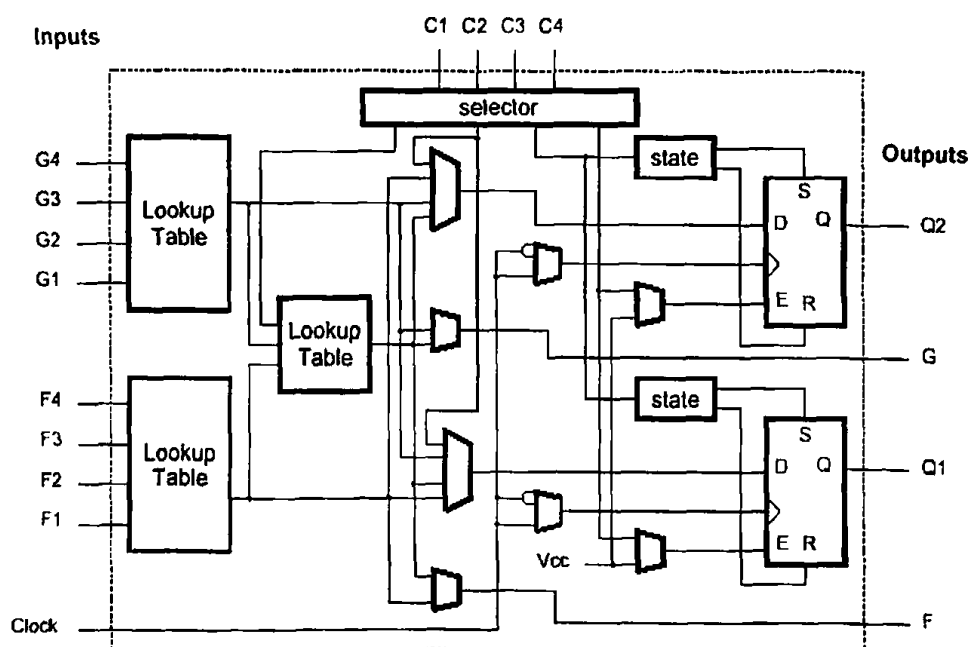
Η βασική δομή των FPGAs της XILINX αποτελείται από διδιάστατη παράταξη λογικών μονάδων οι οποίες μπορούν να διασυνδεθούν μεταξύ τους μέσω κάθετων και οριζόντιων καναλιών. Ένα αναλυτικό διάγραμμα της παραπάνω διάταξης φαίνεται στο σχήμα Γ6. Η XILINX εισήγαγε το 1985 την πρώτη οικογένεια FPGA, την οποία ονόμασε XC2000, και μέχρι σήμερα προσφέρει πέντε ακόμα: XC3000, XC4000, XC5000, VIRTEX και SPARTAN. Η ανάλυση της αρχιτεκτονικής των FPGAs της XILINX επικεντρώνεται στην σειρά XC4000 καθώς είναι σχετικά καινούρια και ευρέως χρησιμοποιούμενη. Στην παρούσα εργασία η σειρά αυτή χρησιμοποιήθηκε για τον προγραμματισμό του VME interface της ακολουθιακής κάρτας του VME. Η πυκνότητα της σειράς αυτής κυμαίνεται από 2000 έως 15000 πύλες ανά ολοκληρωμένο.

Η XC4000 χαρακτηρίζεται από λογικές δομές που ονομάζονται Configurable Logic Blocks (CLBs) των οποίων η λειτουργία βασίζεται στα LTUs (Look Up Tables). Το LTU είναι ένας πίνακας μνήμης του ενός bit και περιέχεται σε ένα CLB. Οι γραμμές διεύθυνσης της μνήμης, δηλαδή του LTU, είναι είσοδοι του CLB και το bit εξόδου της μνήμης είναι η έξοδος του LTU. Έτσι ένα LTU με K εισόδους αντιστοιχεί σε $2^K \times 1$ bit μνήμης και πραγματοποιεί οποιαδήποτε λογική συνάρτηση των K εισόδων του προγραμματίζοντας τον πίνακα αληθείας της συνάρτησης κατευθείαν μέσα στην μνήμη. Ένα CLB της σειράς XC4000 περιέχει τρία ξεχωριστά LTUs, στη διάταξη που φαίνεται στο σχήμα Γ7. Υπάρχουν δύο LTUs με τέσσερις εισόδους, των οποίων οι είσοδοι είναι είσοδοι του CLB, ένα τρίτο LTU το οποίο χρησιμοποιείται σε συνδυασμό με τα προηγούμενα δύο. Με αυτή την διάταξη επιτρέπεται στο CLB να εκτελεί μεγάλη ποικιλία λογικών συναρτήσεων μέχρι και εννέα εισόδων, δύο ξεχωριστές συναρτήσεις των τεσσάρων εισόδων ή οποιοδήποτε άλλο συνδυασμό. Τέλος κάθε CLB περιέχει δύο flip-flops.





Σχήμα Γ6: Δομή FPGA.



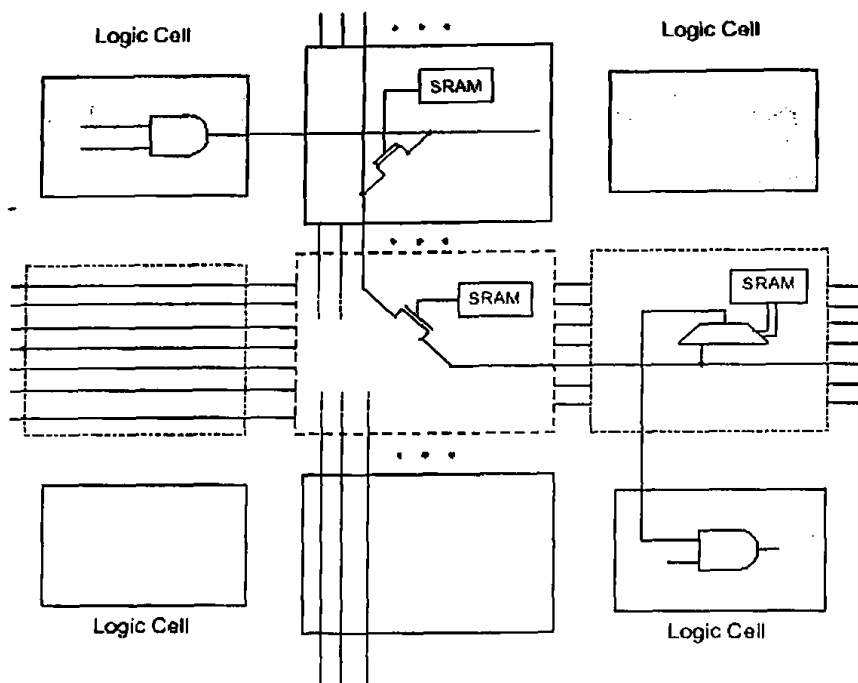
Σχήμα Γ7: XILINX XC4000 CLB.

Τα XC4000 πέρα από την μεγάλη πυκνότητα παρέχουν και άλλες δυνατότητες. Κάθε CLB περιέχει κύκλωμα αριθμητικής λογικής για την γρήγορη παραγωγή των carry και borrow σημάτων. Με Αυτό τον τρόπο λειτουργούν καλύτερα οι adders, οι subtractors, οι accumulators, οι

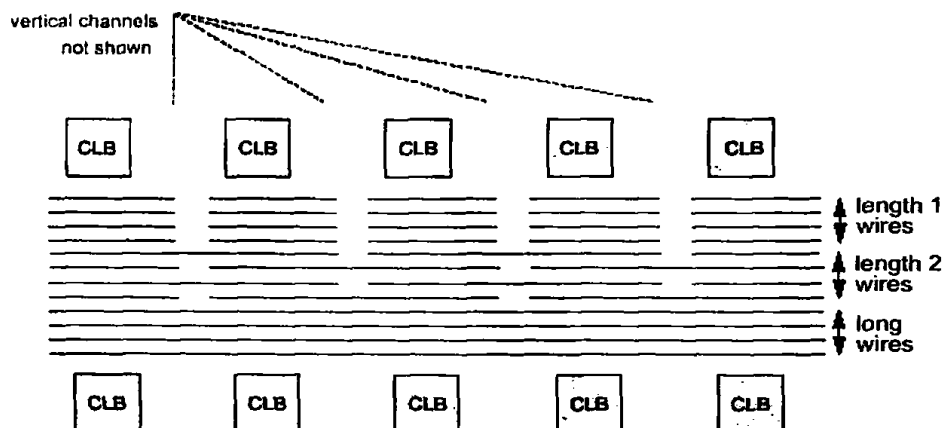
comparators και οι counters. Επίσης τα LTUs σε κάθε CLB μπορούν να προγραμματιστούν ως Read/Write RAM μονάδες. Ειδικά στην οικογένεια XC4000E υπάρχει επιπρόσθετη δυνατότητα η RAM να καθορίζεται και με δύο πόρτες (dual port RAM). Τέλος κάθε ολοκληρωμένο XC4000 περιέχει μεγάλα κομμάτια από πύλες AND στην περιφέρεια κάθε λογικής δομής με τα οποία εκτελούνται λογικές όπως οι αποκωδικοποιήσεις.

Πέρα από την λογική μια άλλη ιδιότητα που χαρακτηρίζει ένα FPGA είναι η δομή που έχει για τις εσωτερικές διασυνδέσεις. Στην οικογένεια XC4000 οι διασυνδέσεις αυτές εκτελούνται μέσω οριζόντιων και κάθετων καναλιών. Κάθε κανάλι περιέχει γραμμές που συνδέουν ένα CLB, μεγαλύτερες γραμμές που συνδέουν δύο CLBs και πολύ μεγάλες γραμμές που συνδέουν όλο το μήκος ή το πλάτος του ολοκληρωμένου. Για την σύνδεση των CLBs με τις γραμμές ή μεταξύ των γραμμών χρησιμοποιούνται προγραμματιζόμενοι διακόπτες και μια τέτοια διασύνδεση φαίνεται στο σχήμα Γ8. όπου το CLB που βρίσκεται πάνω αριστερά συνδέεται με το CLB που βρίσκεται κάτω δεξιά. Ένα μικρό κομμάτι ενός τέτοιου καναλιού που περιέχεται σε ένα XC4000 ολοκληρωμένο φαίνεται στο σχήμα Γ9. Στο σχήμα φαίνονται μόνο οι γραμμές που περιέχει ένα οριζόντιο κανάλι ενώ παραλείπονται τα κάθετα κανάλια, οι είσοδοι και έξοδοι των CLBs και οι προγραμματιζόμενοι διακόπτες. Ένα σημαντικό σημείο είναι ότι οι γραμμές πρέπει να περάσουν από διακόπτες προκειμένου να ενωθούν δύο CLBs. Έτσι η ταχύτητα ενός κυκλώματος που εκτελείται από ένα FPGA εξαρτάται από τον τρόπο με τον οποίο οι γραμμές διανέμονται στα διαφορικά σήματα από τα πακέτα CAD (Circuit Aided Designs).





Σχήμα Γ8: Προγραμματιζόμενοι διακόπτες έλεγχομενοι από SRAM.

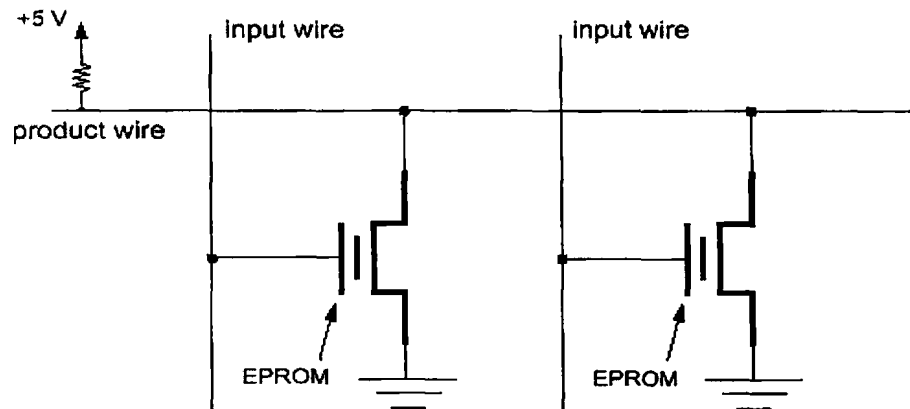


Σχήμα Γ9: Γραμμές διασύνδεσης οριζοντιου καναλιού της οικογένειας XC4000.

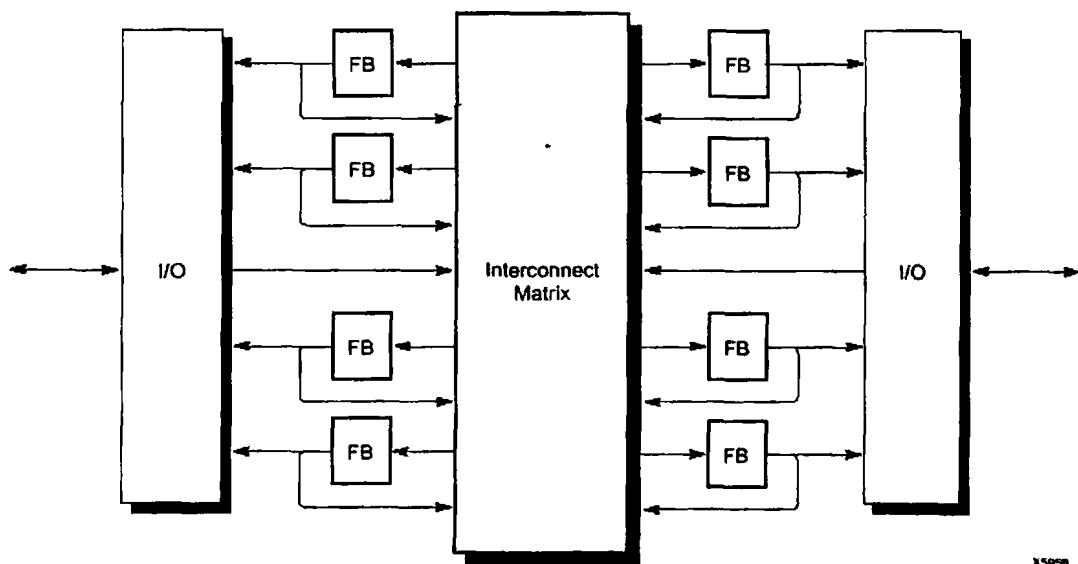
Γ.2.2 Αρχιτεκτονική των CPLDs

Η XILINX παρά το γεγονός ότι παράγει κυρίως FPGAs προσφέρει και μια ποικιλία από CPLDs όπως την οικογένεια XC7200 και την πιο πρόσφατη XC9500. Τα CPLDs αποτελούνται από function blocks (FBs), τα οποία συνδέονται μεταξύ τους μέσω διακοπών. Οι διακόπτες αυτοί είναι τρανζίστορ που ενώνονται μεταξύ δύο γραμμών, όπως στο σχήμα Γ10, σχηματίζοντας

διατάξεις wired-AND. Μια είσοδος στην διάταξη αυτή οδηγεί το product wire σε λογικό επίπεδο '0' μέσω του τρανζίστορ, όταν αυτή χρησιμοποιείται από το πρόγραμμα με το οποίο προγραμματίζεται το CPLD. Για τις εισόδους που δεν χρησιμοποιούνται τα αντίστοιχα τρανζίστορ παραμένουν κλειστά. Η γενική δομή της αρχιτεκτονικής ενός CPLD της XILINX φαίνεται στο σχήμα Γ11.



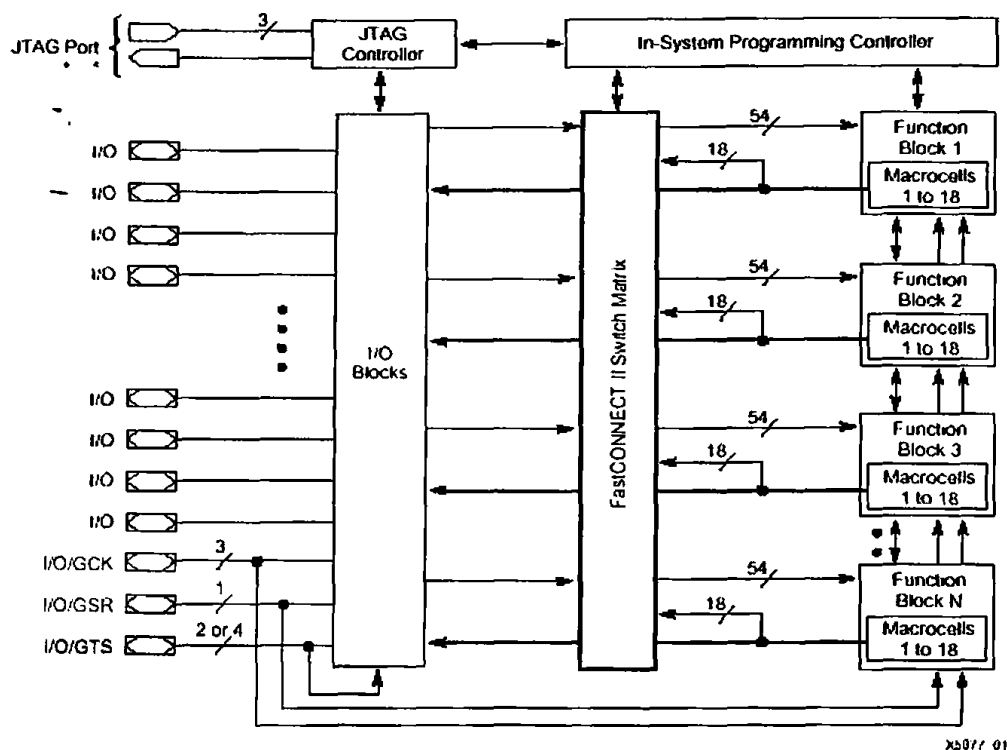
Σχήμα Γ10: Προγραμματιζόμενοι διακόπτες.



Σχήμα Γ11: Αρχιτεκτονική CPLD.

Η XC95000 είναι η πιο διαδεδομένη οικογένεια της XILINX. Κάθε CPLD της οικογένειας αυτής αποτελείται από FBs, I/O Blocks και προγραμματιζόμενους διακόπτες (FastConnect switch matrix). Κάθε FB παρέχει προγραμματιζόμενη λογική με 36 εισόδους και 18 εξόδους. Το

FastConnect switch matrix ενώνει όλες τις εξόδους των FBs και τα σήματα εισόδου στις εισόδους των FBs, όπως φαίνεται στο σχήμα Γ12. Για κάθε FB 12 έως 18 εξοδοι, ανάλογα με τον αριθμό των ακροδεκτών, ενώνονται απευθείας με τα I/O Blocks.



Σχήμα Γ12: Αρχιτεκτονική των XC9500.

Η οικογένεια XC9500 παρέχει ολοκληρωμένα πυκνότητας 800 έως 6400 πύλες χρησιμοποιώντας 36 έως 288 macrocells, επιτρέπει το κλείδωμα των ακροδεκτών κατά τον προγραμματισμό, παρέχει προγραμματιζόμενους ακροδέκτες γείωσης για την μείωση του θορύβου και επιτυγχάνει μέχρι και 5ης καθυστέρηση μεταξύ δύο ακροδεκτών. Τέλος τα I/O Blocks είναι δυνατό να λειτουργήσουν είτε σε 5V είτε σε 3.3V, κάνοντας το CPLD συμβατό με συστήματα που λειτουργούν με 5V ή με 3.3V.

Γ.3 Προγραμματισμός ολοκληρωμένων προγραμματιζόμενης λογικής.

Γ.3.1 Προγραμματισμός FPGA.

Ο προγραμματισμός ενός FPGA γίνεται με δύο τρόπους. Ο πρώτος πραγματοποιείται με την χρήση μιας σειριακής μνήμης PROM (Bit-Serial Configuration) και απαιτείται περίπου 1 microsecond για κάθε bit προγράμματος. Για τον προγραμματισμό ενός FPGA απαιτούνται από 14819 bits για το μικρότερο FPGA (XC3020) έως 2797040 bits για το μεγαλύτερο (XC40125XV). Κατά συνέπεια ο χρόνος προγραμματισμού κυμαίνεται από μερικά milliseconds έως μερικές εκατοντάδες milliseconds. Ο δεύτερος τρόπος γίνεται μέσω παράλληλης μνήμης PROM ή ενός επεξεργαστή (Byte Parallel Configuration) και είναι πολύ πιο γρήγορος από τον σειριακό τρόπο.

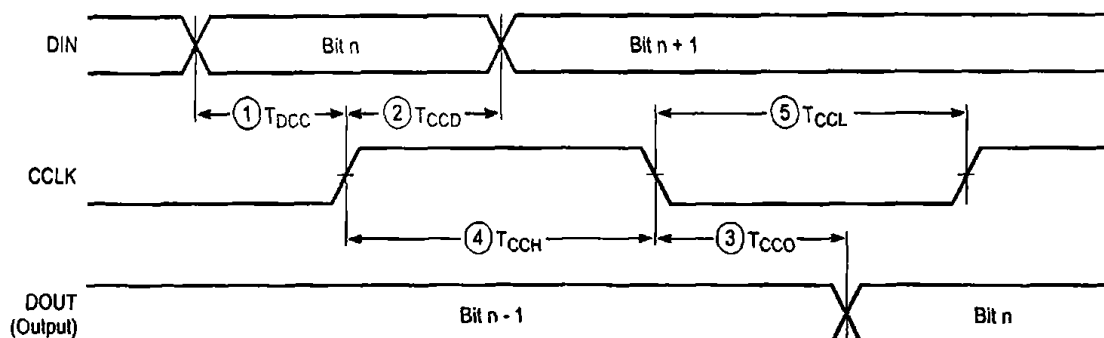
Η επιλογή του τρόπου προγραμματισμού επιλέγεται μέσω τριών ακροδεκτών, των M0, M1 και M2. Στον πίνακα Γ1 φαίνονται οι τρόποι προγραμματισμού για τους συνδυασμούς των M0, M1 και M2. Για τον προγραμματισμό ενός FPGA χρησιμοποιείται το καλώδιο XChecker το οποίο προγραμματίζει σε Slave Serial Mode ($\langle M0, M1, M2 \rangle = \langle 1, 1, 1 \rangle$). Σε αυτή την κατάσταση το FPGA δέχεται σειριακά τα δεδομένα προγραμματισμού στην ακμή ανόδου του CCLK (Configuration Clock). Ο χρονισμός των σημάτων για τον προγραμματισμό του FPGA σε Slave Serial Mode φαίνεται στο σχήμα Γ13.



Πίνακας Γ1: Τρόποι προγραμματισμού.

Mode	M2	M1	M0	CCLK	Data
Master Serial	0	0	0	output	Bit-Serial
Slave Serial	1	1	1	input	Bit-Serial
Master Parallel Up	1	0	0	output	Byte-Wide, increment from 00000
Master Parallel Down	1	1	0	output	Byte-Wide, decrement from 3FFFF
Peripheral Synchronous*	0	1	1	input	Byte-Wide
Peripheral Asynchronous	1	0	1	output	Byte-Wide
Reserved	0	1	0	—	—
Reserved	0	0	1	—	—

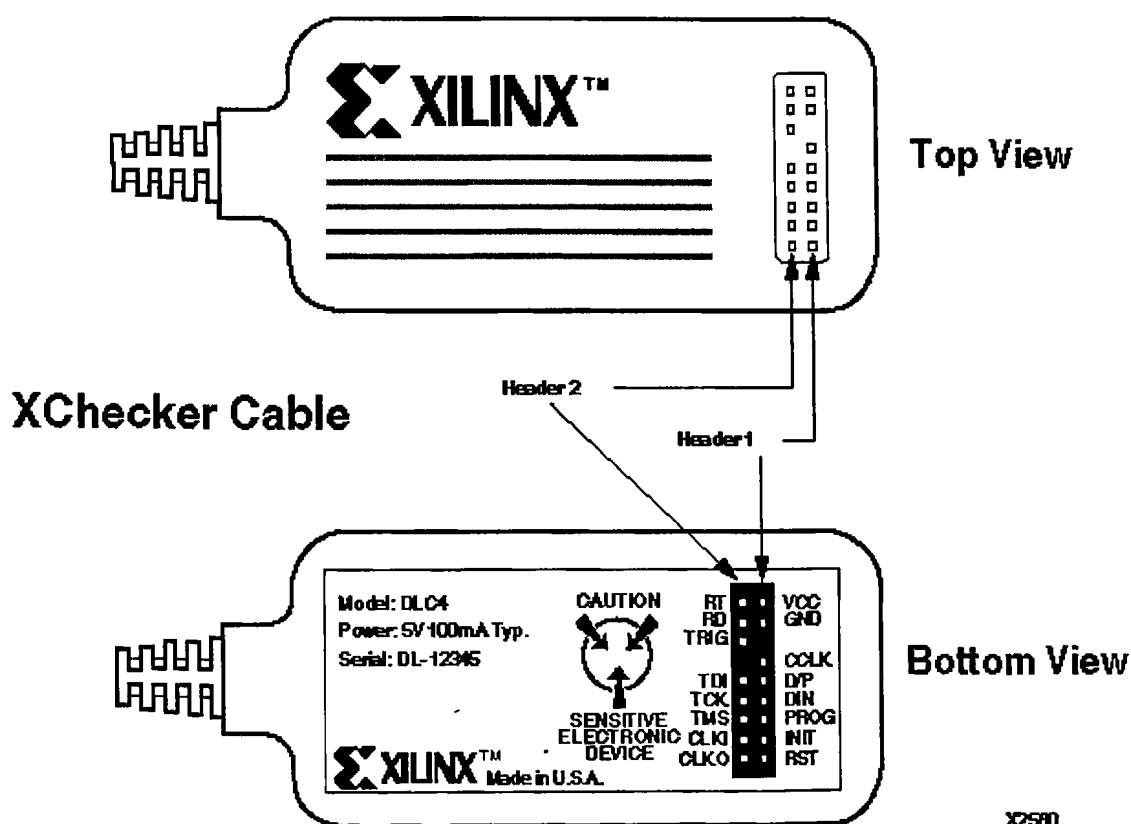
* Can be considered byte-wide Slave Parallel



Σχήμα Γ13: Χρονισμοί σημάτων προγραμματισμού των FPGA σε Slave Serial Mode.

Το καλώδιο XChecker χρησιμοποιείται για τον προγραμματισμό, την επαλήθευση και τον έλεγχο των λαθών του προγράμματος. Περιέχει κύκλωμα που αποτελείται από ένα FPGA, το οποίο λειτουργεί ως διεπαφή μεταξύ του software του XChecker και του FPGA που πρόκειται να προγραμματιστεί, μια Static RAM, στην οποία αποθηκεύονται τα δεδομένα για τον προγραμματισμό και τον έλεγχο του FPGA και ένα κύκλωμα ταλαντωτή μέσω του οποίου παρέχεται το ρολόι για τον χρονισμό του προγραμματισμού και του ελέγχου του FPGA. Το καλώδιο XChecker έχει 14 ακροδέκτες σημάτων επιπλέον των ακροδεκτών VCC και GND. Στο σχήμα Γ14 φαίνονται το πάνω και το κάτω

μέρος του XChecker ενώ στους πίνακες Γ2 και Γ3 δίνονται οι ονομασίες των ακροδεκτών του, οι συνδέσεις τους ανάλογα με την λειτουργία του XChecker και οι ορισμοί τους. Στα σχήματα Γ15 έως Γ19 φαίνονται οι συνδεσμολογίες για τις διαφορές λειτουργίες του XChecker.



Σχήμα Γ14: Απεικόνιση καλωδίου XChecker.

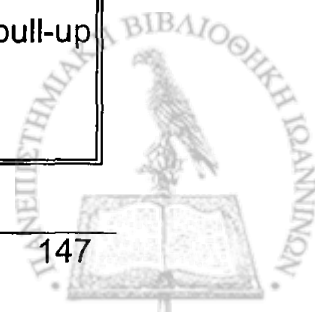
Πίνακας Γ2: Ονομασία ακροδεκτών XChecker και συνδεσμολογία λειτουργίας.

Cable Header	Pin Name	Download	Verification	Synchronous Logic Probe	Asynchronous Logic Probe
1	VCC	X	X	X	X
1	GND	X	X	X	X
1	CCLK	X	X	X	X
1	D/P	X			
1	DIN	X			
1	PROG (XC4000 only)	X			
1	INIT (XC3000/XC4000 only)	X			
1	RST	Opt	Opt	Opt	Opt
2	RT		X	X	X
2	RD		X	X	X
2	TRIG			Opt	Opt
2	TDI				
2	TCK				
2	TMS				
2	CLKI			Opt	
2	CLKO			X	
X = Connect as specified in the "Cable Connections and Definitions" table. Opt = Optional					

Πίνακας Γ3: Ορισμοί ακροδεκτών XChecker.

Signal Name	Function	XC3000	XC4000	XC5200
VCC	Power - Supplies VCC to cable (5 V, 100 mA, typically)	Connect to target system.		
GND	Ground - Supplies ground reference to cable	Connect to target system ground.		
CCLK	Configuration Clock - Provides configuration clock to target system during configuration and readback	Connect to target system Configuration Clock. Ensure all devices are in slave serial mode if using download cable to download.		
D/P	Done/Program - Signals the end of configuration (For XC3000 devices, a High-to-Low transition on D/P coupled with a High to Low on Reset, causes the device to reprogram.)	Connect to D/P pin with a 10-50 kilohm pull-up resistor.	Connect to target system DONE pin and rely on internal 2-8 kilohm pull-up resistors.	
DIN	Data In - Provides configuration data to target system during configuration and is tristated at all other times	Connect to target system's lead device DIN pin.		

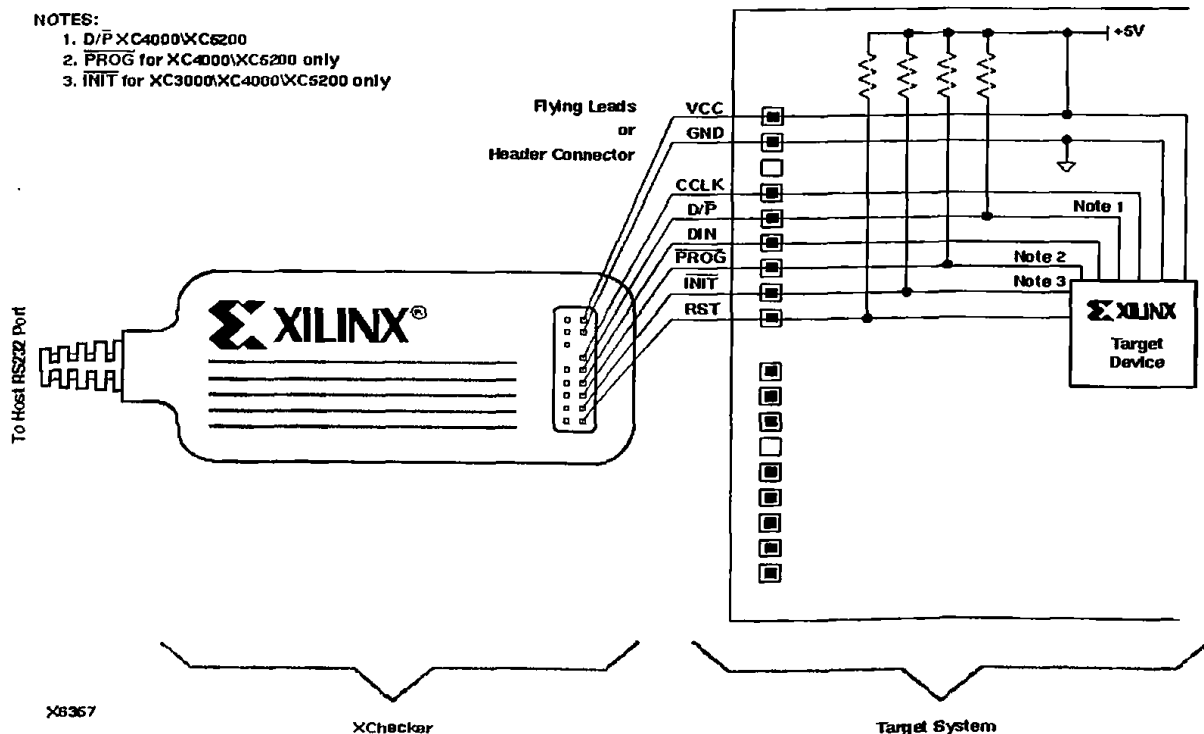
PROG (XC4000 Only)	<i>Program</i> - 300ns or greater Low pulse causes device to reprogram (A Low indicates the device is clearing its configuration memory.)	N/A	Connect to target system PROG with 10-50 kilohm pull-up resistor.
INIT	<i>Initialize</i> - Indicates start of configuration for XC3000/XC4000 parts. A logical zero on this pin during configuration indicates a data error	Connect to target system INIT with a 10-50 kilohm pull-up resistor.	
RST	<i>Reset</i> - During configuration, a Low pulse causes XC3000A devices to restart configuration After configuration, this pin can drive Low to reset target FPGA internal latches and flip-flops RST is the active high for XC4000/XC5200 devices	Connect to target FPGA RESET pin with 10-50 kilohm pull-up resistor.	User-programmable connection; requires a 10-50 kilohm pull-up resistor
RT	<i>Read Trigger</i> - XChecker output Hardware Debugger provides Low-to-High transition	Connect to M0/RTRIG with 10-50 kilohm pull-up resistor.	User-programmable connection; requires 10-50 kilohm pull-up resistor



	on RT to initiate readback		
RD	<i>Read Data</i> - XChecker input Hardware Debugger receives the readback data through the RD pin after readback is initiated.	Connect to M1/RDATA through pull-up resistor in slave serial configuration mode; requires a 10-50 kilohm pull-up resistor if using I/O pad as input or output	User-programmable connection; requires 10-50 kilohm pull-up resistor if using I/O pad as input or output
TRIG	<i>System Trigger</i> - XChecker input High on this pin signals the XChecker electronics to initiate a readback and causes the RT pin to go High	Connect to target system readback trigger and to an external pin if using an external signal to trigger readback.	
TDI TCK TMS	Reserved (These pins can be used for JTAG Programmer device configuration.)	N/A	
CLKI	<i>Clock Input</i> - Transmits your system clock to the XChecker electronics Clock must be between 120 kHz and 10 MHz Connect this pin to target system clock to	Connect to source of target system clock for synchronous debugging.	

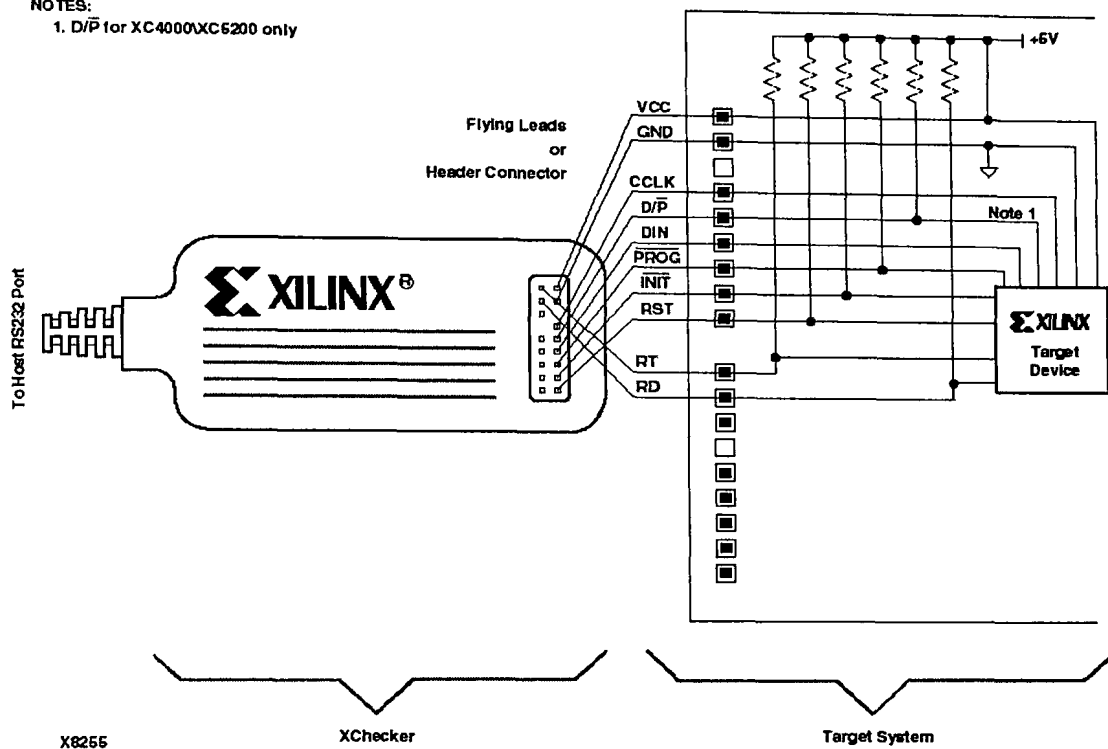


	synchronize the readback trigger with target system clock	
CLKO	<i>Clock Output</i> - Drives target system clock Clock can come from either the CLKI pin, or it can be internally generated by the XChecker Cable when CLKI is unconnected	Connect to destination of target system clock for synchronous debugging.

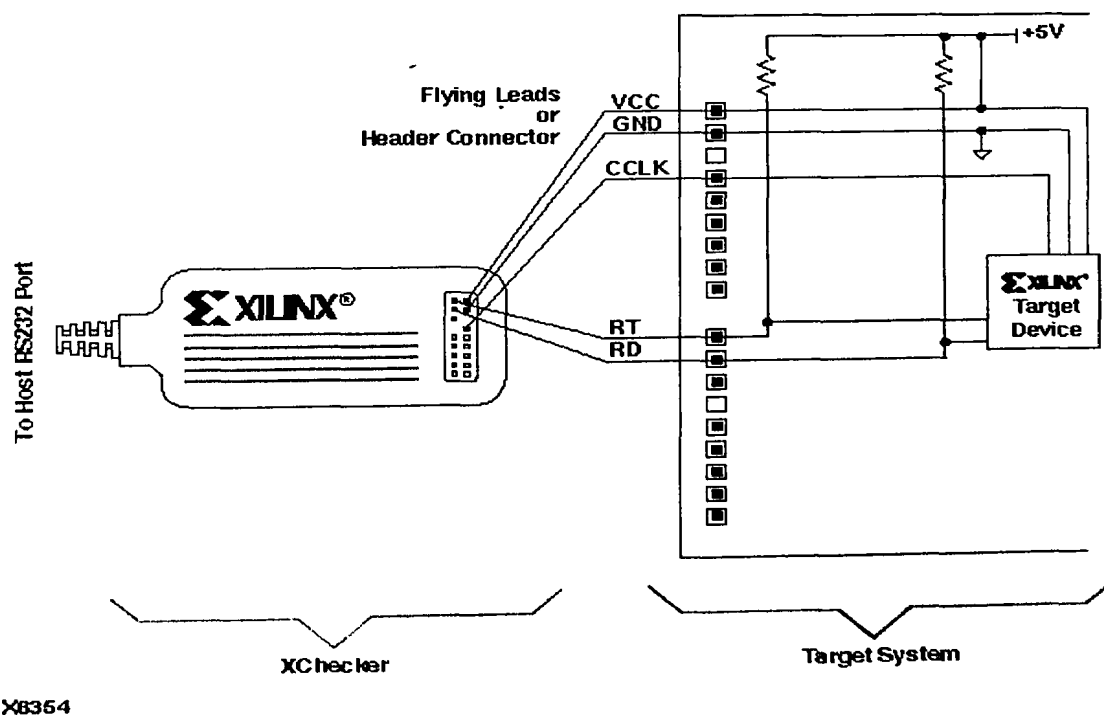


Σχήμα Γ15: Συνδεσμολογία XChecker για προγραμματισμό του FPGA.

NOTES:
1. D/P for XC4000/XC6200 only



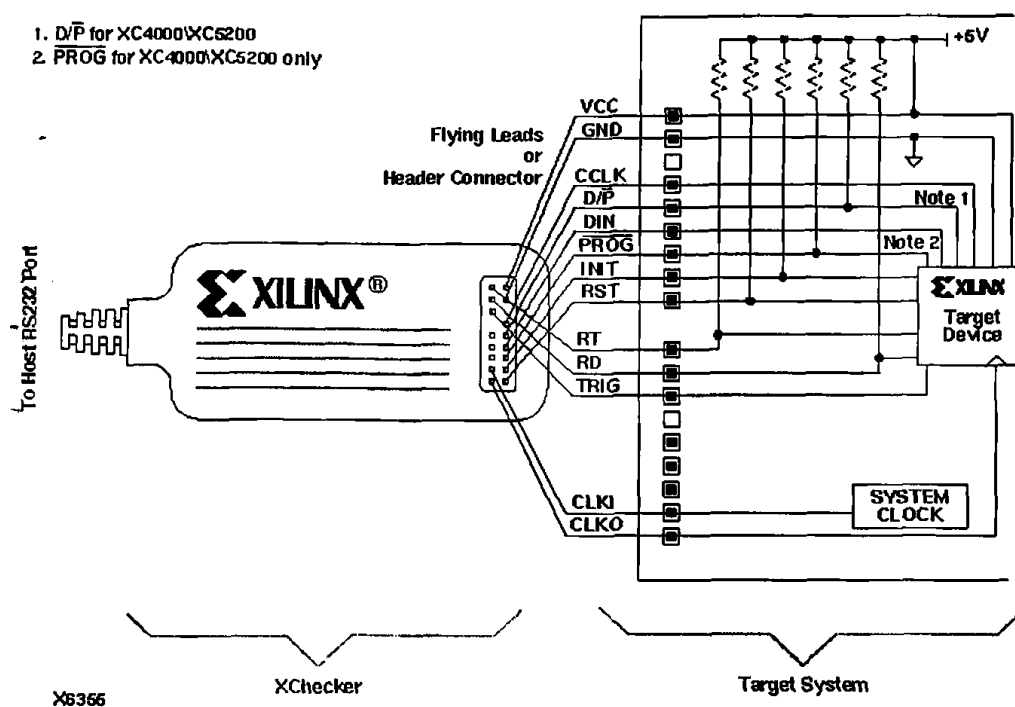
Σχήμα Γ16: Συνδεσμολογία XChecker για προγραμματισμό και έλεγχο του FPGA.



Σχήμα Γ17: Συνδεσμολογία XChecker για έλεγχο του FPGA.

NOTES:

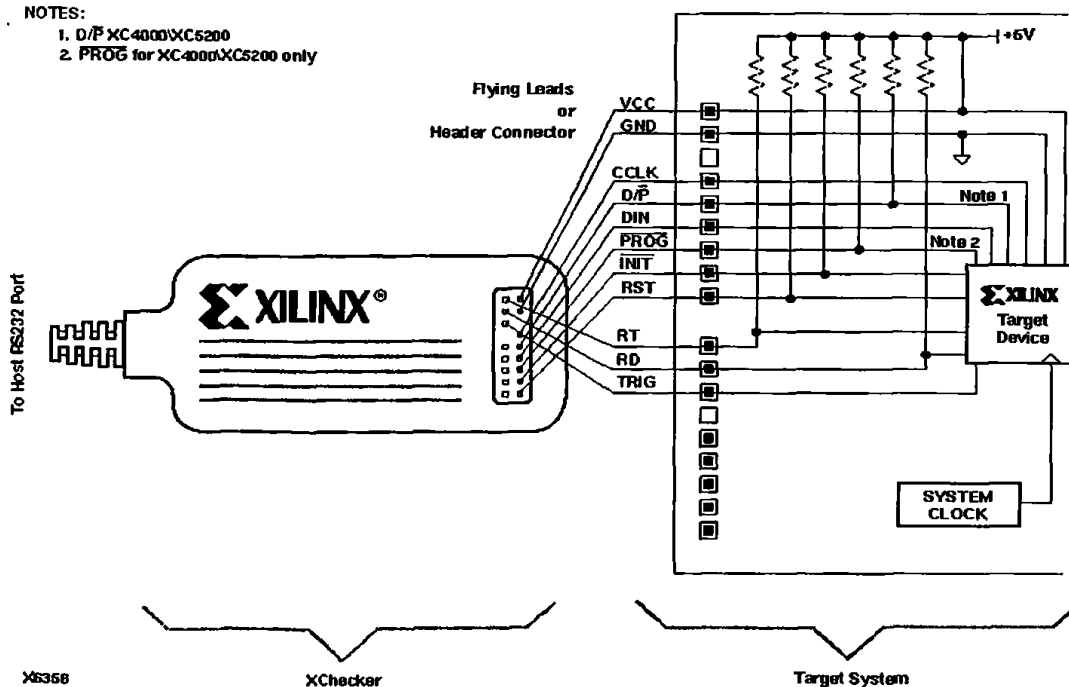
1. D/P for XC4000/XC5200
2. PROG for XC4000/XC5200 only



Σχήμα Γ18: Συνδεσμολογία XChecker για λειτουργία Synchronous Debugging.

NOTES:

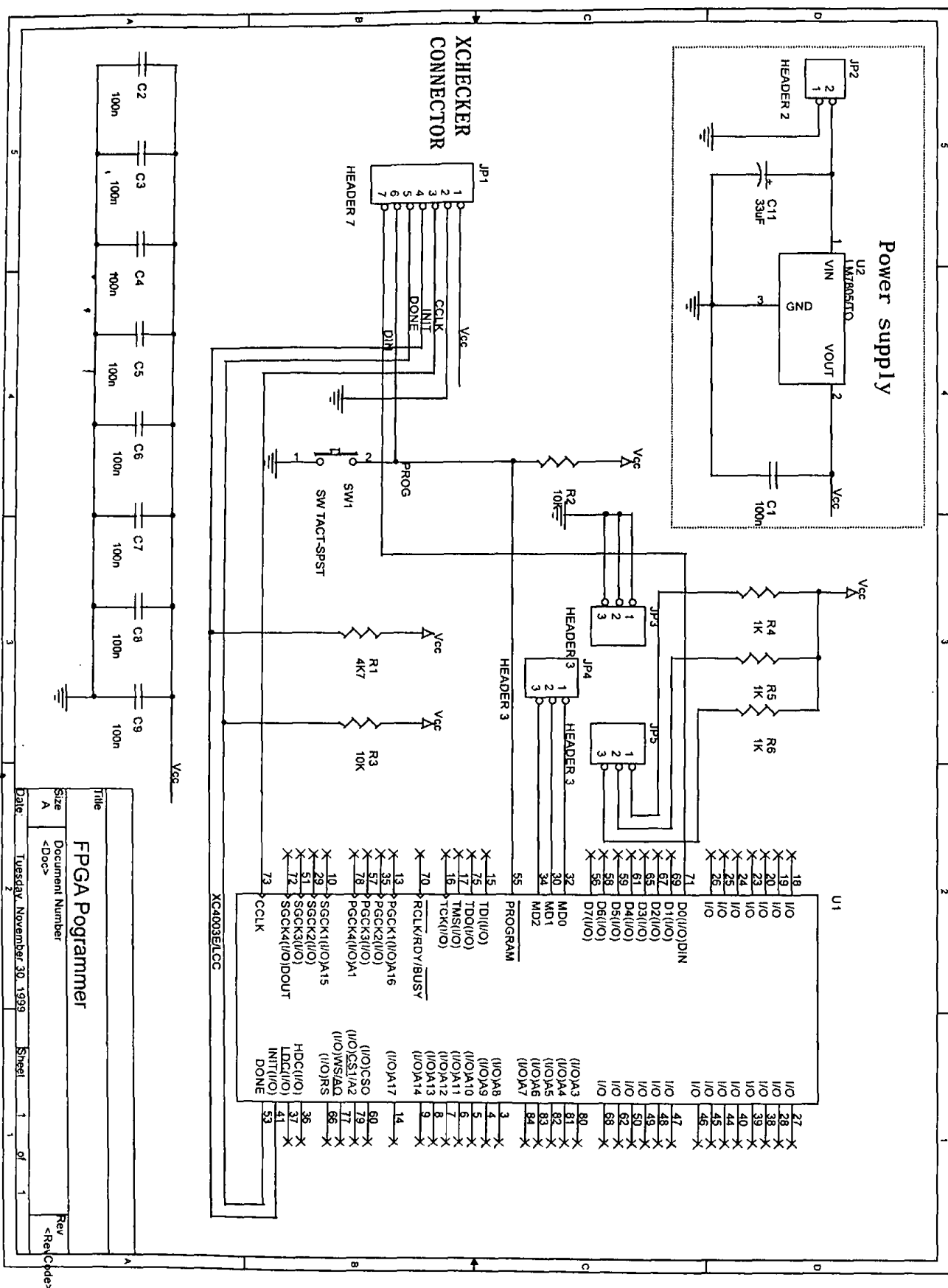
1. D/P XC4000/XC5200
2. PROG for XC4000/XC5200 only



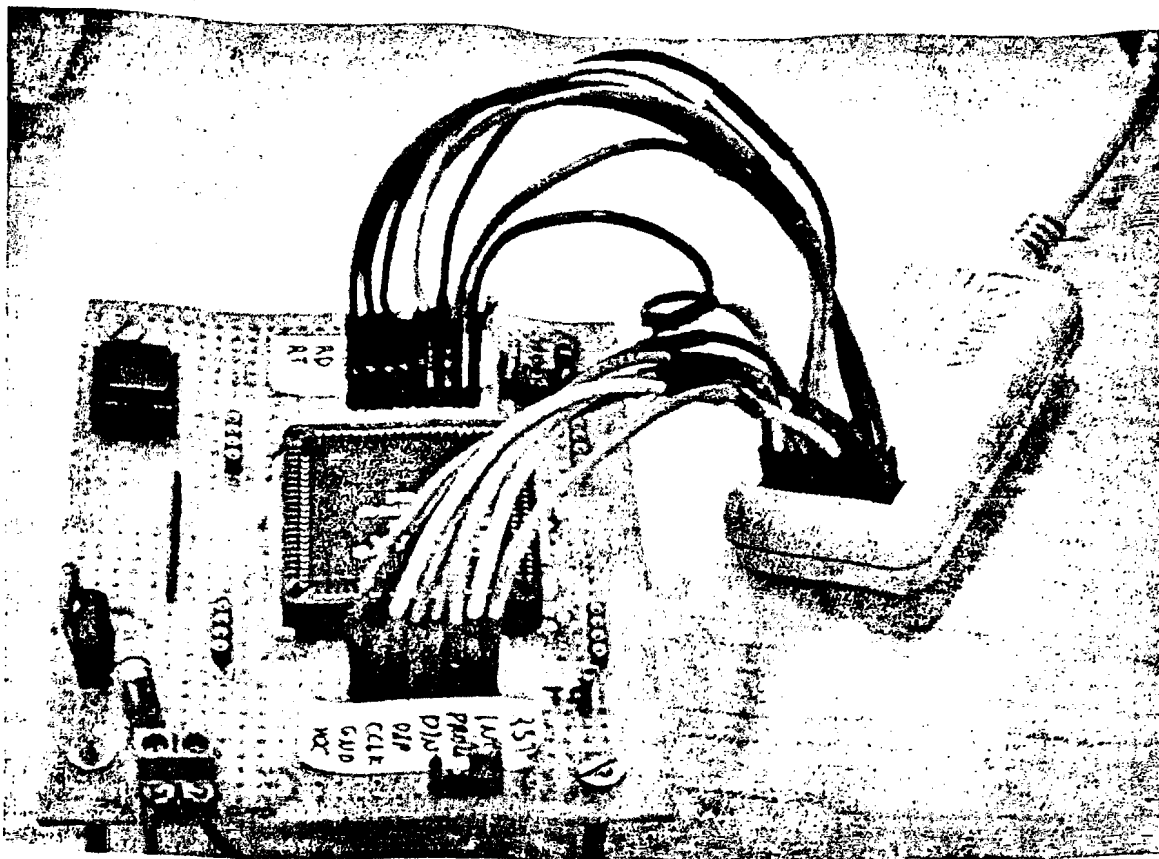
Σχήμα Γ19: Συνδεσμολογία XChecker για λειτουργία Asynchronous Debugging.

Ο προγραμματισμός του FPGA πραγματοποιείται με μια πλακέτα ειδικά κατασκευασμένη για τον σκοπό αυτό. Από τα παραπάνω είναι αντιληπτό ότι η κάθε οικογένεια FPGA προγραμματίζεται διαφορετικά, κατά συνέπεια η συγκεκριμένη πλακέτα προγραμματίζει μόνο FPGA της οικογένειας XC4000 και πιο συγκεκριμένα το XC4003E-PC84. Το σχηματικό της πλακέτας προγραμματισμού φαίνεται στο σχήμα Γ20 και στην εικόνα Γ.1 φαίνεται η πλακέτα προγραμματισμού για FPGA XC4003E που κατασκευάστηκε σε διάτρητη πλακέτα.





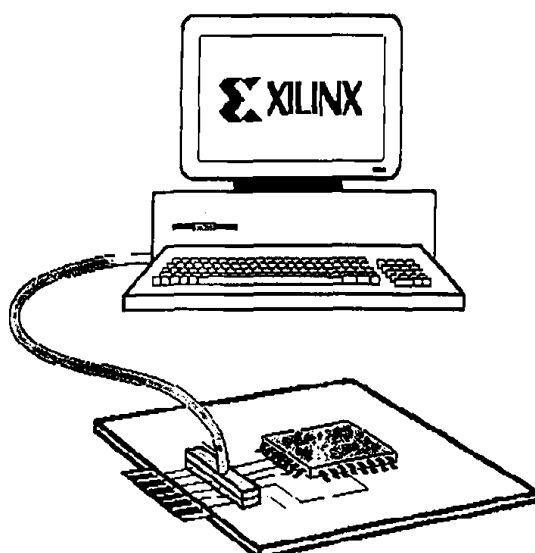
Σχήμα Γ20: Σχηματικό πλακέτας προγραμματικού FPGA XC4003-PC84.



Εικόνα Γ.1: Εικόνα πλακέτας προγραμματικού FPGA XC4003-PC84.

Γ.3.2 Προγραμματισμός CPLD.

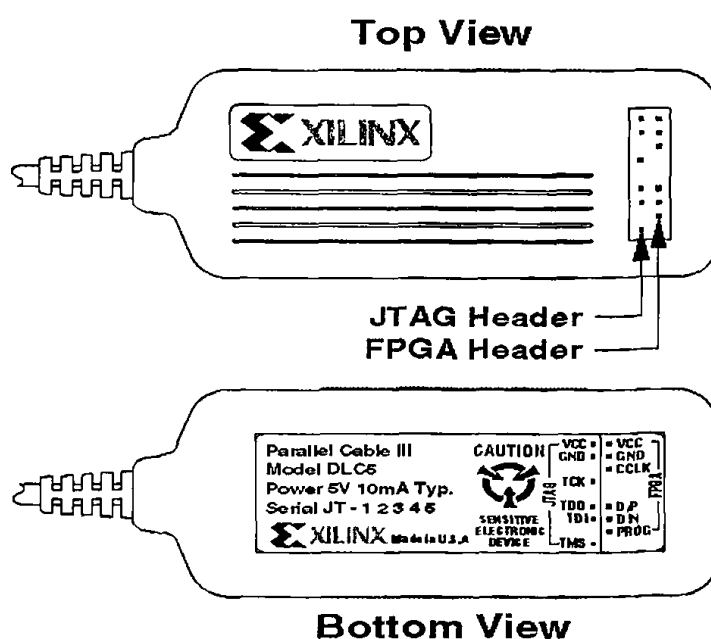
Ο προγραμματισμός των CPLDs της οικογένειας XC95000 της XILINX πραγματοποιείται χρησιμοποιώντας το πρωτόκολλο IEEE 1149.1 Boundary-Scan (JTAG) και με την βοήθεια του ενός καλωδίου παράλληλης επικοινωνίας, του Parallel Cable. Το ολοκληρωμένο είναι δυνατό να προγραμματιστεί είτε σε μια ξεχωριστή πλακέτα ειδικά κατασκευασμένη για το λόγο αυτό είτε πάνω στο σύστημα για το οποίο προορίζεται. Για τον προγραμματισμό απαιτείται ένα PC και το Parallel Cable συνδεδεμένα στην διάταξη του σχήματος Γ21.



Σχήμα Γ21: Διάταξη προγραμματικού CPLD.

Στα σχήμα Γ22 φαίνεται το πάνω και το κάτω μέρος του Parallel Cable. Επίσης στο σχήμα Γ23 φαίνεται η διάταξη συνδεσμολογίας του Parallel Cable με τους ακροδέκτες των CPLDs για τον προγραμματισμό τους, ενώ στον πίνακα Γ4 Υπάρχουν οι ορισμοί και οι λειτουργίες των ακροδεκτών αυτών.

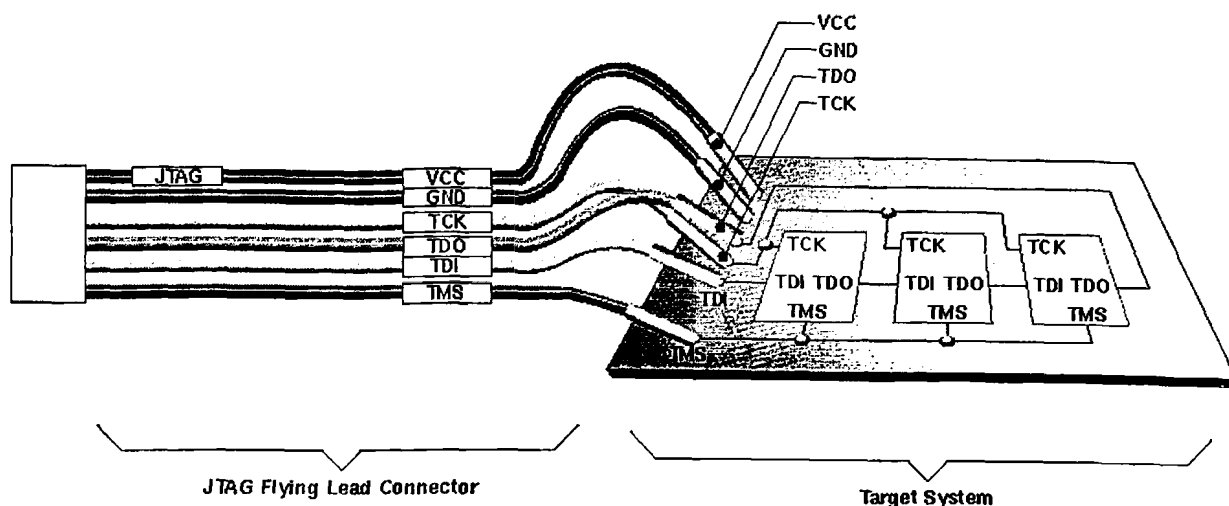
Parallel Cable



Σχήμα Γ22: Πάνω και κάτω μέρος του Parallel Cable.

X7262





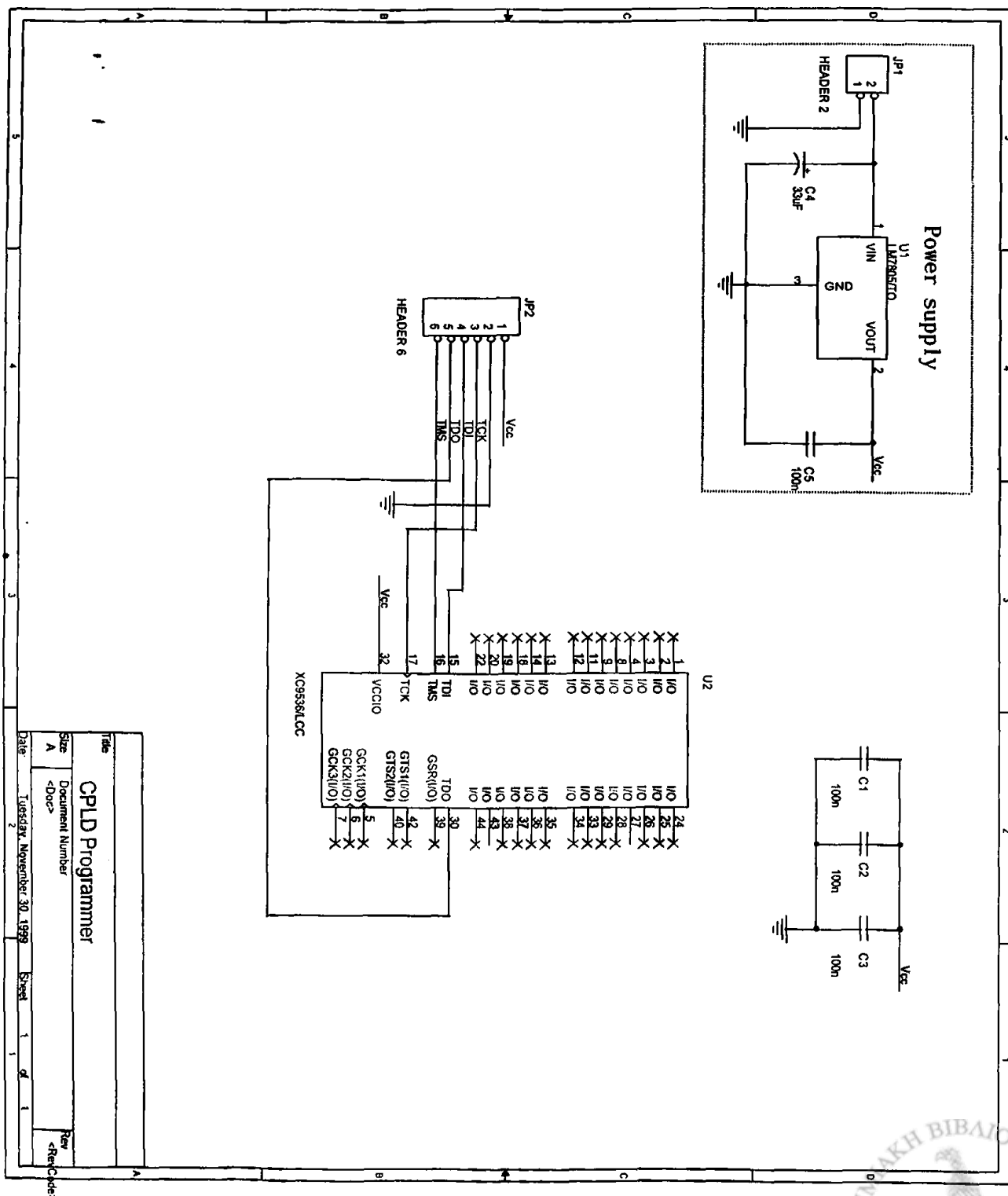
X8005

Σχήμα Γ23: Διάταξη συνδεσμολογίας του Parallel Cable για προγραμματισμό CPLD.

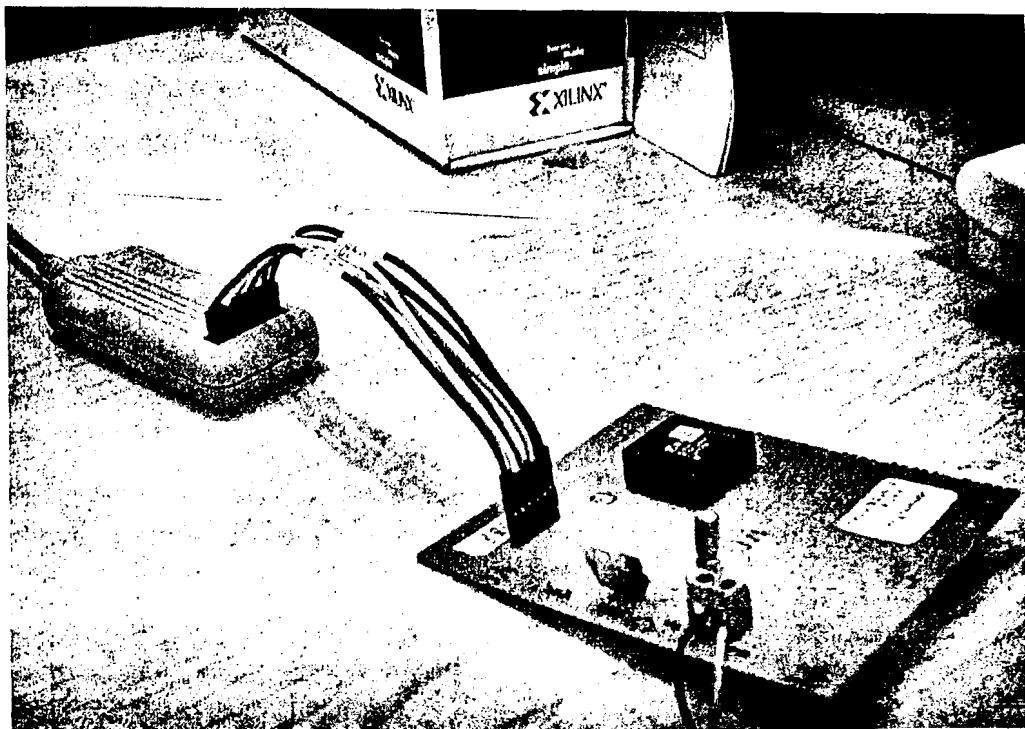
Πίνακας Γ4: Ορισμοί και λειτουργίες ακροδεκτών Parallel Cable.

Name	Function	Connections
VCC	Power - Supplies V_{CC} (5 V, 10 mA, typically) to the cable.	To target system V_{CC}
GND	Ground - Supplies ground reference to the cable.	To target system ground
TCK	Test Clock - this clock drives the test logic for all devices on boundary-scan chain.	Connect to system TCK pin.
TDO	Read Data - Read back data from the target system is read at this pin.	Connect to system TDO pin.
TDI	Test Data In - this signal is used to transmit serial test instructions and data.	Connect to system TDI pin.
TMS	Test Mode Select - this signal is decoded by the TAP controller to control test operations.	Connect to system TMS pin.

Ο προγραμματισμός των CPLDs XC9536-5-PC44 γίνεται πάνω σε μια πλακέτα η οποία κατασκευάστηκε ειδικά για τον σκοπό αυτό. Το σχηματικό της φαίνεται στο σχήμα Γ24 και στην εικόνα Γ.2 φαίνεται η πλακέτα προγραμματισμού για CPLD XC9536-5 που κατασκευάστηκε σε διάτρητη πλακέτα.



Σχήμα Γ24: Σχηματικό πλακέτας προγραμματισμού CPLD XC9536-5-PC44.

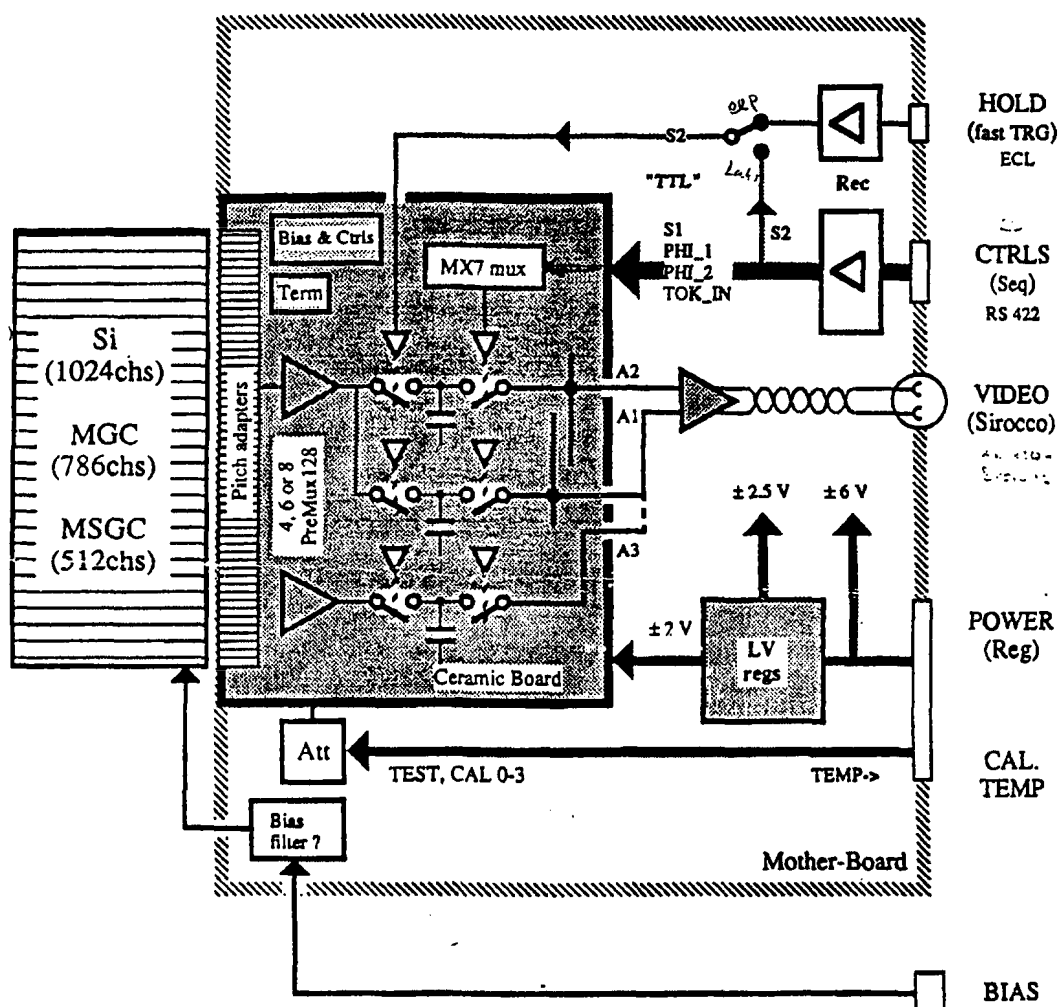


Σχήμα Γ24: Εικόνα πλακέτας προγραμματισμού CPLD XC9536-5-PC44.

Παράρτημα Δ

Η μητρική κάρτα του PreMux128

Η χρήση του PreMux128 γίνεται μέσω της μητρικής κάρτας του. Σε αυτή έχουν προσαρτηθεί τέσσερα ολοκληρωμένα PreMux128 ενωμένα μεταξύ τους με τον τρόπο που παρουσιάζεται στο σχήμα 4.8 της παραγράφου 4.1.6. Στην μητρική κάρτα περιέχονται οδηγοί (drivers) για τα σήματα χρονισμού των τεσσάρων PreMux128, ενισχυτής εξόδου των αναλογικών σημάτων με διαφορεική έξοδο και κύκλωμα τροφοδοσίας $\pm 6V$, $\pm 2.5V$ και $\pm 2V$. Στο σχήμα Δ.1 φαίνεται το δομικό διάγραμμα της μητρικής κάρτας. Επίσης στα σχήματα Δ.2, Δ.3 και Δ.4 φαίνονται ο τρόπος τοποθέτησης των ολοκληρωμένων πάνω στην μητρική πλακέτα του PreMux, τα σχηματικά για τους drivers των σημάτων χρονισμού, τις εισόδους της μητρικής για τις γραμμές βαθμονόμησης, τη διάταξη του ενισχυτή εξόδου των αναλογικών σημάτων και οι τροφοδοσίες της μητρικής. Τέλος στην εικόνα Δ.1 φαίνεται η μητρική πλακέτα του PreMux.



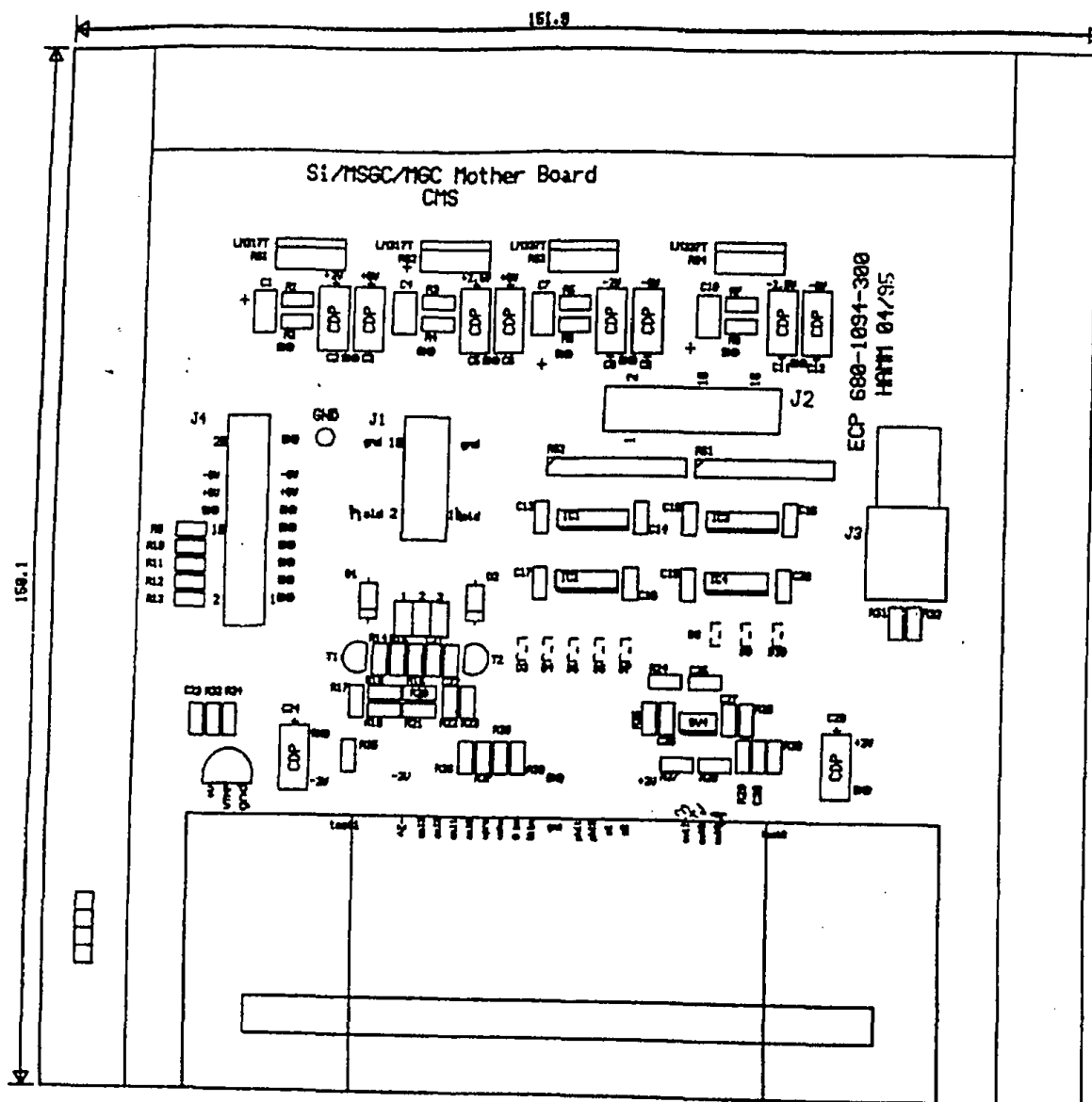
MOTHER BOARD

(CMS, Tracker, B-test95, Block Diagram)

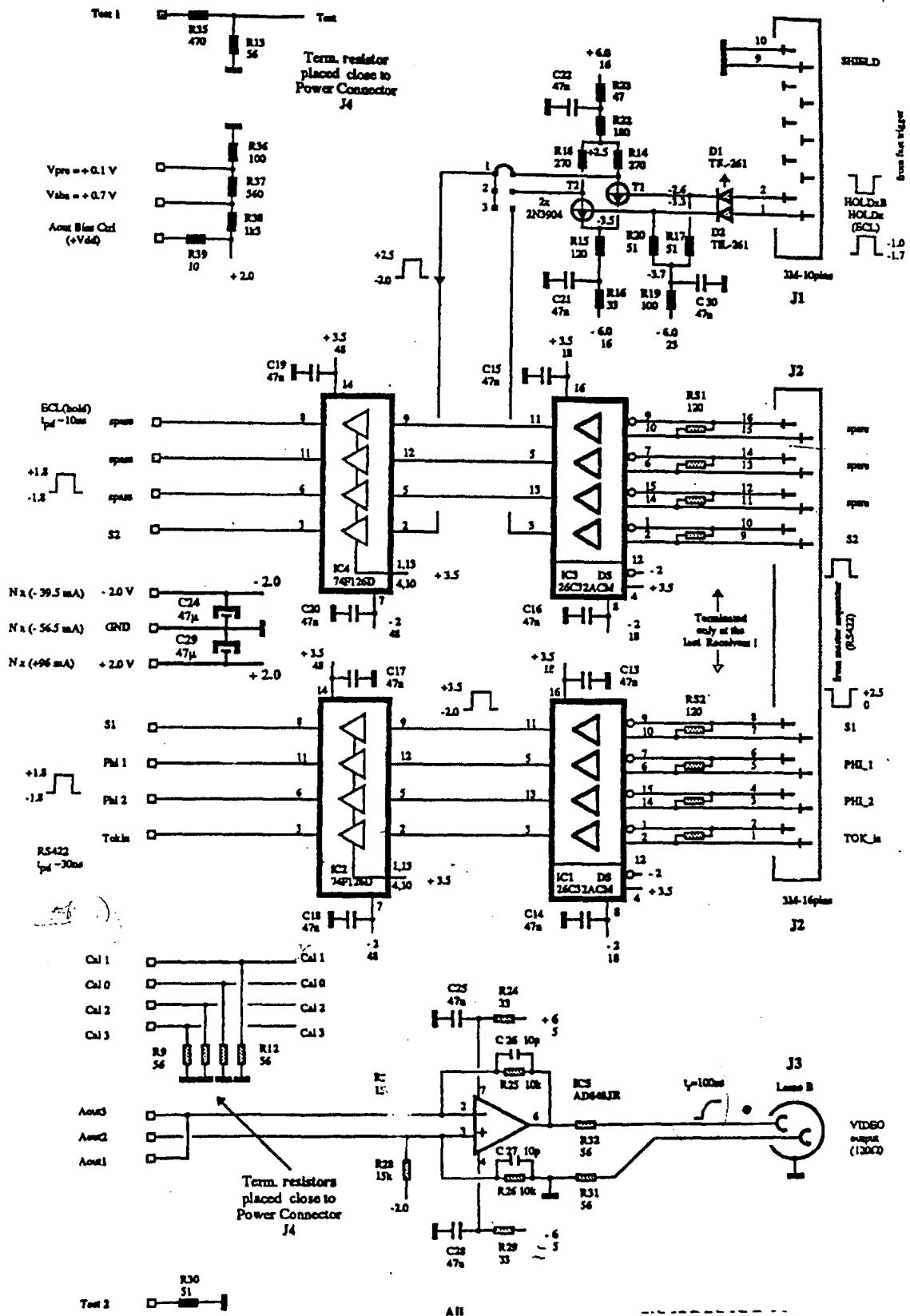
File : CMS01/b-test95/MB/bik-diag Date : 4-11-94 Mod : 28-2-95

Σχήμα Δ.1: Δομικό διάγραμμα μητρικής κάρτας.



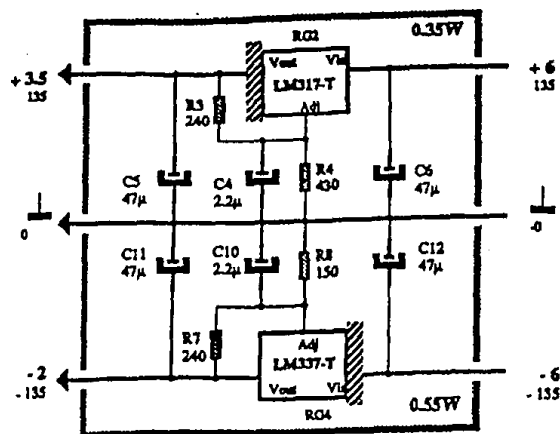


Σχήμα Δ.2: Τρόπος τοποθέτησης των ολοκληρωμένων πάνω στην μητρική πλακέτα του PreMux.

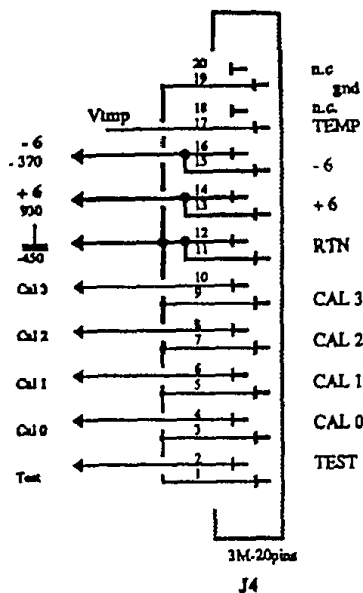
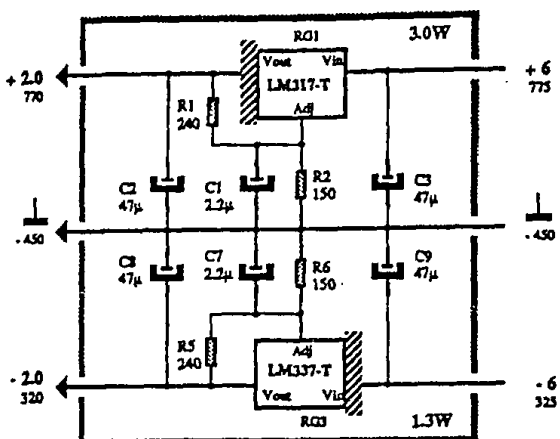


Σχήμα Δ.3: Σχηματικά των drivers για τα σήματα χρονισμού των PreMux128, των εισόδων της μητρικής για τις γραμμές βαθμονόμησης και του ενισχυτή εξόδου.

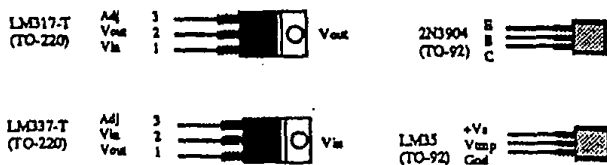
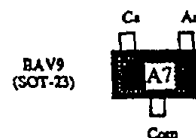
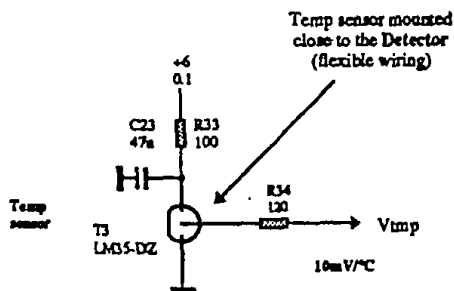
for Mother Board only (0.75 W)



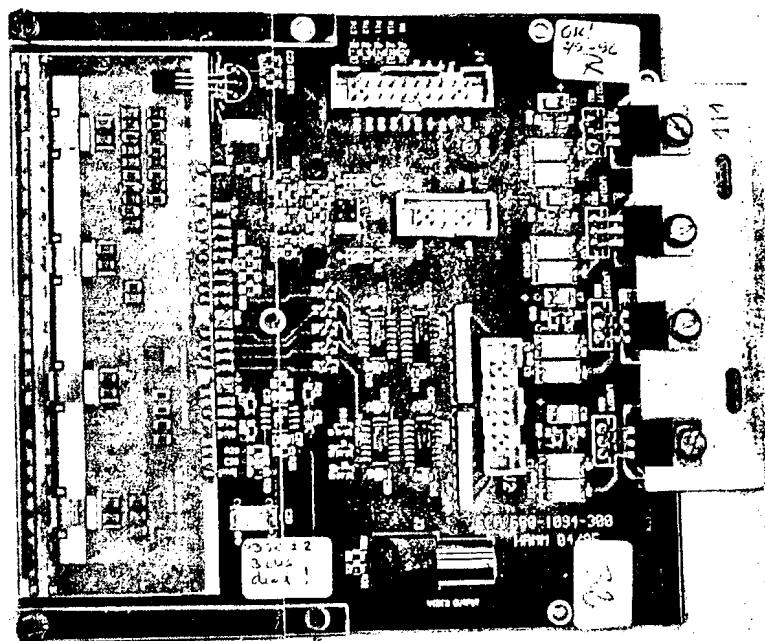
for Ceramic Board only (2.2 W)



All small
C's and R's
SMD's size 1206



Σχήμα Δ.5: Σχηματικό τροφοδοσιών της μητρικής.



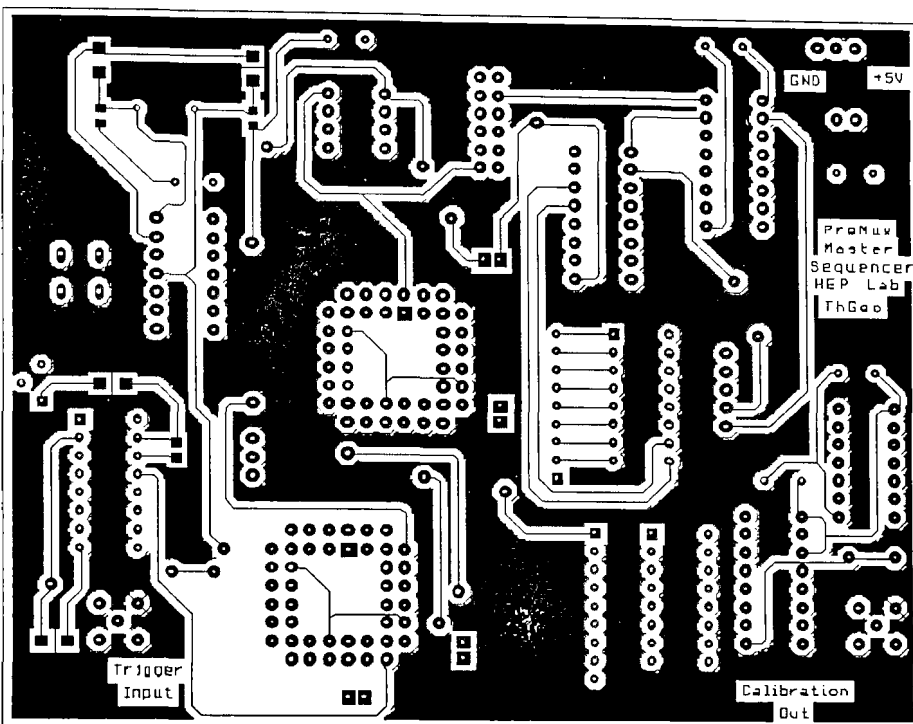
Εικόνα Δ.1: Μητρική πλακέτα του PreMux.

Παράρτημα Ε

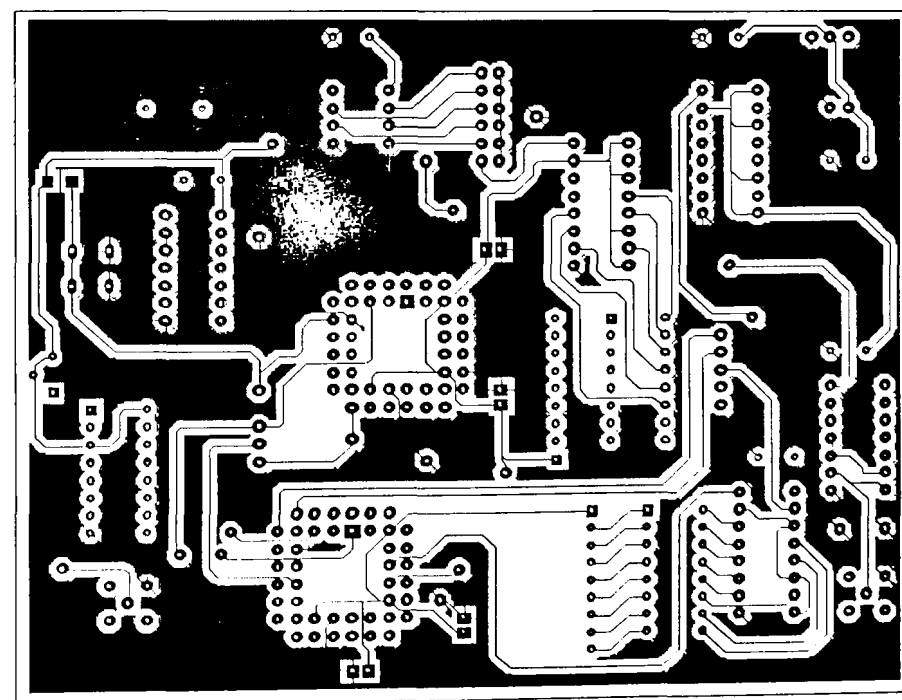
Ε.1 Στοιχεία τυπωμένου κυκλώματος

Στο παράρτημα αυτό παρατίθενται τα Layouts της πλακέτας του DAQ State Machine, της πλακέτας που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης και η λίστα των υλικών που χρησιμοποιήθηκαν κατά την κατασκευή της ακολουθιακής κάρτας.

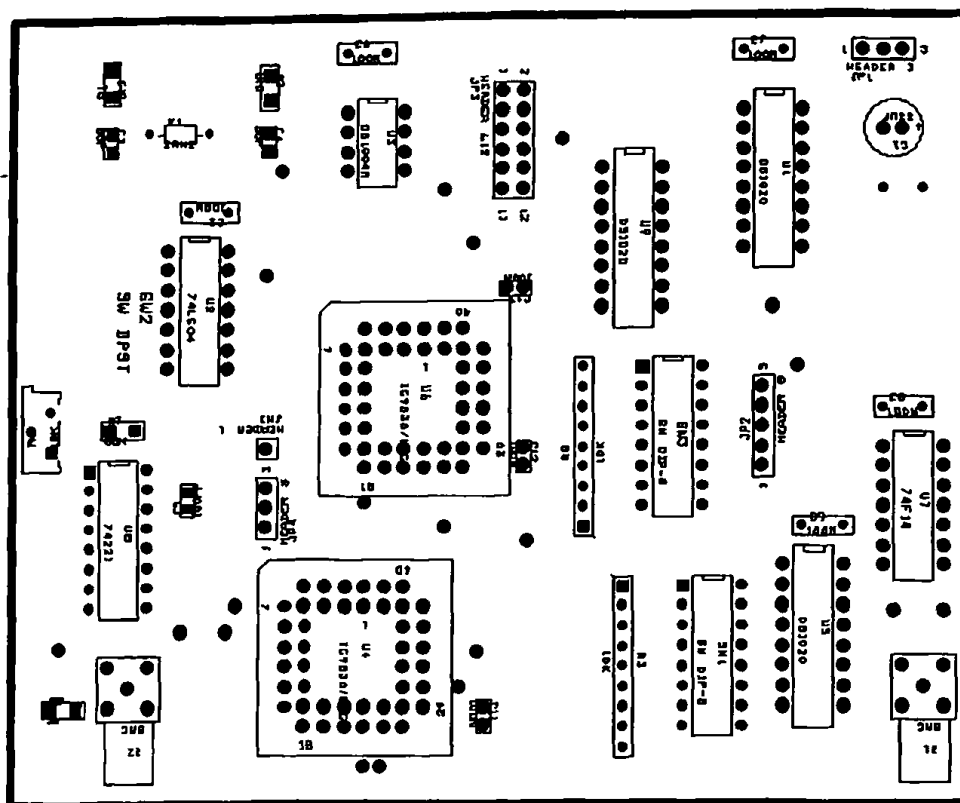
Τα Layout της μονάδας DAQ State Machine της πλακέτας που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης έγιναν μέσω του προγράμματος OrCAD Layout 9.0. Στα σχήματα Ε.1, Ε.2 και Ε.3 φαίνονται τα Layout της πάνω πλευρά, της κάτω πλευράς και η τοποθεσία των ολοκληρωμένων πάνω στην πλακέτα της μονάδας DAQ State Machine. Τέλος στα Ε.4, Ε.5 και Ε.6 φαίνονται τα Layout της πάνω πλευρά, της κάτω πλευράς και η τοποθεσία των ολοκληρωμένων πάνω στην πλακέτα που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης.



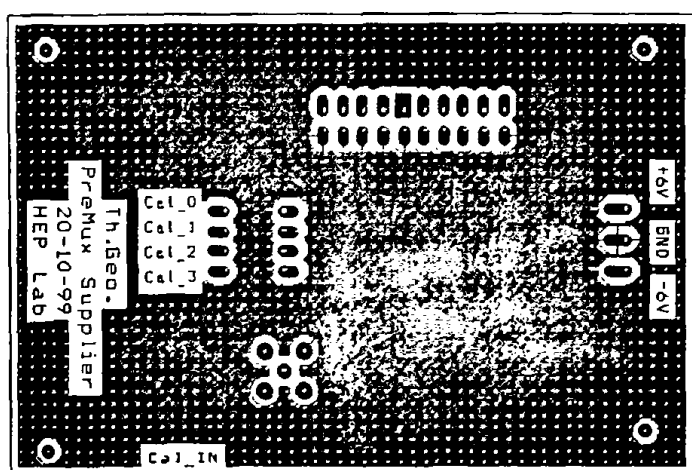
α Ε.1: Layout της πάνω πλευράς της πλακέτας της μονάδας DAQ State Machine.



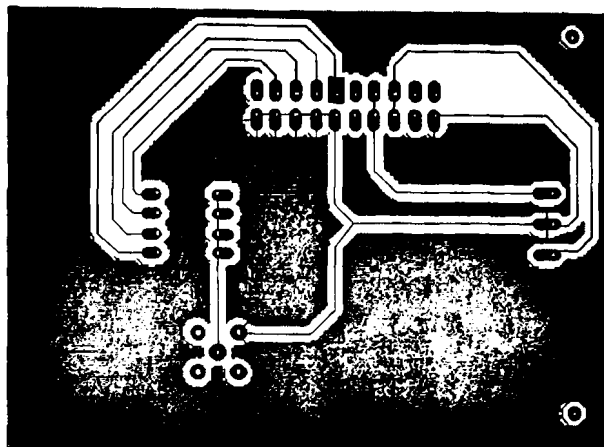
α Ε.2: Layout της κάτω πλευρά της πλακέτας της μονάδας DAQ State Machine.



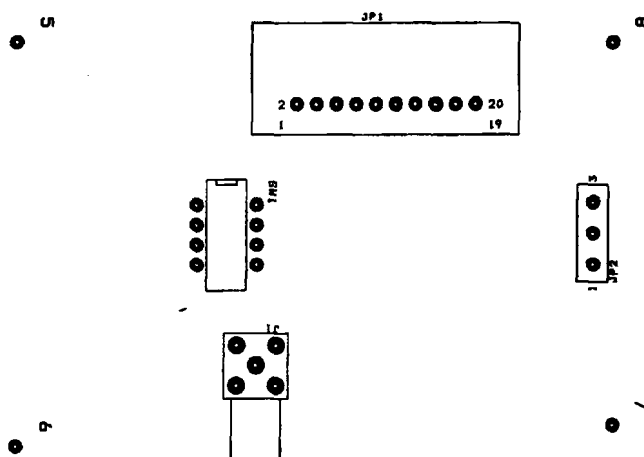
Σχήμα E.3: Τοποθεσία των ολοκληρωμένων πάνω στην πλακέτα της μονάδας DAQ State Machine.



Σχήμα E.4: Layout της πάνω πλευράς της πλακέτας που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης.



Σχήμα E.5: Layout της κάτω πλευρά της πλακέτας της στην πλακέτα που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης.



Σχήμα E.6: Τοποθεσία των ολοκληρωμένων πάνω στην πλακέτα στην πλακέτα που χρησιμοποιείται για την παροχή μέσω flat cable της τροφοδοσίας της μητρικής πλακέτας του PreMux και του παλμού βαθμονόμησης.

Η λίστα των υλικών που χρησιμοποιήθηκαν για κάθε μονάδα της ακολουθιακής κάρτας ξεχωριστά φαίνεται παρακάτω:

DAQ PCB Schematic Revised: Monday, October 25, 1999
Revision:



Item	Quantity	Reference	Part
1	1	C1	33uF
2	15	C2,C5,C6,C7,C8,C9,C10, C11,C12,C13,C14,C15,C16, C17,C18	100n
3	2	C4,C3	68p
4	1	JH1	HEADER 1
5	2	JP1,JP4	HEADER 3
6	1	JP2	HEADER 5
7	1	JP3	HEADER 6X2
8	2	J1,J2	BNC
9	3	R1,R2,R3	RESISTOR
10	1	U1	DS1020
11	1	U2	74LS04
12	1	U3	DS1004M
13	2	U4,U6	XC9536/LCC
14	1	U5	74ABT16244/SO
15	1	U7	74F14
16	1	Y1	2MHz

 RS-422 DRIVERS Revised: Friday, January 28, 2000
 Revision:

Bill Of Materials January 28,2000 3:38:54 Page1

Item	Quantity	Reference	Part
1	1	J1	CON16A
2	1	J2	CON5
3	2	U2,U1	AM26C31C

 CPLD Programmer Revised: Tuesday, November 30, 1999
 Revision:

Bill Of Materials January 28,2000 3:39:29 Page1

Item	Quantity	Reference	Part
1	4	C1,C2,C3,C5	100n
2	1	C4	33uF
3	1	JP1	HEADER 2
4	1	JP2	HEADER 6
5	1	U1	LM7805/TO
6	1	U2	XC9536/LCC



FPGA Pogrammer Revised: Tuesday, November 30, 1999
Revision:

Bill Of Materials January 28,2000 3:40:07 Page1

Item	Quantity	Reference	Part
1	9	C1,C2,C3,C4,C5,C6,C7,C8,C9	100n
2	1	C11	33uF
3	1	JP1	HEADER 7
4	1	JP2	HEADER 2
5	3	JP3,JP4,JP5	HEADER 3
6	1	R1	4K7
7	2	R2,R3	10K
8	3	R4,R5,R6	1K
9	1	SW1	SW TACT-SPST
10	1	U1	XC4003E/LCC
11	1	U2	LM7805/TO

RS422 Drivers Revised: Sunday, October 24, 1999
Revision:

Bill Of Materials January 28,2000 3:40:45 Page1

Item	Quantity	Reference	Part
1	1	JP1	HEADER 10X2
2	1	JP2	HEADER 3
3	1	J1	BNC
4	1	SW1	SW DIP-4

CPLD interface Revised: Friday, January 28, 2000
Revision:

Bill Of Materials January 28,2000 13:25:05 Page1

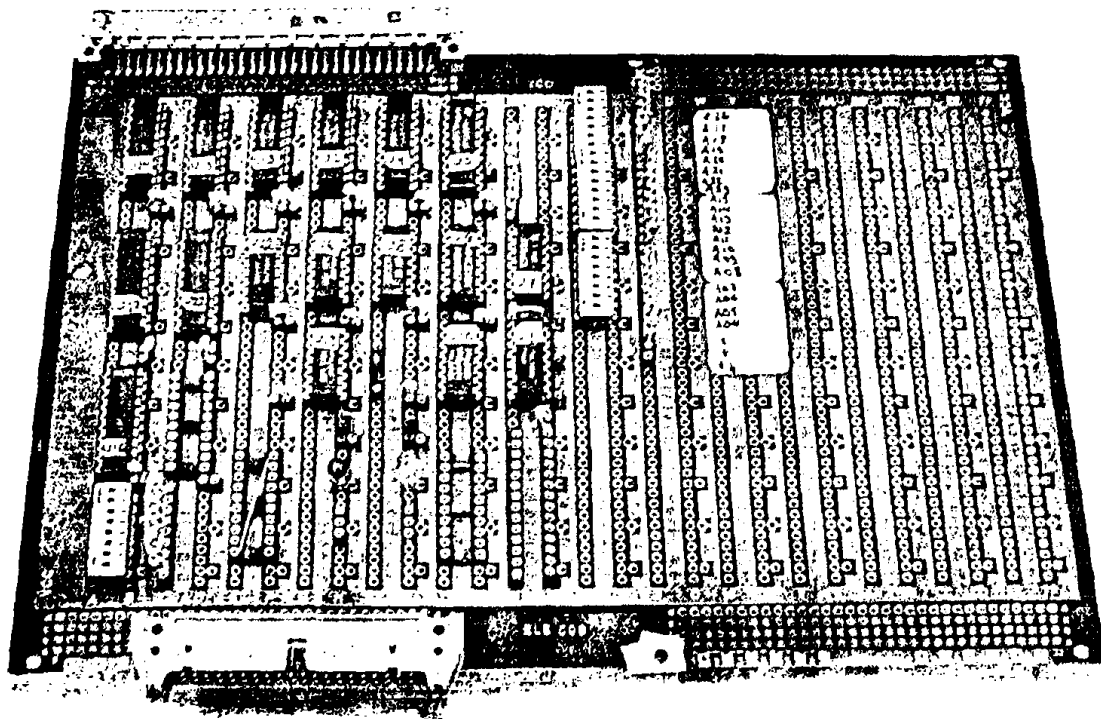
Item	Quantity	Reference	Part
------	----------	-----------	------



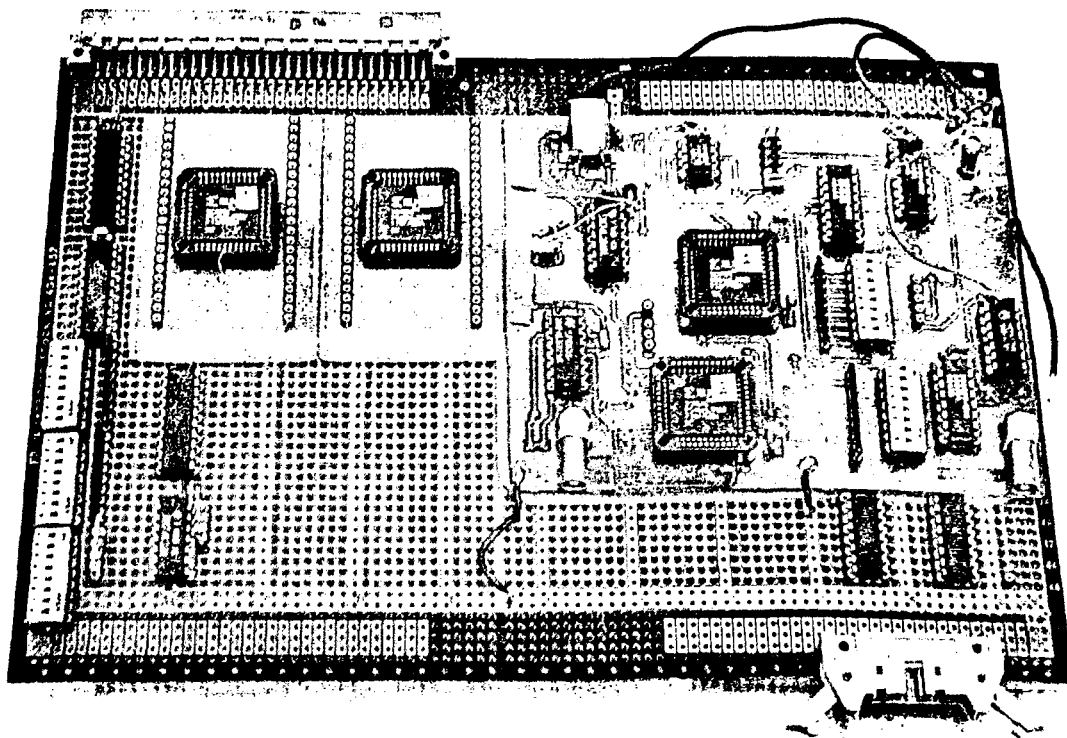
1	20	R1,R2,R3,R4,R5,R6,R7,R8, R9,R10,R11,R12,R13,R14, R15,R16,R17,R18,R19,R20	10K
2	2	S2,S1 SW DIP-8	
3	1	S3 SW DIP-3	
4	2	U1,U2 XC9536	
5	1	U3 74S38	
6	2	U5,U4 74ALS645	
7	8	U6,U7,U8,U9,U10,U11,U12, U13	74ALS573

E.2 Εικόνες ακολουθιακής κάρτας

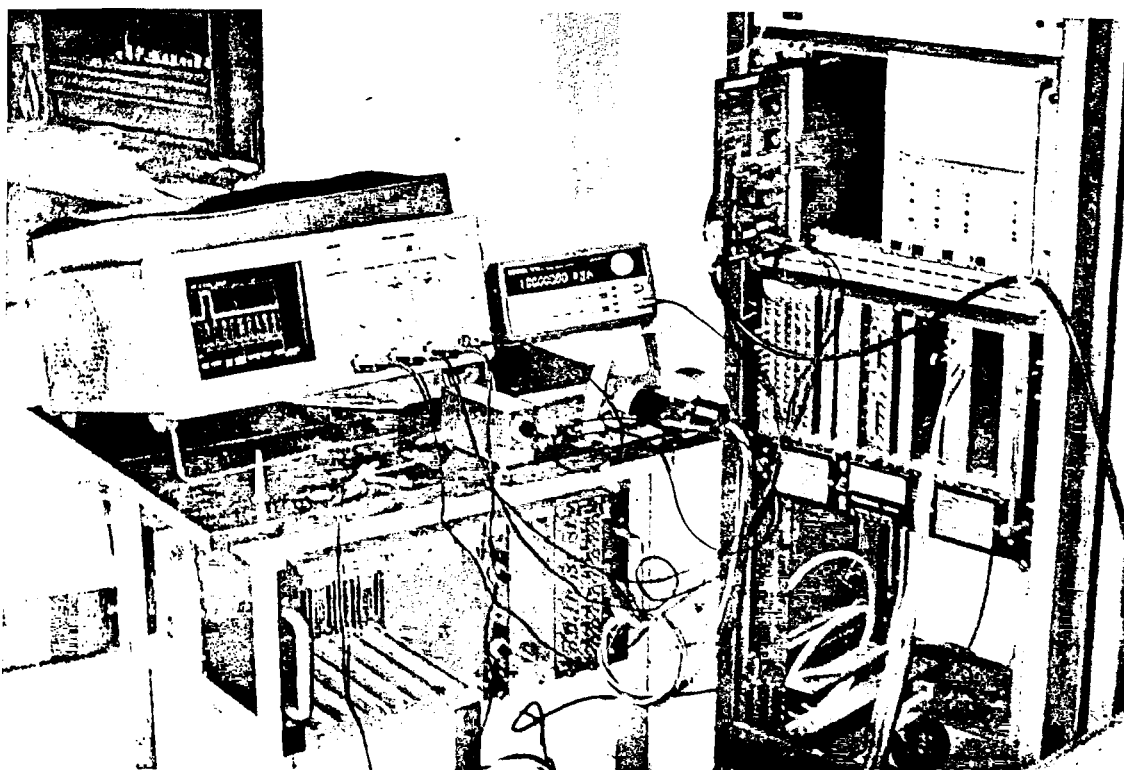
Οι εικόνες της δοκιμαστικής κάρτας της μονάδας VME με διάκριτα ολοκληρωμένα, της ακολουθιακής κάρτας και της πειραματικής διάταξης της ακολουθιακής κάρτας με την μητρική πλακέτα του ολοκληρωμένου PreMux φαίνονται στις εικόνες E.1, E.2 και E.3 αντίστοιχα.



Εικόνα E.1: Δοκιμαστική πλακέτα της μονάδας VME με διάκριτα ολοκληρωμένα.



Εικόνα Ε.2: Εικόνα ακολουθιακής κάρτας.



Εικόνα Ε.3: Εικόνα πειραματικής διάταξης της ακολουθιακής κάρτας με την μητρική του ολοκληρωμένου PreMux.

